

Н. К. Трубочкина

НАНОЭЛЕКТРОНИКА И СХЕМОТЕХНИКА

Часть 1

УЧЕБНИК ДЛЯ АКАДЕМИЧЕСКОГО БАКАЛАВРИАТА

3-е издание, исправленное и дополненное

Рекомендовано Учебно-методическим отделом высшего образования в качестве учебника для студентов высших учебных заведений, обучающихся по инженерно-техническим направлениям и специальностям

Книга доступна в электронной библиотеке Biblio-online.ru,
а также в мобильном приложении «Юрайт.Библиотека»

Москва ■ Юрайт ■ 2019

УДК 681.3(075.8)
ББК 32.844я73
Т77

Автор:

Трубочкина Надежда Константиновна — доктор технических наук, профессор, почетный работник высшего профессионального образования Российской Федерации, профессор кафедры вычислительных систем и сетей факультета информационных технологий и вычислительной техники Московского института электроники и математики Национального исследовательского университета «Высшая школа экономики».

Трубочкина, Н. К.

Т77 Нанoeлектроника и схемотехника. В 2 ч. Часть 1 : учебник для академического бакалавриата / Н. К. Трубочкина. — 3-е изд., испр. и доп. — М. : Издательство Юрайт, 2019. — 269 с. [цв. вклейка в 12 с.]. — (Серия : Бакалавр. Академический курс).

ISBN 978-5-9916-7735-6 (ч. 1)

ISBN 978-5-9916-7736-3

В учебнике представлены базовые понятия теории переходной схемотехники, необходимые для разработки новой элементной базы суперкомпьютеров различных типов. Теорию переходной схемотехники отличает новая компонентная концепция синтеза наноструктур, в которой минимальным компонентом для синтеза схем является не транзистор, а материал и переход (связь) между материалами. Приводятся данные экспериментального 2D и 3D моделирования физических и электрических процессов в кремниевых переходных наноструктурах с минимальным топологическим размером 10–20 нм и сравнительный анализ четырех типов схемотехник. Издание представлено в двух частях. В первой части рассмотрены наносхемотехника и наноэлектроника логических схем, во второй — наносхемотехника и наноэлектроника схем памяти.

Учебник соответствует актуальным требованиям Федерального государственного образовательного стандарта высшего образования.

Для студентов высших учебных заведений, обучающихся по специальностям «Нанотехнология и микросистемная техника», «Электроника и наноэлектроника», «Вычислительные системы, комплексы и сети», а также научных работников, аспирантов и инженеров, специализирующихся в области разработки элементной базы суперкомпьютеров и альтернативных вычислительных систем.

УДК 681.3(075.8)

ББК 32.844я73



Все права защищены. Никакая часть данной книги не может быть воспроизведена в какой бы то ни было форме без письменного разрешения владельцев авторских прав. Правовую поддержку издательства обеспечивает юридическая компания «Дельфи».

ISBN 978-5-9916-7735-6 (ч. 1)
ISBN 978-5-9916-7736-3

© Трубочкина Н. К., 2012
© Трубочкина Н. К., 2016, с изменениями
© ООО «Издательство Юрайт», 2019

Оглавление

Предисловие	10
Введение	12
Глава 1. Основные этапы развития элементной базы ЭВМ	15
1.1. Элементная база и поколения ЭВМ	15
1.2. Историческая справка создания вычислительных устройств	16
1.3. Перспективы и проблемы развития элементной базы ЭВМ . .	18
1.3.1. Трехмерные СБИС	18
1.3.2. Изобретение, изменившее отношение к транзисторной схемотехнике	19
1.4. Компоненты транзисторной схемотехники	20
1.4.1. Назначение компонентов транзисторной схемотехники	20
1.4.2. Пример описания технологии создания интегральной структуры с помощью специальных операторов	22
1.5. Представление интегральных структур транзисторов как схем переходной схемотехники	30
Глава 2. Обзор и анализ состояния элементной базы для наноиндустрии. Перспективы развития	33
2.1. Настоящее и будущее наноэлектроники	33
2.2. Поиск оптимального компонента	34
2.2.1. 3D транзистор	34
2.2.2. FinFET-транзистор	35
2.2.3. Пьезотранзистор	35
2.2.4. Полевой транзистор на основе графеновой наноленты .	36
2.2.5. Полевой транзистор на основе графена	37
2.2.6. Органический светоизлучающий полевой транзистор .	37
2.2.7. ДНК-транзистор	37
2.3. Поиск альтернативных макросхем	38
2.3.1. Создание наноструктуры с помощью ДНК.	39
2.3.2. Нейроны и кремниевая электроника.	40
2.3.3. Самособирающийся чип	42
2.3.4. Биочипы	43
2.4. Поиск альтернативного компьютера.	45

2.4.1. Квантовый компьютер	45
2.4.2. Молекулярный биокомпьютер	48
2.5. Проблемы научного поиска новой элементной базы.	48
2.6. Поиск оптимальной схемотехники для твердотельных СВИС.	49
2.6.1. Концептуально новая схемотехника вычислительных 3D наносистем: переходная схемотехника	49
Глава 3. Переходная 3D наносхемотехника — новая компонентная концепция и новое качество в создании трехмерных интегральных схем.	50
3.1. Закон Мура достигает своего предела	50
3.2. Основные понятия и определения	51
3.3. Принципиальная особенность новой концепции	53
3.4. Этапы разработки наноструктур переходных элементов	54
3.5. Пути дальнейшего развития переходной схемотехники	55
3.6. Интересные совпадения в переходной кремниевой и углеродной схемотехниках	55
Глава 4. Теоретические основы переходной схемотехники.	57
4.1. Математическая модель элемента переходной схемотехники.	57
4.2. Основы твердотельной переходной схемотехники.	60
4.3. Необходимость компьютерного физического моделирования интегральной структуры	62
4.4. Моделирование наноструктур ($N = 2$). Моделирование внутреннего и поверхностного $p-n$ -переходов — основных компонентов твердотельной переходной схемотехники	62
4.4.1. 2D моделирование внутреннего $p-n$ -перехода с минимальным топологическим размером 20 нм при электрическом воздействии на электроды	63
4.4.2. 3D моделирование внутреннего $p \rightarrow n$ -перехода с минимальным топологическим размером 20 нм с электрическим воздействием на электроды	70
4.4.3. 2D моделирование поверхностного $p-n$ -перехода с минимальным топологическим размером 20 нм с электрическим воздействием на электроды	74
4.4.4. 3D моделирование поверхностного $p-n$ -перехода с минимальным топологическим размером 20 нм и электрическим воздействием на электроды ($p \Rightarrow n$)	79
4.4.5. Анализ токовых характеристик внутреннего и поверхностного $p-n$ -переходов	82
4.4.6. Технологическая доступность различных пространственных реализаций внутреннего и поверхностного $p-n$ -переходов	83

4.4.7. Физические и математические модели для моделирования в Sentaurus Device (TCAD Synopsys 2008)	85
4.4.8. Сравнительный анализ наноструктур внутреннего и поверхностного p – n -переходов	87
Глава 5. Элементы переходной схемотехники	88
5.1. Синтез и моделирование наноструктуры биполярного транзистора размерностью $N = 3$	88
5.1.1. Уравнение синтеза абстрактной модели биполярного транзистора в переходной схемотехнике (этап 1)	89
5.1.2. Генерация наноструктур биполярного транзистора ($N = 3$) как схем переходной наносхемотехники (этапы 2 и 3)	90
5.1.3. Моделирование ступенчатого биполярного транзистора с моделью структуры $n_1 \Rightarrow p_2 \Rightarrow n_3$ (этап 4).	92
5.2. Синтез и моделирование наноструктуры МОП-транзистора ($N = 4$).	103
5.2.1. Использование переходов полупроводник–окисел . .	103
5.2.2. Уравнение синтеза абстрактной модели МОП-транзистора в переходной схемотехнике (этап 1)	104
5.2.3. Генерация наноструктур МОП-транзистора ($N = 4$) как схем переходной наносхемотехники (этапы 2 и 3)	105
5.2.4. Моделирование МОП-транзистора с моделью структуры (этап 4)	107
Глава 6. Система простейших логических элементов	115
6.1. Классификация элементов ЭВМ	115
6.2. Система простейших логических потенциальных элементов	116
6.2.1. Инвертор. Логическая схема НЕ	116
6.2.2. Конъюнктор. Логическая схема И	117
6.2.3. Дизъюнктор. Логическая функция ИЛИ	118
6.2.4. Элемент Шеффера. Логическая функция И–НЕ . . .	118
6.2.5. Элемент Пирса. Логическая функция ИЛИ–НЕ . . .	119
6.3. Технические параметры логических элементов ЭВМ	120
6.3.1. Коэффициент объединения по входам	120
6.3.2. Нагрузочная способность.	121
6.3.3. Передаточная характеристика	121
6.3.4. Потребляемая мощность	121
6.3.5. Динамические параметры логического элемента . . .	123
6.4. Алгоритм создания переходного элемента	124

6.5. Пример проектирования интегральной схемы	124
6.6. Схемотехника интегральных инжекционных схем (I^2L) — частный случай переходной схемотехники ($N = 4$)	126
6.6.1. Инжекционный инвертор. Алгоритм синтеза	126
6.6.2. Принцип функциональной интеграции	128
6.7. Правила генерации структурных формул интегральных структур по математической модели ФИЭ.	129
6.7.1. Пример. Генерация структур для моделей размерностью $N = 8$	131
6.8. Реализации переходных схем на базе инжекционного инвертора	135
6.8.1. Инжекционный инвертор с торцевым инжектором (схема НЕ)	135
6.8.2. НСТЛ: непосредственно связанная транзисторная логика (схема НЕ–Монтажное И).	137
6.8.3. Инжекционный клапан НСТЛ	139
6.9. Схемотехника инжекционных схем	140
6.9.1. Инжекционный инвертор	141
6.9.2. Реализация дизъюнкции. Инжекционная схема ИЛИ–НЕ/ИЛИ	141
6.9.3. Схемная реализация конъюнкции. Инжекционная схема И–НЕ/И	142
6.10. Алгоритм проектирования сложных схем в схемотехнике I^2L	144
6.11. Другие типы инжекционных схем	145

Глава 7. Переходная схемотехника.

Синтез математических моделей	147
7.1. Операция объединения для синтеза моделей ФИЭ.	147
7.2. Пример проектирования схемы размерностью $N = 4$ в переходной (интегральной) схемотехнике	151
7.3. Синтез интегральных структур схем НЕ размерностью $N = 4$	153
7.4. Анализ ФИЭ с математической моделью G4.2 на примере интегральной структуры G4.2.2 и ее сравнение с инжекционным инвертором G.4.1.2	154
7.5. Правила описания интегральных структур	155
7.6. Моделирование переходных наноструктур НЕ ($N = 4$). Моделирование наноструктуры вертикального инжекционного инвертора	163
7.6.1. Уравнение синтеза абстрактной модели вертикального I^2L -инвертора в переходной схемотехнике (этап 1).	164

7.6.2. Генерация вертикальной наноструктуры И ² Л-инвертора ($N = 4$) как схемы переходной схемотехники	164
7.6.3. 2D моделирование вертикального переходного инвертора.	165
7.6.4. Результаты 2D моделирования вертикальной наноструктуры И ² Л-инвертора	167
7.6.5. 3D моделирование наноструктуры вертикального инжекционного инвертора	171
7.7. Другие инверторы переходной схемотехники.	174
7.7.1. Синтез инверторов ($N = 5$)	174
7.7.2. Синтез комплементарных биполярных инверторов ($N = 6$).	174

Глава 8. Реализация функции И–НЕ в транзисторной

и переходной схемотехниках 177

8.1. Реализация функции И–НЕ в транзисторной схемотехнике в базисе диодно-транзисторной логики	177
8.2. Оптимизация элемента ДТЛ. Преобразование схемы ДТЛ в ТТЛ с простым инвертором	180
8.3. Транзисторно-транзисторная логика с простым инвертором	182
8.4. Модификации ТТЛ с простым инвертором	186
8.5. ТТЛ со сложным инвертором	190
8.6. Модификации схем ТТЛ со сложным инвертором	194
8.6.1. ТТЛ с диодом в базовой цепи нагрузочного транзистора	194
8.6.2. ТТЛ с ключом в базовой цепи выходного транзистора	195
8.6.3. ТТЛ с использованием пары Дарлингтона	196
8.6.4. Повышение быстродействия схемы ТТЛ со сложным инвертором	197
8.7. Реализация функции И–ИЛИ–НЕ в схемотехническом базисе ТТЛ.	202
8.8. Схема ТТЛ с тремя состояниями	203
8.9. Реализация схемы И–НЕ в переходной схемотехнике. . . .	205
8.9.1. Синтез КТТЛ с простым инвертором ($N = 8$)	206
8.9.2. Уравнение синтеза схемы И–НЕ в переходной схемотехнике	206
8.9.3. Синтез интегральных структур КТТЛ	210
8.10. Алгоритмы проектирования СБИС в базисе ТТЛ	213
8.10.1. Алгоритм проектирования сложных схем в базисе ТТЛ И–НЕ	213
8.10.2. Алгоритм проектирования сложных схем в базисе ТТЛ И–ИЛИ–НЕ	214

8.11. Физическое моделирование наноструктуры переходного элемента И–НЕ ($N = 8$) со структурной формулой на рисунке 8.44, б	215
8.11.1. Результаты компьютерного моделирования переходного элемента И–НЕ ($N = 8$)	216
8.11.2. Физическое моделирование наноструктуры переходного элемента И–НЕ ($N = 8$) со структурной формулой на рисунке 8.51	223
8.11.3. Физическое моделирование наноструктуры переходного элемента И–НЕ ($N = 8$) со структурной формулой на рисунке 8.56, б	227
Глава 9. Реализация функции ИЛИ–НЕ в транзисторной и переходной схемотехниках	234
9.1. Реализация функции ИЛИ–НЕ в переходной схемотехнике	234
9.1.1. Синтез моделей ФИЭ класса НСТЛ	234
9.2. Токовый ключ — первая модификация ЭСЛ	235
9.2.1. Работа токового ключа	236
9.2.2. Достоинства и недостатки токового ключа	237
9.3. Схема МЭСЛ (вторая модификация ЭСЛ) реализации функционально полного логического вентиля на базе токового ключа	237
9.4. Схема ЭСЛ (третья модификация)	238
9.4.1. Зависимость логических нуля и единицы от разбросов напряжения питания	239
9.5. ЭСЛ с отрицательным напряжением питания (четвертая модификация ЭСЛ)	239
9.5.1. Схема источника опорного напряжения для ЭСЛ	240
9.6. Схема ЭСЛ с одним источником питания (пятая модификация).	241
9.6.1. Пример использования Монтажного ИЛИ для реализации сложных логических функций	242
9.7. Алгоритмы проектирования сложных схем в базисе ЭСЛ	242
9.7.1. Алгоритм проектирования сложных схем в базисе ЭСЛ ИЛИ–НЕ	242
9.7.2. Алгоритм проектирования сложных схем в базисе ЭСЛ ИЛИ–НЕ–М _{или}	243
9.8. ЭСЛ в переходной схемотехнике	244
9.9. Математические модели ЭСЛ в переходной схемотехнике	244
9.10. Генерация моделей наноструктур ИЛИ–НЕ в классе МЭСЛ	245
9.11. Физическое моделирование наноструктуры переходного элемента ИЛИ–НЕ (НСТЛ)	249

9.11.1. Уравнение синтеза	249
9.11.2. Генерация наноструктуры	249
9.11.3. Компьютерное моделирование наноструктуры ИЛИ–НЕ	250
Использованная литература	254
Рекомендуемая литература	267

Предисловие

Настоящий учебник устанавливает минимальные требования к знаниям и умениям студента и определяет содержание и виды учебных занятий и отчетности.

Издание предназначено для преподавателей, ведущих данную дисциплину, учебных ассистентов и студентов образовательной программы 09.03.01 «Информатика и вычислительная техника». Учебник разработан в соответствии с актуальными требованиями Федерального государственного образовательного стандарта высшего образования.

Целью учебника является помощь в изучении принципов построения, совместной работы и методов проектирования различных наноструктур и наносистем в качестве современной элементной базы компьютерных систем и сетей.

Основной задачей является формирование у студента инженерного мышления разработчика и исследователя современной элементной базы компьютерных систем и схем специального назначения.

Для освоения учебной дисциплины студенты должны владеть базовой компьютерной грамотностью, программированием и алгоритмизацией, схемотехникой (умением проектировать).

В результате изучения материалов учебника студент должен:

знать

- принципы синтеза цифровых наноструктур и наносистем различного назначения для компьютерных систем с учетом новых научных достижений в области теории компьютерного дизайна (проектирования);

- номенклатуру, характеристики и функциональное назначение интегральных цифровых наноструктур и наносистем различного назначения;

- основные методы проектирования цифровых наноструктур и наносистем различного назначения для компьютерных систем и сетей;

уметь

- выбирать схемотехническую базу цифровых наноструктур и наносистем различного назначения при проектировании различных устройств компьютерных систем и сетей;

владеть

- навыками экспериментального исследования спроектированных цифровых наноструктур и наносистем различного назначения для компьютерных систем и сетей;
- навыками моделирования и оптимизации параметров цифровых наноструктур и наносистем различного назначения для компьютерных систем и сетей при их проектировании;
- основными методами проектирования цифровых наноструктур и наносистем различного назначения для компьютерных систем и сетей.

Учебник предназначен для дисциплин «Наноэлектроника», «Схемотехника» (продвинутый уровень) и «Наносхемотехника», относящихся к *профессиональному* циклу и блоку *базовых дисциплин*.

Учебник состоит из двух частей:

- наносхемотехника и наноэлектроника логических схем;
- наносхемотехника и наноэлектроника схем памяти.

В завершении учебника приведен сравнительный анализ переходных схемотехник элементной базы различных систем, что может являться отправным стимулом для разработки новых элементов и блоков компьютерных систем и сетей новых поколений.

Данное издание предназначено для учебных курсов, предполагающих лекции, практические занятия, лабораторные занятия, самостоятельную работу.

Для закрепления освоения материалов желателен междисциплинарный курсовой проект.

Программное обеспечение — TCAD Synopsys Sentaurus Device — система моделирования наноструктур логики, памяти, сенсоров и других структур специального назначения.

Материально-техническое обеспечение — дисплейный класс с проектором и выходом в Интернет (для доступа к TCAD Synopsys Sentaurus Device).

Введение

Данный учебник предназначен для формирования нового взгляда на возможное проектирование трехмерных сверхбольших интегральных схем (3D СБИС) на базе оптимальной переходной схемотехники в отличие от существующей в настоящее время избыточной транзисторной схемотехники.

Предметная область может быть обозначена как

- нанотехнологии и наносхемотехника для 3D СБИС;
- наноструктуры и наносистемы.

Нанонаука и нанотехнология — направления науки и технологии, активно развивающиеся с конца XX века. Термин *нанотехнология* (*nanotechnology*) введен в 1974 году профессором-материаловедом из Токийского университета Норио Танигучи [1], который определил его как «технологии производства, позволяющую достигать сверхвысокую точность и ультрамалые размеры ... порядка 1–100 нм...». Необходимо отличать нанонауку (*nanoscience*, или *nanoscale science*) от нанотехнологии (*nanotechnology*). Нанонаука занимается изучением и созданием материалов и объектов, реализуемых с использованием нанотехнологий.

Структуру или объект, линейный размер которого не превышает 100 нм, называют наноструктурой или нанообъектом соответственно, а систему, состоящую из наноструктур или нанообъектов, — наносистемой.

Наноиндустрия представляет собой совокупность направлений бизнеса и производства, работающих с нанообъектами и наносистемами.

Представленная книга будет полезна всем, кто работает в области наноиндустрии, нуждающейся в новой элементной базе для суперкомпьютеров и схем управления, а также обладающей рядом преимуществ перед существующей кремниевой транзисторной базой.

Целями проведенных фундаментальных исследований являлись:

- поиск и решение задач развития в области создания новых интеллектуальных технических систем, их элементной базы, технологий и материалов для нее;
- преодоление проблем развития планарной транзисторной кремниевой микро- и нанoeлектроники.

Перед nanoиндустрией, нанонаукой и нанотехнологией стоит ряд задач:

- создание и использование материалов, устройств и технических систем, функционирование которых определяется наноструктурой, то есть ее упорядоченными фрагментами размером от 1 до 100 нм;
- разработка теории, элементной базы и программного обеспечения для создания компьютеров (интеллектуальных систем) различного типа (нанокomпьютеры на базе нескольких компонентов, в том числе квантовый компьютер, ДНК-компьютер, нанороботы и пр.).

Для облегчения понимания изложенного в книге материала определим основные (ключевые) термины.

Нанокomпьютер — вычислительное устройство на основе электронных (механических, биохимических, квантовых) технологий с размерами логических элементов порядка нескольких нанометров.

ДНК-компьютер — вычислительная система, использующая вычислительные возможности молекул ДНК.

Биомолекулярные вычисления — собирательное название различных техник, так или иначе связанных с ДНК или РНК. При ДНК-вычислениях данные представляются не в форме нулей и единиц, а в виде молекулярной структуры, построенной на основе спирали ДНК. Роль программного обеспечения для чтения, копирования и управления данными выполняют особые ферменты.

Нанороботы — устройства, состоящие из наноматериалов, размер которых сопоставим с размерами молекул, эти устройства наделены функциями движения, обработки и передачи информации, исполнения программ. Нанороботы, способные создавать свои копии, то есть самовоспроизводиться, называются *репликаторами*. В настоящее время уже созданы электромеханические наноразмерные устройства, ограниченно способные к передвижению, которые можно считать прототипами нанороботов.

Схемотехника изучает элементы и блоки интегральных схем электронных вычислительных машин (ЭВМ), а также различные методы их проектирования.

Наносхемотехника — раздел схемотехники, изучающий объекты (элементы СВИС), размеры которых не превышают 100 нм.

Задачи, которые автор поставил перед собой в данной работе, заключаются в:

- разработке новой концепции элементной базы твердотельной наноэлектроники;
- разработке качественно новой теории оптимальной схемотехники для 3D СВИС;

- разработке и моделировании элементной базы;
- 3D визуализации переходных элементов и физических процессов, протекающих в них;
- разработке программного обеспечения (ПО) для элементов 3D СБИС, созданных на основе новой концепции синтеза трехмерных интегральных схем (ПО для решения задач синтеза, анализа и компьютерной визуализации объектов и процессов в 3D интеллектуальных наноструктурах кремниевой наноэлектроники).

Из-за сложности решаемых задач необходимо математическое и компьютерное моделирование, так как оно позволяет определять технические характеристики и работоспособность создаваемых переходных твердотельных элементов для 3D СБИС, построенных на основе новой концепции без организации отдельного дорогостоящего производства.

Книга «Наноэлектроника и схемотехника» предназначена для изучения

- принципов современных методов синтеза элементов и устройств ЭВМ и вычислительных систем;
- методов построения схем ЭВМ и вычислительных систем;
- принципов совместной работы устройств ЭВМ и вычислительных систем;
- методов проектирования устройств различной степени сложности с учетом новейших разработок в области математического моделирования, схемотехники и технологии создания ЭВМ и вычислительных систем.

Помимо описания новой теории переходной схемотехники, особое внимание уделено математическому моделированию элементов и устройств, которые предназначены для разработки схем нового поколения, в частности 3D СБИС. Материал представлен с позиции обучения синтезу и практической реализации схем для компьютеров нового поколения. Рассмотрены синтез и моделирование схем в переходной, транзисторной, вентильной и матричной реализациях.

Глава 1

ОСНОВНЫЕ ЭТАПЫ РАЗВИТИЯ ЭЛЕМЕНТНОЙ БАЗЫ ЭВМ

Элемент ЭВМ — функционально минимальная часть компьютера, которая может быть выделена в нем при логическом проектировании (например, элементы И–НЕ, ИЛИ–НЕ).

Блок ЭВМ — функционально законченная схема, которая выполняет сложную функцию (например, арифметико-логическое устройство или память ЭВМ).

1.1. Элементная база и поколения ЭВМ

Определяющим фактором развития микроэлектроники и вычислительной техники является элементная база, которая за несколько десятилетий своего существования неоднократно качественно менялась. Каждой новой элементной базе соответствовало свое поколение компьютеров с улучшенными функциональными и техническими характеристиками. Для каждой принципиально новой элементной базы нужна своя схемотехника.

Поколения схемотехник определялись и определяются поколениями ЭВМ, которые поочередно строились на:

- электромеханических реле;
- электронных лампах;
- дискретных транзисторах (в 1947 году был изобретен биполярный транзистор, определивший все последующие транзисторные схемотехники вплоть до 1971 года, когда был представлен инжекционный инвертор — первый логический элемент переходной схемотехники);
- интегральных схемах (до 10 элементов на кристалле);
- БИС (10^3 – 10^4 элементов);
- СБИС (10^5 – 10^6 элементов).

Несмотря на весьма существенные различия, все элементные базы, за исключением первой из перечисленных выше, объединяет триодно-транзисторная концепция построения электронных схем.

1.2. Историческая справка создания вычислительных устройств

3000 лет до н. э.: в Древнем Вавилоне были изобретены первые счеты — абак.

500 лет до н. э.: в Китае появился более «современный» вариант абака с косточками на проволоке.

1492 год: Леонардо да Винчи в одном из своих дневников привел эскиз 13-разрядного суммирующего устройства с десятизубцовыми кольцами. Хотя работающее устройство на базе этих чертежей было построено только в XX веке, все же реальность проекта Леонардо да Винчи подтвердилась.

1623 год: Вильгельм Шиккард, профессор университета Тюбингена, разработал устройство на основе зубчатых колес («считающие часы») для сложения и вычитания шестизначных десятичных чисел. Было ли устройство реализовано при жизни изобретателя, достоверно неизвестно, но в 1960 году оно было воссоздано и проявило себя вполне работоспособным.

1630 год: Ричард Деламейн создает круговую логарифмическую линейку.

1642 год: Блез Паскаль представил публике «Паскалин» — первое реализованное и получившее известность механическое цифровое вычислительное устройство, которое суммировало и вычитало 5-разрядные десятичные числа. Паскаль изготовил около пятидесяти таких вычислителей, причем последние модели оперировали числами с восемью десятичными разрядами.

1673 год: известный немецкий философ и математик Готфрид Вильгельм Лейбниц построил механический калькулятор, который при помощи двоичной системы счисления выполнял умножение, деление, сложение и вычитание. Примерно в это же время Исаак Ньютон заложил основы математического анализа.

1723 год: немецкий математик и астроном Христиан Людвиг Герстен на основе работ Лейбница создал арифметическую машину. Машина высчитывала частное и число последовательных операций сложения при умножении чисел. Кроме того, в ней была предусмотрена возможность контроля за правильностью ввода данных.

1786 год: немецкий военный инженер Иоганн Мюллер выдвинул идею «разностной машины» — специализированного калькулятора для табулирования логарифмов, вычисляемых разностным методом. Калькулятор, построенный на ступенчатых валиках Лейбница, получился относительно небольшим (13 см в высоту и 30 см в диаметре), но при этом мог выполнять все четыре арифметических действия над 14-разрядными числами.

1801 год: Жозеф-Мари Жаккар построил ткацкий станок с автоматическим управлением, в котором использовался комплект перфокарт.

1820 год: первый промышленный выпуск арифмометров. Первенство принадлежит французу Тома де Кольмару.

1822 год: английский математик Чарльз Бэббидж разработал, хотя и не смог сконструировать, первую разностную машину (см. о разностной машине Чарльза Бэббиджа). Она представляла собой специализированный арифмометр для автоматического построения математических таблиц.

1855 год: Георг Шойц и его сын Эдвард на основе работ Чарльза Бэббиджа построили в Швеции первую разностную машину.

1884–1887 годы: Холлерит разработал электрическую табулирующую систему, которая использовалась в переписях населения США (1890 и 1900 годы).

1927 год: в Массачусетском технологическом институте (MIT) был изобретен аналоговый компьютер.

1938 год: немецкий инженер Конрад Цузе вскоре после окончания в 1935 году Берлинского политехнического института изобрел свою первую полностью механическую программируемую цифровую машину, названную Z1. В качестве его соавтора упоминается также Хельмут Шрейер. Модель была пробной и в практических целях не использовалась. Ее восстановленная версия хранится в Немецком техническом музее в Берлине. В том же году Цузе приступил к созданию машины Z2.

1941 год: Конрад Цузе создает первую вычислительную машину Z3, обладающую всеми свойствами современного компьютера.

1942 год: в Университете штата Айова Джон Атанасов и его аспирант Клиффорд Берри создали (а точнее — разработали и начали монтировать) первый в США электронный цифровой компьютер ABC (Atanasoff-Berry Computer). Хотя эта машина так и не была завершена (Атанасов ушел в действующую армию), она, как пишут историки, оказала большое влияние на Джона Мокли, создавшего двумя годами позже ЭВМ ЭНИАК.

Начало 1943 года: в Гарвардском университете успешные испытания прошла электромеханическая вычислительная машина Mark I, или ASCC (Automatic Sequence Controlled Calculator), предназначенная для выполнения сложных баллистических расчетов американского военно-морского флота (ВМФ).

Конец 1943 года: приведена в действие английская вычислительная машина специального назначения Колосс. Машина работала над расшифровкой секретных кодов фашистской Германии.

1944 год: Конрад Цузе разработал еще более быстродействующий компьютер Z4.

1946 год: это год создания первой универсальной электронной цифровой вычислительной машины ЭНИАК.

1950 год: группой С.А. Лебедева в Советском Союзе в Киеве была создана первая ЭВМ.

С начала 90-х годов XX века слово «компьютер» практически вытеснило из русского языка, а также и из многих других языков термин «электронная вычислительная машина».

1.3. Перспективы и проблемы развития элементной базы ЭВМ

Основной тенденцией развития элементной базы ЭВМ, приводящей к увеличению быстродействия и информационной плотности, является уменьшение геометрических размеров таких компонентов, как транзисторы.

Множество работ посвящено проблемам дальнейшего совершенствования элементной базы [2–7] и, в частности математическому моделированию субмикронных компонентов [8–10]. Несмотря на работы в области разработки функционально-интегрированных элементов (ФИЭ) [11–13], транзисторная схемотехника остается доминирующей. Это связано с технологическими сложностями формирования в объеме полупроводниковых структур, по сложности превышающих транзистор.

Информационные структуры размещаются в поверхностном слое полупроводника, в результате чего комбинационные схемы и схемы памяти, даже формируемые в активных слоях трехмерных интегральных схем (ТМИС), имеют информационную плотность ниже теоретически возможной.

По мнению специалистов, в ближайшие годы СВИС достигнут предела минимизации, и дальнейшее увеличение плотности компоновки будет зависеть от использования трехмерной интеграции [14].

1.3.1. Трехмерные СВИС

Реализация трехмерных схем возможна разными путями.

В нескольких активных слоях, которые чередуются с пассивными слоями, выполняющими функции изоляции и теплоотвода, представляющих собой интегральные функциональные устройства, информация в виде сигналов различного типа (напряжения, тока, света) передается как внутри одного активного слоя, так и между активными слоями (рис. 1.1).

Трехмерные, или, лучше сказать, многослойные, интегральные схемы подобного типа обладают:

- высоким быстродействием;
- высокой плотностью компоновки;
- возможностью параллельной обработки сигналов;
- многофункциональностью.

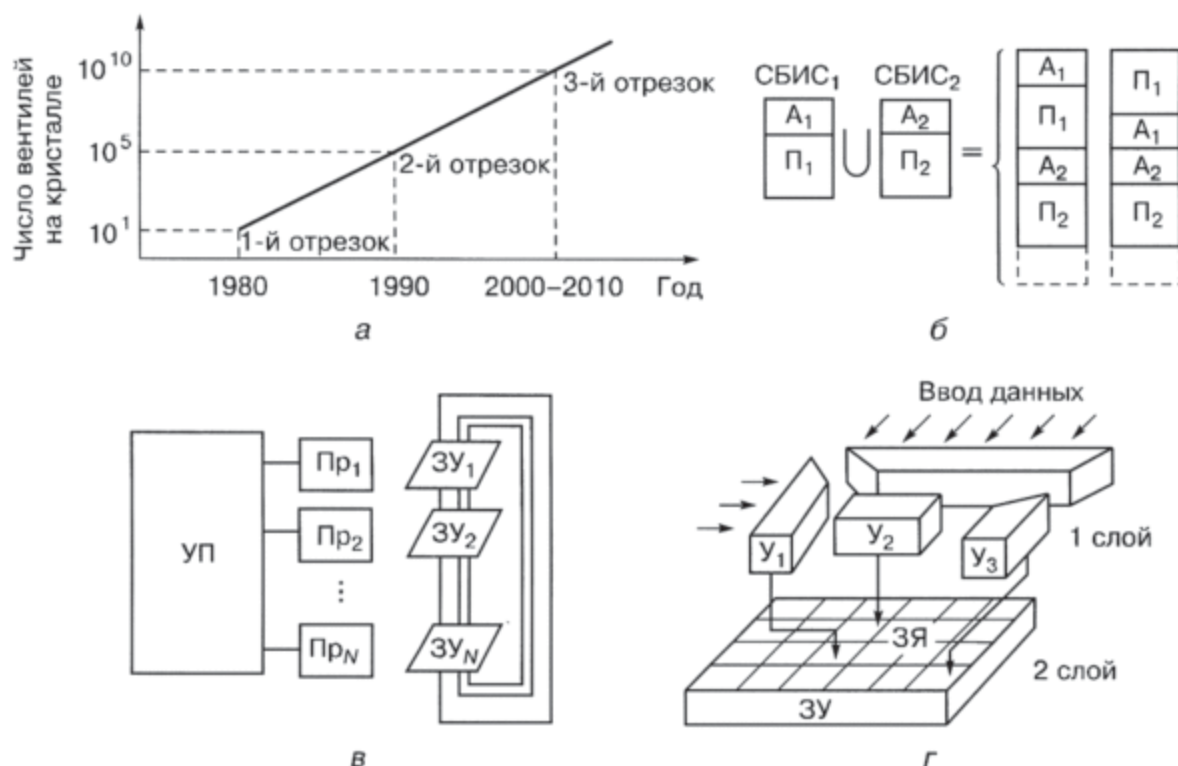


Рис. 1.1. Трехмерные интегральные схемы: а) прогноз развития, б) типы трехмерных (многослойных) интегральных схем (А — активный слой, П — пассивный слой), в) система с обобщенными данными, для кристалла памяти (УП — управляющий процессор, Пр — процессор, ЗУ — запоминающее устройство), г) схематическое представление 2-слойного статического запоминающего устройства с произвольной выборкой (У₁ — буфер адресов строк, У₂ — усилитель считывания и т. д., ЗЯ — запоминающая ячейка)

Им свойственны следующие недостатки:

- технология изготовления многоступенчатая, поскольку связана с созданием вертикальных проводящих каналов и сложной топологией поверхности активных слоев;
- паразитные наводки сигналов между активными слоями из-за большого числа соединений;
- большая потребляемая мощность;
- необходимость охлаждения кристалла интегральной схемы.

Схемотехника активных слоев трехмерных СВИС [14] по-прежнему остается транзисторной.

1.3.2. Изобретение, изменившее отношение к транзисторной схемотехнике

В 1971 году был разработан необычный для транзисторной схемотехники элемент — инжекционный инвертор, состоящий всего из трех $p-n$ -переходов, но выполняющий функции двух транзисторов. На реа-

лизацию такого элемента в транзисторной схемотехнике потребовалось бы пять p – n -переходов. Уменьшение объема инвертора было достигнуто благодаря применению нового способа питания инвертирующего n – p – n -транзистора и удачного совмещения областей одного типа проводимости различных транзисторов. По сути, это был первый логический элемент новой переходной схемотехники, компонентом которой является не транзистор, а физический переход между материалами с различными свойствами.

Возникла необходимость в создании теории, способной давать такие элементы и в схемотехнике, наиболее пригодной для трехмерной реализации элементной базы ЭВМ. Математическое моделирование показало, что используемая на протяжении пяти поколений компьютеров триодно-транзисторная схемотехника имеет ряд недостатков, к тому же схемы, созданные ее методами, могут быть оптимизированы. Кроме того, компьютерные эксперименты по синтезу и появлению новых функционально-интегрированных элементов подтверждают *избыточность транзисторной схемотехники*. Ее схемы содержат лишние полупроводниковые области и межсоединения, не используемые для выполнения логических и специальных функций, а также функций записи, хранения и передачи информации.

Причиной избыточности транзисторной схемотехники является то, что ее компонентом является транзистор — совокупность как минимум двух p – n -переходов. Рассмотрим подробнее более сложные интегральные структуры, являющиеся компонентами транзисторной схемотехники.

1.4. Компоненты транзисторной схемотехники

Компонентом схемотехники является ее минимальная (неделимая) часть, из которой осуществляется синтез схем.

В транзисторной схемотехнике к компонентам относятся:

- транзисторы;
- диоды;
- резисторы;
- емкости.

1.4.1. Назначение компонентов транзисторной схемотехники

Транзисторы. Транзисторы используются для синтеза логических, запоминающих и специальных элементов. Там, где важным критерием является быстродействие, используются биполярные транзисторы n – p – n -типа и n -канальные МОП-транзисторы, так как их основные носители (электроны) обладают большей подвижностью.

Диоды. Диоды (p – n -переходы) обладают «барьерной» функцией. В вольт-амперной характеристике этого компонента есть участок, где

выходная функция (напряжение) на диоде не изменяется при изменении аргумента (тока). Именно это свойство делает данный компонент основным при синтезе двоичных схем (схем, работающих в двоичной логике).

Резисторы. Резисторы — компоненты, используемые для ограничения рабочих токов интегральной структуры. В транзисторной схемотехнике они являются дискретными компонентами, требующими изоляции. Это порождает лишние паразитные емкости, снижающие быстродействие схемы.

Емкости. Емкости на основе переходов и транзисторов используют для создания схем памяти.

Не только рассмотрим структуру биполярного транзистора $n-p-n$ -типа, основные этапы ее создания на примере эпитаксиально-планарной технологии (табл. 1.1), но и введем операторы для описания любого нового технологического процесса, который может понадобиться при создании принципиально новых структур интегральных элементов.

Таблица 1.1

Компоненты транзисторной схемотехники

№	Компонент	Обозначение на схеме	Примечания
1	Биполярные транзисторы двух типов: <ul style="list-style-type: none">• $n-p-n$;• $p-n-p$.		В основном используют транзисторы $n-p-n$ -типа как более быстродействующие: <ul style="list-style-type: none">• К — коллектор;• Б — база;• Э — эмиттер.
2	МОП-транзисторы двух типов: <ul style="list-style-type: none">• n-канальные;• p-канальные.		<ul style="list-style-type: none">• И — исток;• С — сток;• З — затвор.
3	Диоды на базе $p-n$ -перехода и диоды Шоттки (на базе переходов металл-полупроводник).		Иногда в интегральных схемах (ИС) в качестве диодов используют биполярные транзисторы в диодном включении.

Продолжение

№	Компонент	Обозначение на схеме	Примечания
4	Резисторы.		В ИС номиналы резисторов варьируются от десятков Ом до десятков кОм.
5	Емкости.		Возможны два типа интегральных емкостей: либо на основе обратно смещенного p - n -перехода, либо на базе МОП-структуры.

1.4.2. Пример описания технологии создания интегральной структуры с помощью специальных операторов

Рассмотрим процедуру составления программы моделирования технологии создания интегральной структуры на примере биполярного транзистора (рис. 1.2).

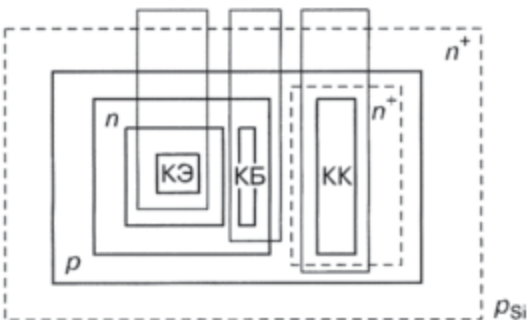


Рис. 1.2. Топология биполярного транзистора

- Обозначения:
- p — материал (полупроводник), имеющий дырочную проводимость;
 - n — полупроводник, имеющий электронную проводимость;
 - n^+ — полупроводник, имеющий обедненную электронную проводимость;
 - Б — база транзистора;
 - Э — эмиттер транзистора;
 - К — коллектор транзистора;
 - КБ — контакт базы;
 - КК — контакт коллектора;
 - КЭ — контакт эмиттера.

Для возможности моделирования технологического процесса на компьютере разработаем язык его описания. Продемонстрируем этапы создания транзистора не только в виде схем (рис. 1.3–1.17), но и с помощью соответствующих операторов.

Исходным материалом для создания монолитных интегральных схем является кремниевая пластина — подложка p -типа (рис. 1.3).

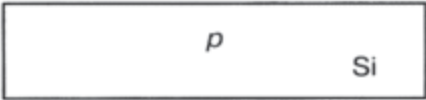


Рис. 1.3. Кремниевая пластина

Оператор подложки:

```
SUBS <материал> <тип> <концентрация>
      SUBS SILICON p 1.0e+15
//кремниевая (SILICON) p-подложка с концентрацией носителей
1015.
```

Для уменьшения сопротивления коллектора проводят диффузию примеси n^+ -типа (рис. 1.4) под транзистор (маска 1).

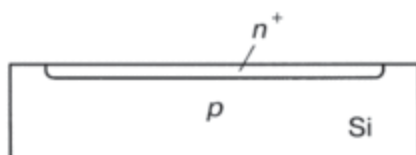


Рис. 1.4. Диффузия n^+ -типа

Оператор диффузии:

```
DOPE <тип диффузии> <концентрация> <заход под окисел> <глубина>
      DOPE N 1.5e+15 00e+00 5.0e-01
//диффузия n-типа с концентрацией носителей 1,5*1015,
//без захода под окисел,
//глубиной 5,0*10-1 микрона.
```

На пластину методом эпитаксиального выращивания наносят слой кремния n -типа (рис. 1.5):

```
SUBS SILICON n 1.0e+13
//подложка кремния n-типа
//с концентрацией 1013
```

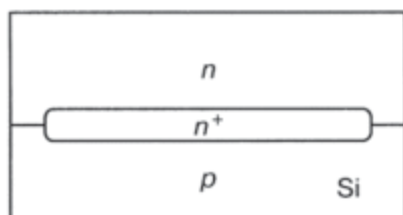
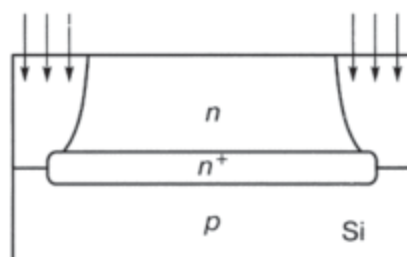


Рис. 1.5. Выращивание эпитаксиального слоя

После этого проводят диффузию примеси p -типа до смыкания с p -кремнием (рис. 1.6). Образуются n -карманы для резисторов и коллекторов транзисторов.

Рис. 1.6. Разделительная p -диффузия

В данном случае диффузию проводят с использованием негативной маски 2, формирующей эти области:

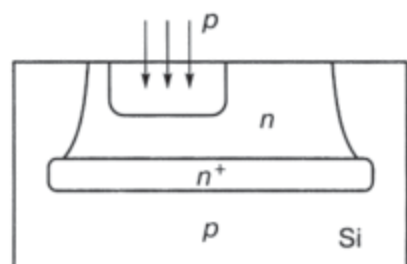
```
DOPE P 1.0e+22 1.8e+00 2.0e-01
```

```
//диффузия p-типа с концентрацией  $1,0 \cdot 10^{22}$ , с заходом
```

```
//под окисел
```

```
//в 1,8 микрона, глубиной  $2,0 \cdot 10^{-1}$  микрона.
```

В карманы n -типа (коллекторы и карманы для резисторов) проводят диффузию примеси p -типа (рис. 1.7) для создания областей баз транзисторов и p -резисторов.

Рис. 1.7. Базовая p -диффузия

На этом этапе используют положительную маску 3 с топологиями баз и p -резисторов:

```
DOPE P 1.0e+15 10e+00 1.0e-01
```

С использованием положительной маски 4 с соответствующими топологиями осуществляют эмиттерную диффузию примесей n^+ -типа (рис. 1.8): в базовые области для создания эмиттеров, в коллекторные

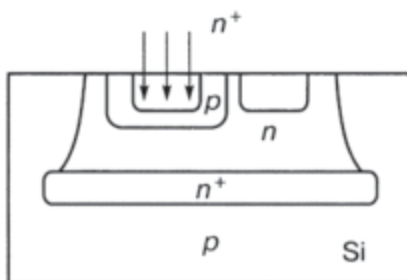


Рис. 1.8. Эмиттерная диффузия

области для создания низкоомной области под коллекторным контактом, в подложку p -типа для создания низкоомных резисторов, использующихся для разводки соединений.

Оператор:

```
DOPE N 1.0e+22 7.0e-01 1.0e-01
```

Для создания изолирующего слоя окисляем пластину, создаем слой диоксида кремния (рис. 1.9).

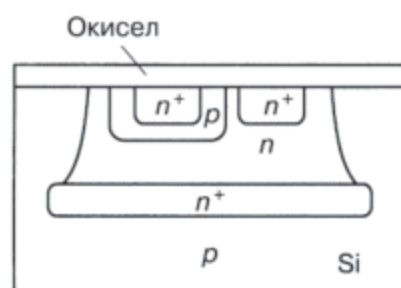


Рис. 1.9. Окисление

Оператор окисления:

```
OXID <окисел> <толщина>
```

```
OXID OX6 3.0e-01
```

Далее на этапе операции травления оксида с помощью положительной маски 5 вскрывают контактные окна к эмиттеру, базе, коллектору и в других необходимых местах для организации подачи управляющих сигналов в различные полупроводниковые области (рис. 1.10).

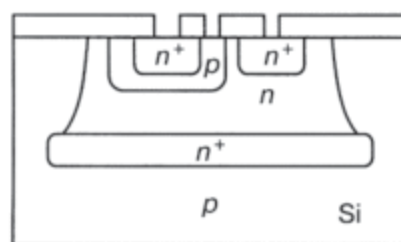


Рис. 1.10. Травление

Оператор травления:

```
ETCH <материал> <глубина травления>
```

```
ETCH OX0 3.0e-01
```

Напыляют слой алюминия для создания металлического проводящего слоя (рис. 1.11), из которого на последующей операции будут сформированы соединения (путем травления).

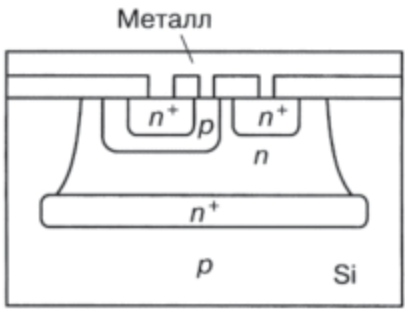


Рис. 1.11. Нанесение металла

Оператор нанесения материала:

```
DEPO <материал> <толщина>  
DEPO METL 5.0e-01
```

С использованием негативной маски 6 вытравливают лишний металл и создают необходимые межсоединения (рис. 1.12):

```
ETCH METL 5.0e-01
```

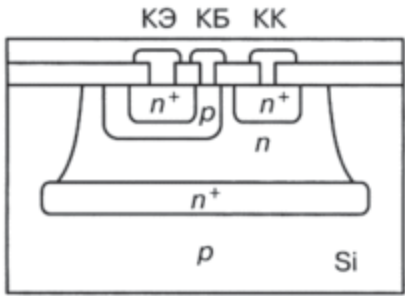


Рис. 1.12. Создание межсоединений

Так как необходимо, чтобы диффузия проводилась в определенных зонах, перед каждой диффузией проводят фотолитографию.

Фотолитография. Пластину, в которой должна быть проведена диффузия, окисляют («покрывают оксидом», «покрывают окислом») (рис. 1.13):

```
OXID OX6 1.0e-01
```

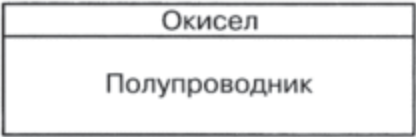


Рис. 1.13. Окисление пластины

На слой оксида наносят светочувствительный слой фоторезиста (рис. 1.14):

```
DEPO RST 1.0e-01
```

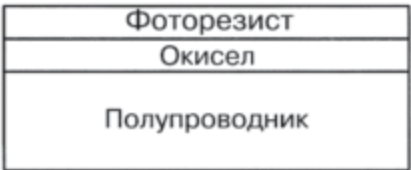


Рис. 1.14. Нанесение фоторезиста

На фоторезист накладывают фотошаблон: маска повторяет рисунок зон диффузии (рис. 1.15).

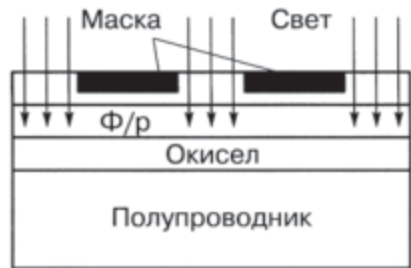


Рис. 1.15. Наложение фотошаблона и засветка

Оператор маски:

```
MASK <материал предыдущего слоя> <убираемый материал> <номер> <позитивная / негативная>
MASK RST DRST 4 POSI
```

Проводится облучение ультрафиолетовым светом. Там, где свет попадает на фоторезист, участки поляризуются. После этого фотошаблон убирают, и пластина помещается в специальный травитель, который травит незасвеченные участки фоторезиста (рис. 1.16):

```
ETCH DRST 1.5e-01
```

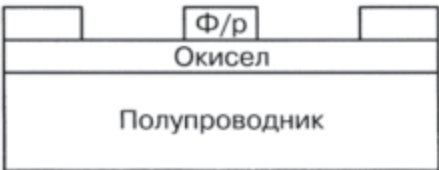


Рис. 1.16. Вытравливание незасвеченного фоторезиста

Далее пластину помещают в травитель, вытравливающий оксид кремния на освобожденных от фоторезиста участках (рис. 1.17):

```
ETCH OX1 1.0e-01
```

После этого травитель смывают, пластину помещают в диффузионную печь, где диффузия примесей идет только в местах, где нет оксида кремния.



Рис. 1.17. Снятие остатков фоторезиста

Пример программы создания интегральных биполярных схем в эпитаксиально-планарной технологии (ЭПТ).

```

SUBS SILICON p 1.0e+15
DEPO RST 5.0e-01
MASK RST DRST 1 POSI
ETCH NTRD 5.0e-01
ETCH RST 6.0e-01
OXID NTRD 6.0e-01
ETCH NTRD 6.0e-01
DOPE N 1.5e+15 00e+00 5.0e-01
ETCH OX0 1.0e-01
SUBS SILICON n 1.0e+13
OXID OX3 1.0e-02
DEPO NTR 1.0e-01
MASK RST DRST 2 NEGA
ETCH NTRD 2.0e-01
ETCH OX0 2.0e-01
DOPE P 1.0e+22 1.8e+00 2.0e-01
ETCH RST 1.0e-01
DEPO RST 1.0e-01
MASK RST DRST 3 POSI
ETCH DRST 1.5e-01
DOPE P 1.0e+15 10e+00 1.0e-01
ETCH OX 3.0e-01
OXID OX6 1.0e-01
DEPO RST 1.0e-01
MASK RST DRST 4 POSI
ETCH DRST 1.5e-01
ETCH OX1 1.0e-01
DOPE N 1.0e+22 7.0e-01 1.0e-01
OXID OX6 3.0e-01
DEPO RST 3.0e-01
MASK RST DRST 5 POSI
ETCH RST 3.0e-01
ETCH OX0 3.0e-01
DEPO METL 5.0e-01

```

```

DEPO RST 5.0e-01
MASK RST DRST 6 NEGA
ETCH DRST 6.0e-01
ETCH METL 5.0e-01

```

В тексте программы технологического процесса есть ссылки на позитивные и негативные маски (рис. 1.18).



Рис. 1.18. Маски: а) позитивная (POSITIVE), б) негативная (NEGATIVE)

В масках (шаблонах) черным цветом обозначают области диффузии (имплантации) или иных технологических операций по внедрению вещества в заданную область.

Интегральные резисторы. Интегральные резисторы обычно изготавливают на основе p -базовой диффузии в изолирующих областях n -типа (рис. 1.19).

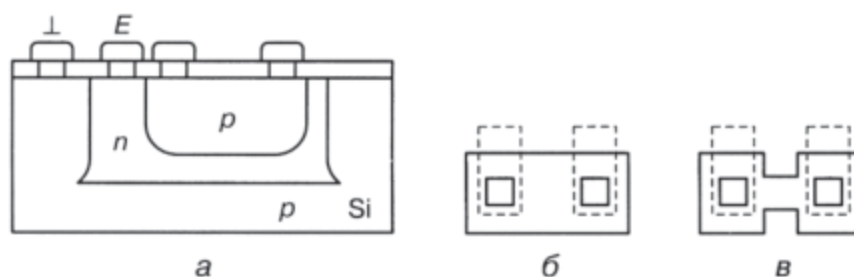


Рис. 1.19. Резисторы: а) интегральная структура, б) топология низкоомного резистора, в) топология высокоомного резистора

Для изоляции n -кармана на p -подложку необходимо подать максимально отрицательный потенциал схемы (обычно это нулевой потенциал шины «земля»), а для изоляции p -области резистора (в n -карман) — самый большой положительный потенциал (обычно — напряжение питания).

1.5. Представление интегральных структур транзисторов как схем переходной схемотехники

С точки зрения интегральной структуры транзисторы, используемые в вентилях транзисторной схемотехники, являются сложными объектами (рис. 1.20–1.24), состоящими из более простых: взаимосвязанных переходов между физическими областями с различными свойствами [15]. Введем некоторые обозначения, которые встретятся на рисунках: Д — диэлектрик, М — металл, ПК — поликремний.

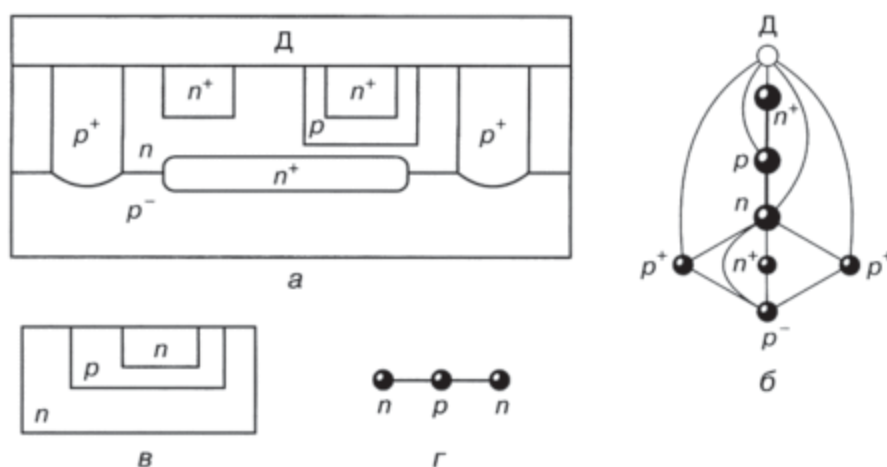


Рис. 1.20. Биполярный интегральный транзистор [16]: а) интегральная структура, б) графовая модель, в) обобщенная структура, г) обобщенная модель

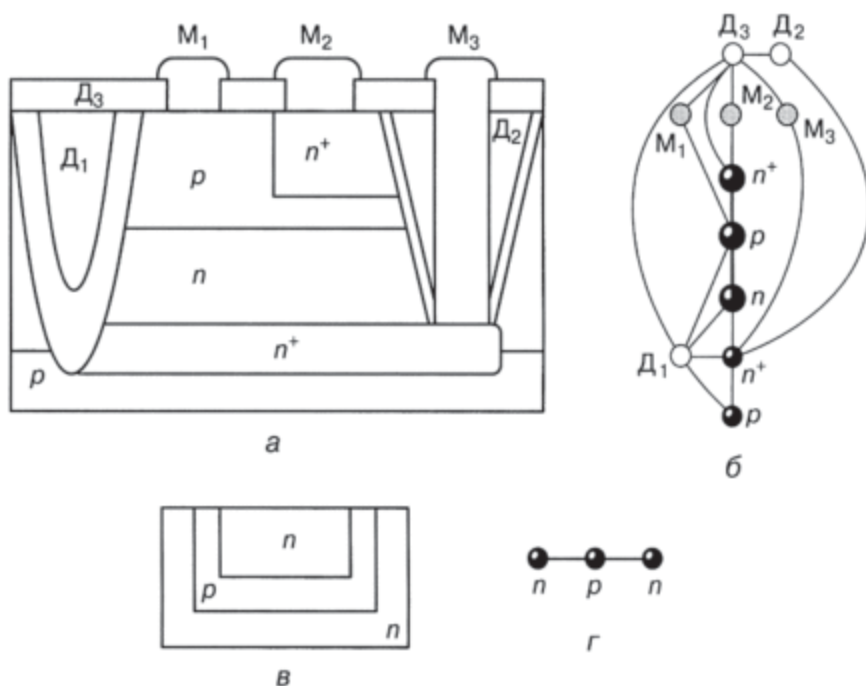


Рис. 1.21. Биполярный интегральный транзистор [17]: а) интегральная структура, б) графовая модель, в) обобщенная структура, г) обобщенная модель

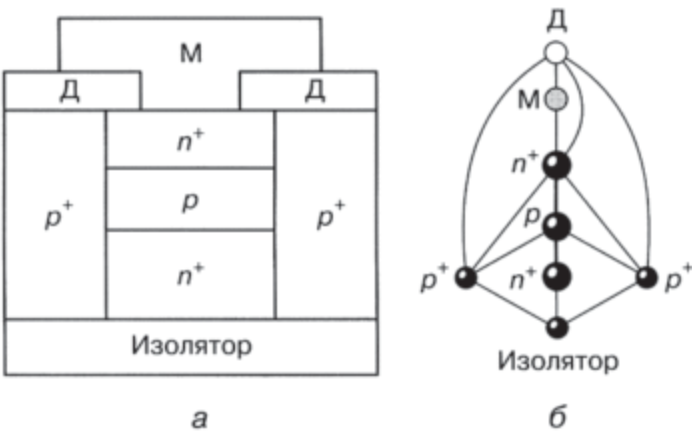


Рис. 1.22. Биполярный интегральный транзистор [18]:
а) интегральная структура, б) графовая модель

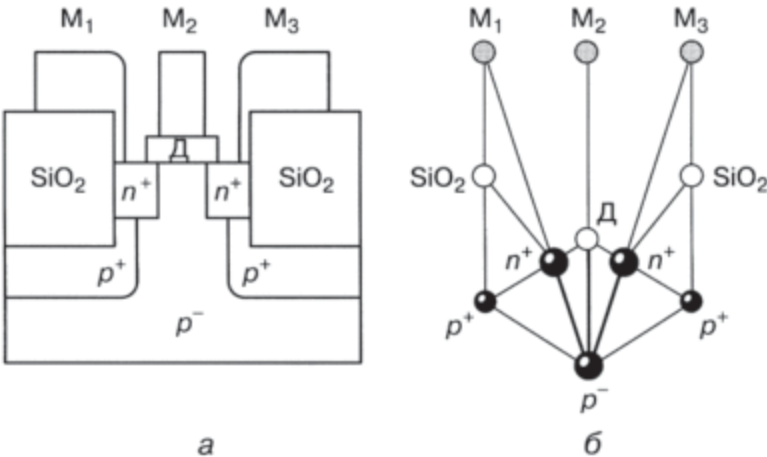


Рис. 1.23. Униполярный транзистор [19]:
а) интегральная структура, б) графовая модель

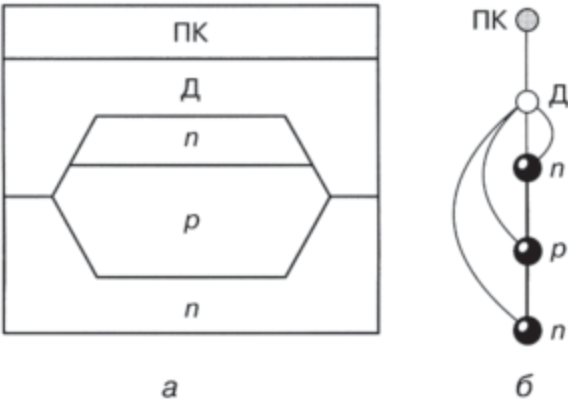


Рис. 1.24. Транзистор постоянного запоминающего устройства [20]:
а) интегральная структура, б) графовая модель

При анализе сложных интегральных структур простейших компонентов транзисторной схемотехники (транзисторов) можно выделить следующие особенности:

- у биполярных транзисторов основополагающей (рабочей) является пара связанных $p-n$ -переходов, остальные переходы — вспомогательные;
- у МОП-транзисторов рабочей является система трех взаимосвязанных переходов (два $p-n$ -перехода и переход оксид–полупроводник).

Глава 2

ОБЗОР И АНАЛИЗ СОСТОЯНИЯ ЭЛЕМЕНТНОЙ БАЗЫ ДЛЯ НАНОИНДУСТРИИ. ПЕРСПЕКТИВЫ РАЗВИТИЯ

В главе 2 анализируются концептуальные направления развития науки и технологии в области создания вычислительных (интеллектуальных) систем.

С новой точки зрения пересмотрена философия создания компьютерных систем с переходом на размеры физической структуры компонентов, сопоставимые с нанометром (10^{-9} м).

2.1. Настоящее и будущее нанoeлектроники

Ближайшее прошлое и настоящее — это эра кремниевой транзисторной схемотехники и планарных СБИС. В качестве дальнейшего развития полупроводниковой техники можно отметить направление «Beyond CMOS» («После КМОП¹»), которое предполагает поиск других технологий, отличных от уже существующей КМОП-технологии, а также направление «More than Moore» («больше чем Мур»), которое предлагает разнообразить полупроводниковые технологии путем слияния их с технологиями биочипов и микросенсоров.

Считается, что даже если действие закона Мура будет продлено, приблизительно в 2020 году оно достигнет своего предела, и потребуются новые подходы и новый взгляд на развитие вычислительных (интеллектуальных) систем. Выходом из тупика, куда нас завела планарная транзисторная схемотехника, может стать изменение философии проектирования, переход к иной, альтернативной схемотехнике.

¹ КМОП — комплементарные схемы на взаимодополняющих МОП-транзисторах. В схемах присутствуют одновременно *n*- и *p*-канальные транзисторы, являющиеся комплементарными друг по отношению к другу. Термин «комплементарный» восходит к лат. *complementaris*, что означает *дополняющий, доводящий до полноты*.

2.2. Поиск оптимального компонента

2.2.1. 3D транзистор

Одним из важнейших путей решения проблем планарной микроэлектроники является переход к разработке трехмерных (3D) компонентов схем.

Первые результаты в этой области (трехмерные FinFET-транзисторы) были получены в Японии (<http://www.computerworld.jp/news/hw/98409-1.html>). Подобные структуры уже запатентованы в Японии и США.

Технология High-k позволяет избежать утечки тока благодаря использованию новых материалов транзисторов. Но существует стремление разрешить имеющиеся для транзисторов проблемы более радикальным способом. Речь идет о разработке 3D транзисторов, структура которых принципиально отличается от уже принятой [21].

На рисунке 2.1 представлены модификации 3D полевого транзистора, разработанного японскими учеными [22]. Основная проблема таких транзисторов — технологическая сложность реализации СБИС на их базе, требующая новых подходов к проектированию и новых технологий.

Все результаты в этой области ограничиваются МОП-транзисторами, то есть структурами с размерностью $N = 4$. Это означает, что логические элементы по-прежнему синтезируются из транзисторов.

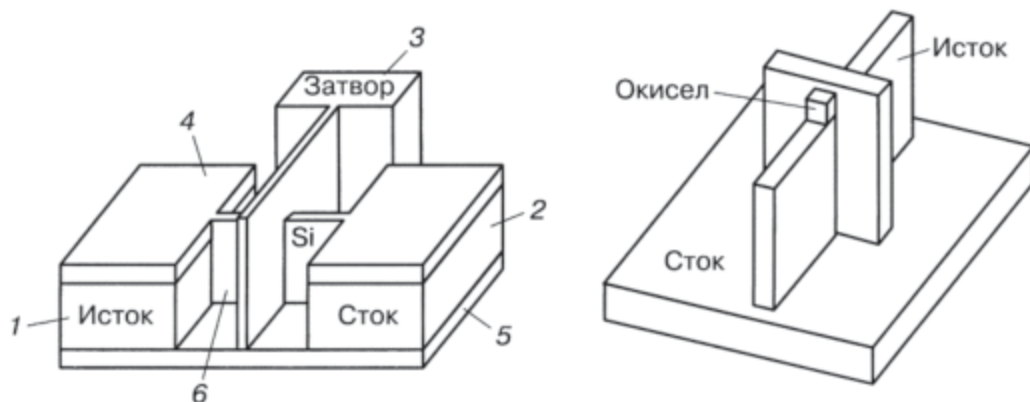


Рис. 2.1. Структуры 3D транзистора, разработанного в Японии [22]: 1 — исток, 2 — сток, 3 — затвор, 4 — контакт, 5 — подложка, 6 — кремниевый канал

Данная разработка, хотя и считается радикальным методом разрешения проблем, присущих сегодняшним транзисторам, не полностью устраняет проблемы логических схем, основанных на транзисторах. Без этого эффект от «объемизации» структуры микроэлементов может оказаться не слишком заметным.

2.2.2. FinFET-транзистор

FinFET-транзисторы — вертикальные полевые транзисторы «плавникового» типа с нелегированными (не содержащими добавок) кремниевыми каналами (рис. 2.2). Их использование является альтернативным подходом, позволяющим добиться уменьшения площади элементов памяти SRAM с минимальным изменением основных характеристик.

Исследователи изучили эффект случайного варьирования свойств FinFET-транзисторов в сверхминиатюрных элементах SRAM. В ходе моделирования было установлено, что стабильность характеристик FinFET-транзисторов без легирования каналов повышается на 28%.

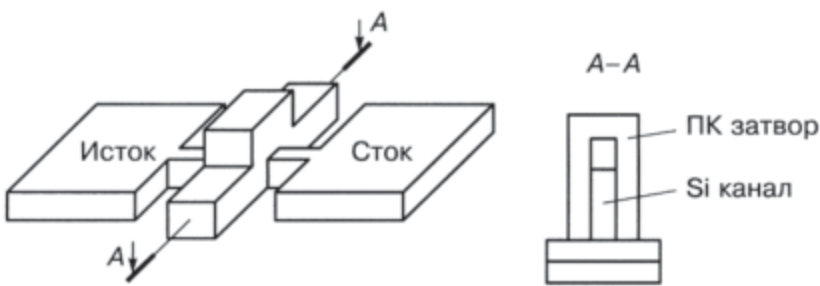


Рис. 2.2. Структура FinFET-транзистора [23]

При моделировании ячеек SRAM площадью $0,063 \text{ мкм}^2$ (это эквивалентно 22-нанометровым электронным цепям) полученные результаты показали, что элементы памяти FinFET SRAM потенциально обладают значительным преимуществом с точки зрения стабильности работы по сравнению с существующими элементами SRAM на базе планарных FET-транзисторов.

2.2.3. Пьезотранзистор

Нанопьезотроника объединяет пьезоэлектрические и полупроводниковые свойства материалов для создания новых электронных компонентов (рис. 2.3). Эти устройства можно использовать в качестве основных строительных блоков, которые позволят открыть новые области применения электроники. К примеру, в пьезотранзисторе (рис. 2.3, б) из одномерной оксид-цинковой наноструктуры путем ее деформации можно

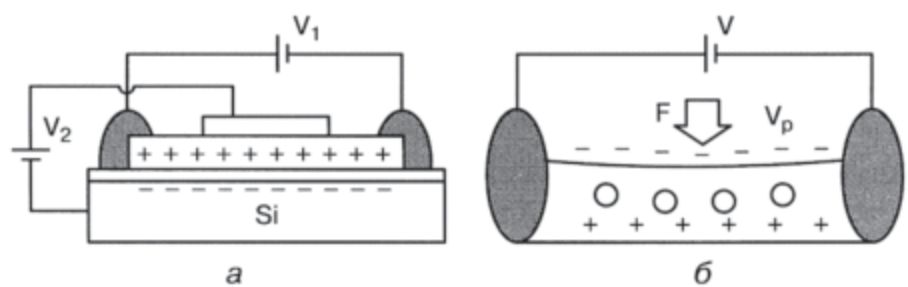


Рис. 2.3. Структуры: а) обычный МОП-транзистор и б) пьезотранзистор [24]

изменить распределение электрического заряда, чтобы контролировать проходящий через транзистор ток.

В полевом пьезоэлектрическом транзисторе действие затвора заменяется внешней силой. Измеряя проходящий ток, нанопьезодатчики могут обнаружить силу величиной в несколько нано- или пиконьютонов.

Другие нанопьезосенсоры позволяют определить давление крови в организме, которая течет через наноструктуры. Также электрический контакт, подсоединенный к наноразмерной нити из ZnO, представляет собой пьезодиод, ограничивающий движение тока в одном направлении.

Наноразмерный компонент логических схем и схем памяти с сенсорными свойствами, каким является пьезотранзистор, может стать основой многих интересных технических, химических и биологических проектов.

2.2.4. Полевой транзистор на основе графеновой наноленты

Еще одна модификация полевого транзистора, полученная изменением механизма формирования проводящего канала, — полевой транзистор на основе графеновой наноленты.

Ученым удалось получить графеновые ленты шириной 10 нм. Такое ограничение главным образом отразилось на рабочей температуре транзистора — он работает при комнатной температуре. Ранние модели, представленные рядом лабораторий, функционировали только при температурах жидкого гелия (4 К, или $-268\text{ }^{\circ}\text{C}$).

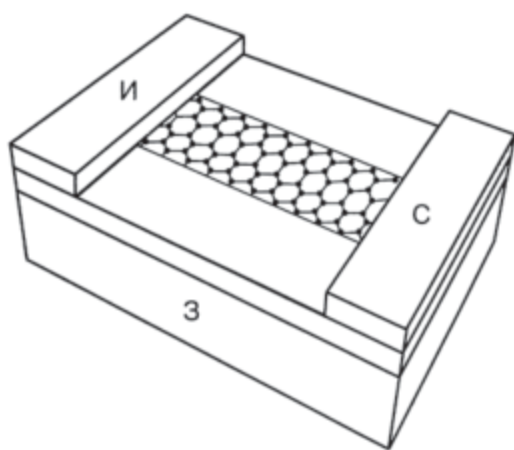


Рис. 2.4. Полевой транзистор на основе графеновой наноленты [25]

Схематически полевой транзистор на основе графеновой наноленты представлен на рис. 2.4. Это первый пример такого транзистора. Палладиевые контакты (И, С) размещены на изолирующей поверхности диоксида кремния толщиной 10 нм. Под слоем SiO_2 расположен высокопроводящий кварцевый слой (З).

Полевые транзисторы — ключевой элемент компьютерных чипов, представляющий собой графеновую прослойку между двумя металлическими электродами. В зависимости от направления приложенного электрического поля плотность положительных и отрицательных за-

рядов внутри полупроводника может изменяться по-разному, и транзистор либо пропускает электрический ток, либо блокирует его. Таким образом осуществляется переключение тока и контроль над потоком данных.

2.2.5. Полевой транзистор на основе графена

Повышение быстродействия компонентов СБИС — одна из важнейших задач, которые ставятся при их создании.

Графен — удивительный материал, который постоянно преподносит ученым сюрпризы. Монослои графита обладают такой же подвижностью носителей зарядов при комнатной температуре, как и углеродные нанотрубки, что крайне важно при создании различных электронных устройств. При этом из графена можно собирать микрочипы по отработанной годами планарной технологии, ныне используемой при создании микросхем на основе кремния. К тому же, благодаря двумерной структуре графена управляющий ток можно легко увеличить за счет изменения ширины проводящего канала.

Измерения, проведенные на полевых графеновых транзисторах с различной шириной затвора, показали, что для длины затвора L_G , равной 150 нм, критическая частота составляет 26 ГГц, а сама зависимость частоты от ширины затвора представляет собой квадратичную гиперболу [26–30].

2.2.6. Органический светоизлучающий полевой транзистор

Органические полупроводники широко применяются в различных приборах (элементах), содержащих органические тонкопленочные транзисторы (OTFTs), органические солнечные элементы, органические долговременные блоки памяти и органические светодиоды (LED). Структура амбиполярного органического тонкопленочного транзистора показана на рис. 2.5. Толщина окиси составляет 100 нм, а толщина активного слоя — 60 нм. Размеры истока и стока: $x_u < 1$ мкм и $x_c > 9$ мкм соответственно.

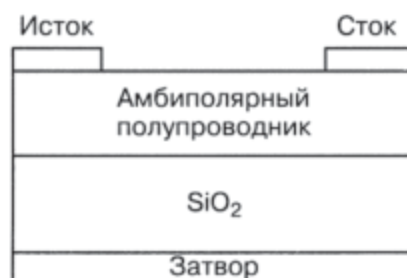


Рис. 2.5. Органический полевой транзистор [31]

2.2.7. ДНК-транзистор

Новый подход в схемотехнике заключается в сочетании в компоненте неживой и живой форм.

ДНК-транзистор — это новое наноразмерное устройство, способное контролировать положение молекулы ДНК в нанопоре с точностью до одного нуклеотида. Возможно, такая структура совершит революцию в современной технологии секвенирования. Секвенирование биополимеров (белков и нуклеиновых кислот ДНК и РНК) — это определение их первичной аминокислотной или нуклеотидной последовательности (от англ. *sequence* — последовательность). В результате получается линейное символьное описание, которое представляет атомную структуру молекулы. Ученые из IBM Research и их коллеги из TJ Watson Research

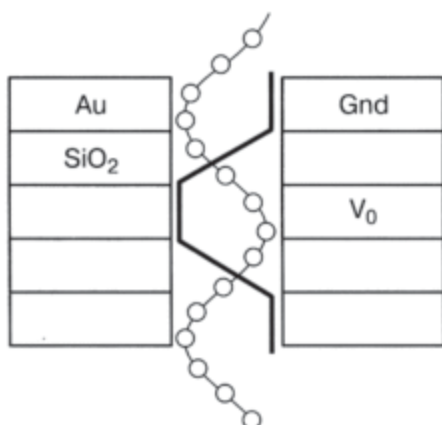


Рис. 2.6. ДНК-транзистор [32]

Center предложили вариант ДНК-транзистора (рис. 2.6), с помощью которого будет производиться более эффективное секвенирование генома. ДНК-транзистор представляет собой длинную наноразмерную пору с рядом полупроводниковых и металлических добавок, внутри которой находится длинная молекула ДНК. Диаметр поры должен быть не слишком велик — всего несколько нанометров. Благодаря добавкам внутри ДНК-канала концентрируются заряды, сравнимые с зарядами одиночных электронов.

Из-за разности потенциалов между центральным и боковыми электродами формируется электростатическая ловушка, которая захватывает молекулу ДНК. Изменение частоты напряжения приводит к движению молекулы внутри поры с заданной точностью, в данном случае — с точностью до одного нуклеотида, чего ранее достичь не удавалось.

Секвенация ДНК отдельно взятого человека с помощью современной техники займет несколько месяцев и будет стоить миллионы долларов, что, естественно, не позволяет детально исследовать геном пациентов и на его основе лечить наследственные заболевания. Если же появится устройство быстрого секвенирования, то анализ ДНК может быть вполне обычной клинической процедурой, как, например, анализ крови. Естественно, подобная практика совершит революцию в медицине.

Новый метод, основанный на использовании ДНК-транзистора, для успешной секвенации потребует в 100 млн раз меньше исходного вещества (ДНК) и займет гораздо меньше времени. Но самое главное — нанопоры для ДНК-транзисторов можно изготавливать в больших количествах с помощью современных методов микроэлектронного производства. Протягивать сквозь нанопору можно будет не только молекулы ДНК, но и другие биомолекулы с целью, например, изучения их морфологии и механических свойств. Сейчас ученые работают над изготовлением первого прототипа дискретного секвенатора на основе ДНК-транзистора.

2.3. Поиск альтернативных макросхем

Философий построения интеллектуальных макросхем, порожденных новыми исходными материалами, физическими эффектами и строящими их компонентами, может быть бесконечное множество. Критериями жизнеспособности этих философий являются:

1) способность компонентов интегрироваться в макросхемы (технологическая возможность реализации макросистем);

2) безошибочная работа макросхем на основе новых компонентов в системе заданных ограничений (надежность).

Новые возможности в электронике открывают углеродные наносети. Исследователи выяснили, что сети из случайно расположенных углеродных нанотрубок (рис. 2.7) могут выполнять разнообразные элементарные функции, лежащие в основе электронных цепей [33].



Рис. 2.7. Наносеть [33]

Последние открытия в области химии позволили специалистам создавать сети, обладающие проводящими свойствами металлов или характеристиками полупроводников.

Возможно, недалек тот день, когда в электронных устройствах будет использоваться один-единственный материал с широким спектром функций.

Устройства на основе углерода достаточно просты в изготовлении. Растворяя нанотрубки в органических растворителях и нанося полученный раствор на специальную подложку, например на гибкий лист пластмассы, инженеры могут формировать тонкие слои различных веществ или же послойно наносить необходимые материалы поверх других слоев, имеющих иные электронные функции, например на вещества, которые под действием напряжения излучают свет.

2.3.1. Создание наноструктуры с помощью ДНК

Команда ученых под руководством Олега Ганга из Национальной лаборатории Брукхэвена «прикрепила» к молекуле ДНК наночастицы золота. Они сформировали трехмерную наноструктуру из золотых наночастиц, обладающую кристаллической симметрией (рис. 2.8). При этом молекулы ДНК играли роль лесов, на которых располагались строительные блоки.

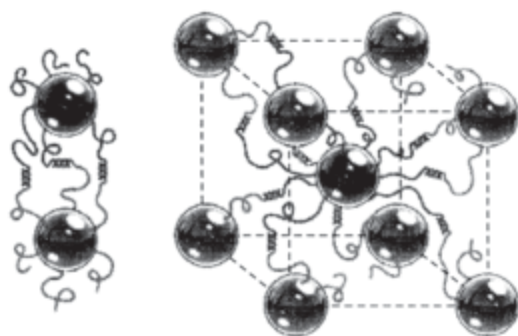


Рис. 2.8. Наночастицы собираются на ДНК-лесах [34]

Частицы золота размером 10 нм присоединялись к цепям ДНК, и, как только молекула встречала комплементарный участок с такой же частицей на конце, формировалась пара строительных блоков. В итоге была получена трехмерная сетка из наночастиц. Для удаления фрагментов ДНК и получения завершенной золотой наноструктуры эту сетку нагрели.

2.3.2. Нейроны и кремниевая электроника

В рамках проекта NACHIP исследователи планомерно идут к удивительной цели — взаимодействию компьютера с набором живых клеток (индивидуально), что позволяет не только получать от них информацию, но и влиять на работу генов в этих клетках [35].

Самое примечательное в проекте NACHIP — его отличие от предшествующих работ. Предложен «двусторонний подход» для решения проблемы тесного и эффективного взаимодействия «живых» нейронов и электроники (рис. 2.9). Должна ли электроника стать более «живой», чтобы работать с нейронами, или нейроны нужно менять, чтобы «научить» их хорошо взаимодействовать с чипами?

А зачем выбирать? Нужно сделать и то, и другое. Так авторы проекта и поступили. С одной стороны, они использовали методы генной инженерии, чтобы подкорректировать строение нейронов, сделав их более «общительными», а с другой — современные методы микроэлектроники, которые позволили максимально адаптировать чип к нейронам.

Ионный поток в клетке превращает ее в составную часть полевого транзистора, позволяя влиять на работу электронного устройства (опыт Петера Фромхерца, фото с сайта www.biochem.mpg.de). Из движения навстречу друг другу этих подходов получилось вот что. Специальный чип с поперечником размером в 1 мм содержит 16 384 транзистора и сотни конденсаторов. Когда на него «высаживаются» нервные клетки, транзисторы получают от них сигналы, а конденсаторы под управлением транзисторов посылают сигналы от электроники нейронам.

С точки зрения физики, взаимодействие нейронов и схемы происходит благодаря прохождению ионов натрия через клеточную мембрану, что меняет ее локальный заряд, на который реагирует транзистор.

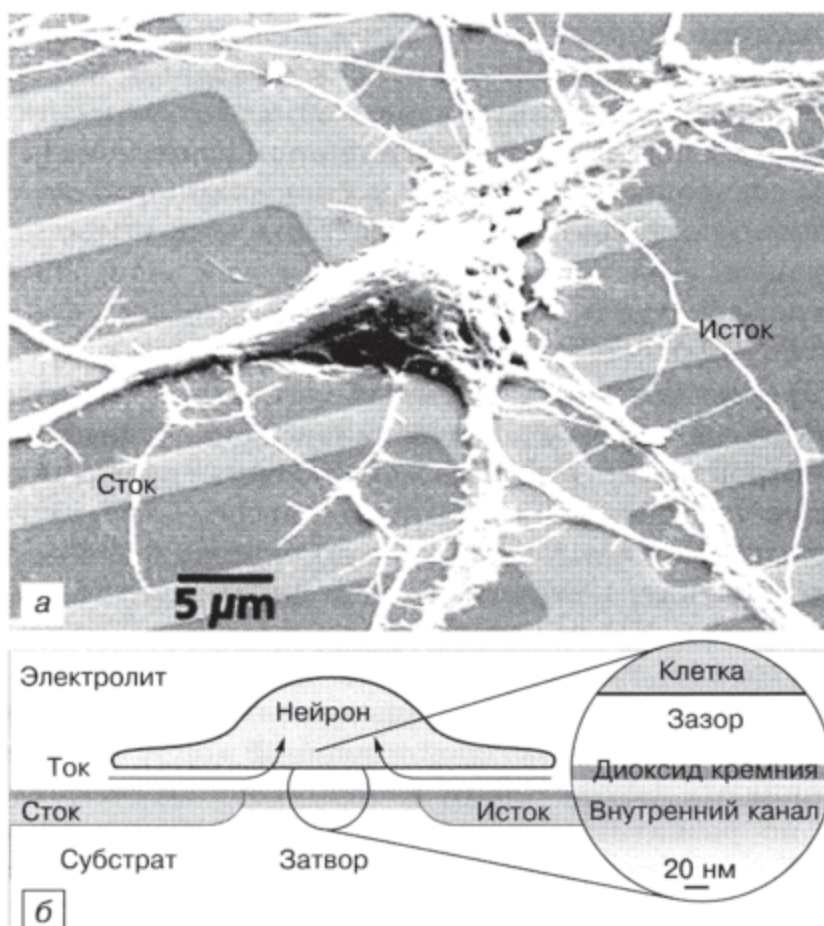


Рис. 2.9. Один нейрон на микросхеме [81]

В свою очередь, управляемый электроникой заряд на конденсаторе влияет на ионный ток, проходящий через мембрану, таким образом, «заставляя» нейрон реагировать на «запрос» извне. Ученые сначала работали с нейронами улитки как с относительно крупными и простыми, а потом — с более сложными крысиными нейронами. Методами генной инженерии они модифицировали нейроны животных, увеличив в их оболочках число ионных каналов и повысив их активность.

Сам чип также был усовершенствован: его покрыли белками, которые в мозге связывают нейроны вместе (своего рода клей) и активируют в них ионные каналы. В чипе были использованы транзисторы с меньшим шумом, участки для возбуждения нейронов и соседние с ними транзисторы были уменьшены до расстояния в несколько микронов, чтобы можно было посылать импульс и получать отклик только от одного нейрона.

Тесное взаимодействие нервных клеток и электронной схемы позволяет исследователям планировать следующий шаг: заставить сигналы чипа влиять на нейрон так, чтобы в нем «включался» новый ген. Чип создан, его будут использовать за счет «включения» и «отключения» генов.

После опытов с нейронами животных ученые намерены перейти и к опытам с человеческими нейронами. Между прочим, задача совмещения миниатюрной электроники с нервными клетками в организме (а не в лабораторных условиях) уже в том или ином виде решена.

Итак, на горизонте вырисовывается коррекция работы генов в живом организме с помощью компьютера. Еще один штрих к будущему Homo Electronics?

2.3.3. Самособирающийся чип

В работе [36] описывается метод самосборки мономолекулярного слоя полупроводниковых молекул на поверхности диоксида кремния. Параметрами электропроводности такого слоя можно управлять так же, как и в полевых транзисторах.

Чтобы создать такое устройство, достаточно взять стандартную кремниевую пластину, покрыть ее слоем диэлектрика (оксидом кремния) и разместить золотые электроды для каждого элемента цепи стандартными методами литографии. После этого пластину помещают в раствор органических молекул, которые сами выстраиваются на поверхности диэлектрика в плотный слой толщиной в одну молекулу и постепенно «прилипают» к поверхности за счет поликонденсации (рис. 2.10).

Работы по развитию методов самосборки микросхем ведутся с 70-х годов XX столетия, однако до сих пор не удавалось получить не то что микросхемы, но даже ключевой элемент подобных электрических цепей — полевой транзистор на основе полупроводникового монослоя.

Здесь следует четко понимать отличие от органических полупроводниковых микросхем, получаемых методом трафаретной печати или микропечати. Эта технология стала уже стандартной, она позволяет получать слой толщиной порядка одного микрометра. Полупроводниковые монослои состоят из слоя толщиной в одну молекулу на

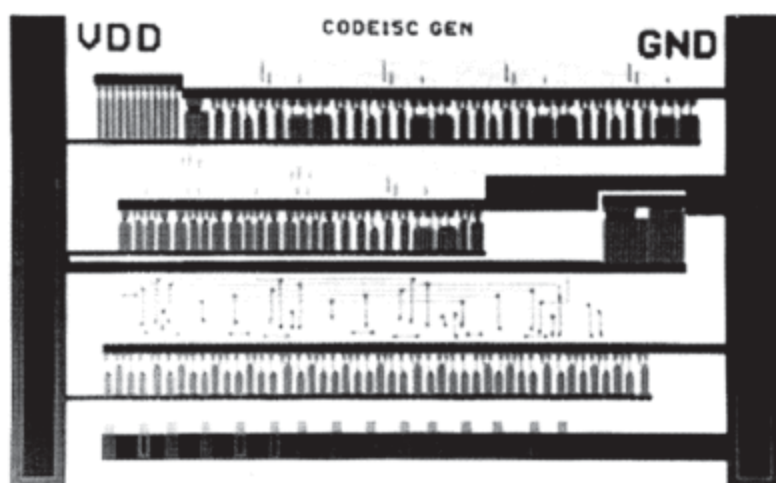


Рис. 2.10. Изображение микросхемы, полученной путем самосборки на подложке из оксида кремния [36]

поверхности подложки; их толщина в сотни раз меньше, чем при трафаретной печати, и не превышает нескольких нанометров. Идея мономолекулярных самособирающихся макросхем понятна.

По замыслу ученых, органические молекулы монослоя должны быть прочно связаны между собой для обеспечения хорошего электронного транспорта — проще говоря, для проводимости только на уровне отдельных электронов. Ковалентное связывание здесь не подходит, так как оно не обеспечивает передачу электронов от одного элемента цепи к другому. Молекулы полупроводников, представляющие собой полигетероароматические цепочки, должны сцепляться за счет π - π -связывания — межмолекулярного взаимодействия электронов, распределенных между атомами ароматического кольца.

Кроме того, полупроводниковые молекулы должны быть прочно закреплены на диэлектрической подложке, под которой расположен электрод затвора, управляющего электрическими параметрами каждого крохотного полевого транзистора. Эти принципы долгое время не удавалось реализовать. Слои полупроводниковых молекул не проводили электрический ток, не реагировали на изменение запирающего напряжения электрода затвора, и только очень короткие, субмикронные участки монослоев полупроводниковых органических молекул демонстрировали небольшую проводимость.

Чтобы получить слой с хорошей проводимостью, пришлось увеличить плотность молекул полупроводника в монослое, а также уменьшить количество дефектов, неизбежно возникающих при самосборке.

2.3.4. Биочипы

Использование биочипов перспективно в разных направлениях и, прежде всего, для выявления генов, реагирующих на негативное (стрессовое) воздействие окружающей среды и осуществляющих защитные функции в организме. Применение биочипов позволяет оперативно выявлять бактерии и вирусы, определять индивидуальные генетические особенности пациента, определяющие предрасположенность к наследственным и онкологическим заболеваниям.

Современная экспериментальная техника позволяет создать матрицу-биочип, с помощью которой можно получить данные о функциональной активности многих (если не всех) генов организма. Технология получения биочипов разработана в Институте молекулярной биологии им. В.А. Энгельгардта под руководством академика А.Д. Мирзабекова.

При создании биочипа на специальную стеклянную подложку с помощью роботов наносят образцы молекулы ДНК, которые представляют собой либо отдельные гены, либо молекулы ДНК, полученные в результате полимеразной цепной реакции.

Для проведения анализа образец (например, взятая кровь) проходит предварительную обработку, включающую использование люми-

несцентных меток в молекулах ДНК или РНК, а затем наносится на биочип, помещенный в специальную микрокамеру. По характеру свечения прибор-анализатор определяет количество характерных последовательностей ДНК, РНК или набора белков в исследуемом образце [37].

Биочип работает следующим образом: как только вирус попадает на соответствующее ему антитело, проводимость отдельной наноструны изменяется, и, соответственно, изменяется состояние транзистора (рис. 2.11). Это изменение определяет дальнейшие логические цепи, которые в зависимости от номера нанотранзистора (1, 2...) сигнализируют о наличии определенного вируса. Схема может определять до 100 различных вирусов. Высокий коэффициент усиления нанотранзисторов и их чувствительность к присоединению вирусов позволяют сделать вывод, что биочип может обнаружить отдельные органические молекулы.

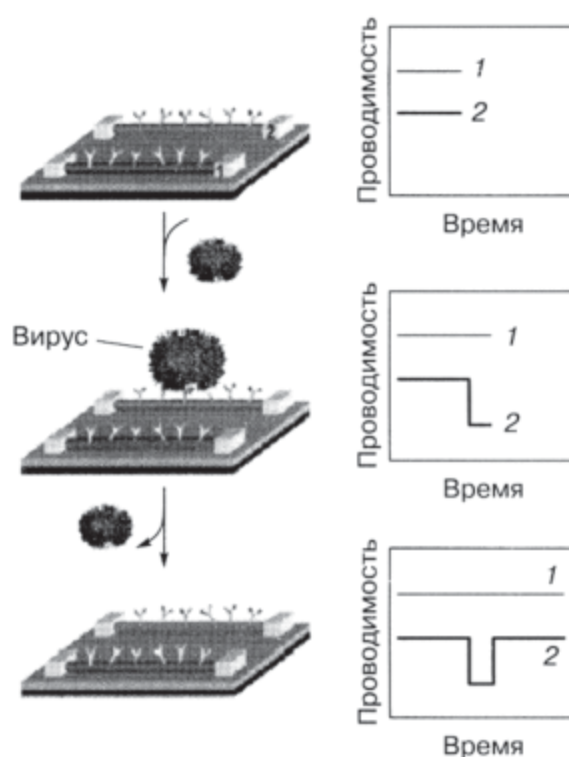


Рис. 2.11. Схема работы биочипа
(1 и 2 — нанотранзисторы с различными антителами)

Исследователи из Гарвардского университета продолжают исследования в этом направлении, чтобы добиться определения нескольких типов вирусов или биомолекул одновременно. Ученые из Корнелла во главе с Крэйгхедом занимаются теми же исследованиями — строят аналогичные биочипы [37].

2.4. Поиск альтернативного компьютера

2.4.1. Квантовый компьютер

Основная ячейка квантового компьютера — квантовый бит, или, сокращенно, кубит (q-бит). Это квантовая частица, имеющая два базовых состояния, которые обозначаются 0 и 1. Двум значениям кубита могут соответствовать, например, основное и возбужденное состояния атома, направления вверх и вниз спина атомного ядра, направление тока в сверхпроводящем кольце, два возможных положения электрона в полупроводнике и т. п.

D-Wave Orion: первый квантовый компьютер. В 2007 году компания D-Wave Orion собрала 16-кубитовый квантовый компьютер, который основатель и генеральный технический директор этой компании Джорди Роуз назвал самым мощным квантовым компьютером из когда-либо построенных и первым, позволяющим запускать коммерчески значимые приложения [38]. Теперь компьютер стал 28-кубитовым, он умеет распознавать фотографии известных достопримечательностей.

Все это намного превосходит большинство других разработок квантовых компьютеров, причем в D-Wave смогли создать компьютер, используя совокупность технологий производства полупроводников в лабораторных условиях и на промышленных предприятиях, не прибегая к помощи оптических схем, квантовых точек, сдерживания лазера или других «экзотических» технологий.

Сотрудники D-Wave работают и над другой частью проблемы, а именно: над инструментами программирования для создания приложений, способных получить преимущество от возможностей квантовых вычислений.

Квантовый процессор D-Wave зафиксирован в нижней части блока фильтрации и заморозки; вся структура погружается в жидкий гелий, охлажденный до 3 К, а затем блок охлаждения снижает температуру чипа до 10 мК.

Материал, который использован в квантовом чипе D-Wave, — ниобий; если его охладить до достаточно низкой температуры, то он становится сверхпроводником. Когда обычный металл проводит электрический ток, электроны, носители электрического заряда, сталкиваются с неидеальной кристаллической структурой металла, в результате чего появляется сопротивление. Когда охлаждается сверхпроводящий металл подобно ниобию, электроны металла формируют куперовские пары, где движение одного электрона соответствует равному, но противоположно направленному движению спаренного электрона, что предотвращает электроны от столкновений с неидеальной кристаллической структурой и появления сопротивления. Иначе говоря, электроны могут свободно протекать, не нуждаясь в дополнительной энергии. Когда куперовские пары входят в

область переходов Джозефсона на чипе (состоящие из двух сегментов сверхпроводящего ниобия, связанных слабым изолирующим барьером), их можно представить как электроноподобные квазичастицы, которые могут туннелировать через изолятор в переходе, эффективно проводя через него ток.

Ниобий расположен в форме спиралей (рис. 2.12), через которые ток может протекать по часовой стрелке, против нее или смешанно (в обоих направлениях), что соответствует 0 и 1 или в суперпозиции двух значений в квантовом бите информации (кубите), на которых базируются квантовые вычисления.

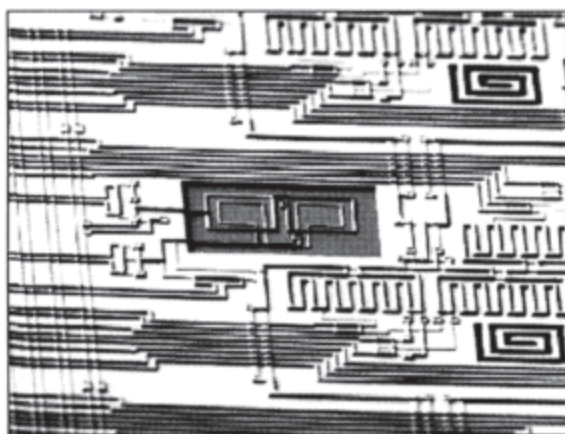


Рис. 2.12. РЭМ-изображение ниобиевых спиралей на чипе Leda

Чип представляет собой совокупность металлических дорожек на кремниевой подложке. Обратим внимание, что такая подложка используется в любом процессе полупроводниковой технологии, но в данном случае сверху на ней были расположены слои металла, разделенные изолятором. Таким образом, чип стал полностью металлическим магнитным устройством, в котором вся информация хранится в виде направлений течения тока по металлическим петлям и переходам.

В отличие от других технологий квантовых вычислений D-Wave использует стандартные методы полупроводникового производства.

Создание квантовых компьютеров — важнейшая задача современной физики, поскольку создание работоспособного квантового вычислительного устройства позволит решать ряд специфических задач намного быстрее, чем с помощью традиционных компьютеров.

Фуллерены как компоненты квантового компьютера. Разработка компонентной базы квантовых компьютеров является для современной физики сложнейшей задачей. На данный момент ученые высказали целый ряд предложений по реализации квантовых компьютеров, в том числе и путем манипуляции электронными спинами. Немало надежд

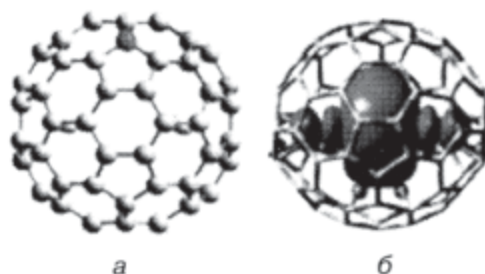


Рис. 2.13. Фуллерены как компоненты квантового компьютера

возлагается на фуллерены, каркасные молекулы из атомов углерода. Наиболее распространенным среди них является фуллерен C_{60} — сфера, составленная из шестидесяти атомов углерода (рис. 2.13, а). Новая идея принадлежит профессору Гарри Дорну, предложившему использовать фуллерен C_{80} , внутри которого находится два иона иттрия, редкоземельного металла (рис. 2.13, б). Наибольший интерес представляет тот факт, что при замене одного атома углерода на атом азота заряд может переходить к атомам иттрия. В данном случае образуется пара с одноэлектронной связью, обладающей уникальными спиновыми свойствами, которыми ученые могут относительно легко манипулировать.

Ученые надеются, что описанный феномен приведет к новым разработкам в области медицины, спинтроники, молекулярной электроники, а также компьютеров будущего. Вполне возможным выглядит создание на основе фуллеренов устройств хранения информации с наиболее высокой плотностью размещения данных.

Не менее перспективной представляется возможность замещения в молекуле фуллерена атома азота на атом бора, что приводит не к появлению «лишнего» электрона, а к его недостатку. По всей видимости, подобные соединения можно использовать в качестве основного компонента полупроводниковой структуры. О методике создания молекулы фуллерена, в которой атом углерода заменен на атом азота или бора, можно прочитать в статье, опубликованной в журнале Американского химического общества (JACS) [39].

Троичная логика для квантового компьютера. Развитие направления создания квантовых компьютеров неизбежно, даже если уже существующие технологии сохраняют господствующие позиции. Однако группа исследователей под руководством Б.П. Ланьона из Квинслендского университета предложила новую методику для ускоренного развития квантовых компьютеров с использованием хорошо исследованной области троичных вычислений [39].

Аналогом бита в квантовом компьютере является «кубит». Данные, сохраненные традиционными компьютерами в троичной системе, называются «тритами»; их квантовый эквивалент носит название «кутрит». Подлинное новаторство метода Ланьона в том, что, исполь-

зуя в универсальных квантовых вентилях кутриты вместо кубитов, исследователи могут существенно снизить количество необходимых вентилях.

Ланьон утверждает, что компьютер, содержащий 50 традиционных квантовых вентилях, сможет обойтись всего девятью, если в нем будет реализовано троичное представление информации.

К сожалению, существующие квантовые системы пока не способны обеспечить надежные вычисления, так как они либо недостаточно управляемы, либо слишком подвержены влиянию шумов. Классический предел точности традиционных квантовых вычислительных систем составляет 86–89% [39]. Однако физических запретов на построение эффективного квантового компьютера не существует. Требуется лишь преодолеть технологические трудности.

2.4.2. Молекулярный биокомпьютер

Методы построения молекулярных биологических компьютеров различны. Принципиальным является, какие схемотехнические решения в них заложены: аналоги твердотельных компьютеров или живых систем, а также способы представления и передачи информации.

В эксперименте, описанном в [40], скорее «биосхема», чем биокомпьютер, представляет собой генную сеть, способную выполнять логическую функцию. Система информации является двоичной, логика — положительной, логическая единица кодируется наличием люминесцентных меток в молекуле белка, логический ноль — его отсутствием. Реализация логических функций (имитация работы процессора) осуществляется за счет химических реакций.

К сожалению, реакция таких схем (реализация логики) является медленной (несколько часов), и использование их для создания новых компьютеров или суперкомпьютеров является сомнительным. Однако они могут найти применение в качестве анализаторов в будущих системах медицинской диагностики (наносенсоры).

2.5. Проблемы научного поиска новой элементной базы

Поиски элементной базы, основного компонента, типа компьютера идут на стыке нескольких наук: физики, химии, биологии. Изыскания подчас ведутся на интуитивном уровне [42–83]. Необходимо объединяющее эти науки начало — математика, способная находить оптимальные решения, выявлять скрытые возможности и недостатки существующих и новых проектов. В связи с большой размерностью решаемых задач нам не обойтись без компьютерного моделирования.

2.6. Поиск оптимальной схемотехники для твердотельных СБИС

2.6.1. Концептуально новая схемотехника вычислительных 3D наносистем: переходная схемотехника

Появление новых компонентов и проведение экспериментов в области компьютерного синтеза показывают, что транзисторная схемотехника, являющаяся основой современных компьютеров и схем управления, не является оптимальной. Все очевиднее становится необходимость отказа от привычного матричного, вентильного и транзисторного подходов к проектированию в пользу переходной схемотехники, в большей степени приближенной к физико-химической природе вещества.

В работах [15, 84, 85] предлагается новая концепция, новый подход к пониманию и освоению свойств 3D СБИС. В качестве минимального объекта для синтеза элементов логической 3D наносхемотехники предлагается рассматривать не транзистор, а физический переход между материалами с различными свойствами (кремний *n*- и *p*-типа, углерод, оксиды, металлы, полимеры и т. д.).

Для данной схемотехники разработано программное обеспечение, позволяющее синтезировать новые 3D интегральные структуры, визуализировать их как снаружи, так и изнутри, что дает возможность исследователю «облетать» трехмерную структуру вокруг, «совершать экскурсии» внутрь интеллектуального кристалла, «гулять» по его закоулкам.

Настоящая книга посвящена развитию концепции переходной схемотехники, ее использованию в проектировании и производстве 3D СБИС с максимальной информационной плотностью.

Глава 3

ПЕРЕХОДНАЯ 3D НАНОСХЕМОТЕХНИКА – НОВАЯ КОМПОНЕНТНАЯ КОНЦЕПЦИЯ И НОВОЕ КАЧЕСТВО В СОЗДАНИИ ТРЕХМЕРНЫХ ИНТЕГРАЛЬНЫХ СХЕМ

3.1. Закон Мура достигает своего предела

Гордон Мур, сооснователь фирмы Intel, уже в 1965 году заметил, что емкость микросхем удваивается каждые полтора года (рис. 3.1). Этот «закон» сейчас подвергается сомнению из-за действия человеческого фактора. В то время, как число транзисторов на кристалле ежегодно увеличивается на 50%, производительность труда конструкторов микросхем увеличивается всего лишь на 20% в год.

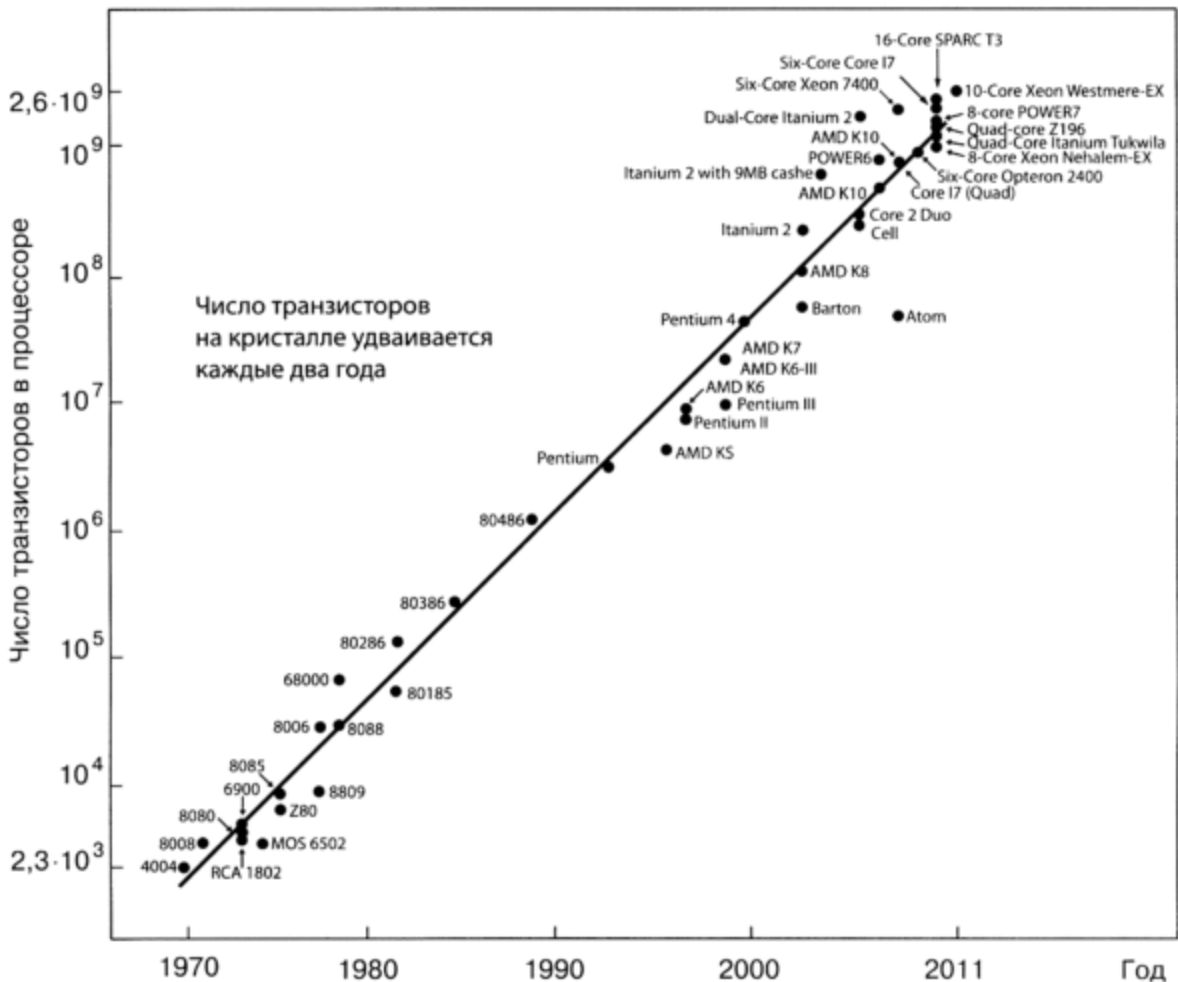


Рис. 3.1. График изменения числа транзисторов на кристалле (первый закон Мура)

Промышленность пыталась противодействовать этой тенденции, постепенно увеличивая размер конструкторских рабочих групп, которые сегодня насчитывают 250–300 человек. К сожалению, при такой численности они становятся трудно управляемыми.

Неограниченный рост степени интеграции невозможен, так как это противоречит второму закону Мура, согласно которому уменьшение размеров структур влечет за собой увеличение стоимости производственного процесса. Эта проблема диктует необходимость поиска качественно нового решения для создания сверхбольших интегральных схем, благодаря этому законы Мура возможно скорректировать.

Закон Мура действует в рамках планарно-транзисторной концепции создания интегральных схем. Но точно так же, как в случае городов, когда под строительство зданий не хватало площадей, они начинали «расти» вверх, интегральные схемы сейчас вынуждены обретать третье измерение. Кроме того, транзисторная схемотехника, являющаяся основой элементной базы СВИС на протяжении всех последних лет, избыточна, то есть сам принцип построения макросистем, которыми являются СВИС, не оптимален.

3.2. Основные понятия и определения

В данном разделе мы обсудим проблемы построения интеллектуальных макросистем твердотельной микро- и наноэлектроники. Как область знаний твердотельная наносхемотехника изучает схемы и методы построения макросхем (СВИС) для компьютеров и схем управления будущего.

Современная схемотехника — транзисторная. Ее минимальные объекты (компоненты) — транзисторы, из которых осуществляется синтез макросхем.

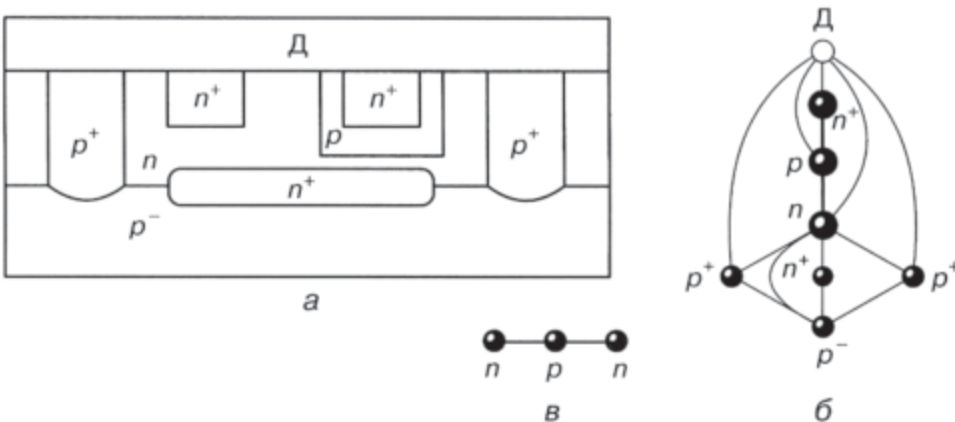


Рис. 3.2. Биполярный транзистор: а) интегральная структура в эпитаксиально-планарной технологии, б) модель структуры (а) в переходной схемотехнике, в) обобщенная модель биполярного транзистора

С физической точки зрения, структура транзистора достаточно сложна, она является схемой (с точки зрения математики) и описывается с помощью компонентов другой схемотехники — переходной (рис. 3.2, б, в, 3.3, б, в), компонентами которой являются материалы и переходы (физические, энергетические) между ними.

На рисунке 3.2, а представлен один из вариантов физической реализации биполярного транзистора n - p - n -типа в кремнии. Он состоит не только из рабочих областей:

- эмиттера;
- базы;
- коллектора;

которые составляют суть самого биполярного транзистора (рис. 3.2, в) как переключательного (имеющего два состояния: «открыт», «закрыт») элемента, но и из дополнительных вспомогательных частей (рис. 3.2, а, б):

- p -подложки, содержащей сам транзистор;
- изолирующих транзистор p^+ -областей;
- области подколлекторного контакта n^+ -типа;
- низкоомной подтранзисторной n^+ -области, уменьшающей сопротивление тела коллектора для снижения напряжения логического нуля, что приводит к увеличению помехоустойчивости транзисторных схем;
- толстого поверхностного диэлектрика для изоляции структуры транзистора от токоведущих дорожек и влияния внешних полей.

Таким образом, из восьми материальных областей с различными физическими свойствами, реализующих планарный биполярный транзистор, рабочих областей только три.

Если говорить об эффективности реализации биполярного транзисторного эффекта в транзисторной схемотехнике, то она равна $(3/8) \cdot 100\% = 37,5\%$, то есть 62,5% от реализации является необходимым балластом, увеличивающим мощность потребления и ухудшающим быстродействие переключения транзистора.

У n -канального МОП-транзистора, лидера современной твердотельной электроники и схемотехники (рис. 3.3), рабочих областей четыре — на одну больше, чем у биполярного транзистора:

- p^- -подложка, в которой формируется проводящий канал;
- исток (n^+);
- сток (n^+);
- тонкий слой диэлектрика (Д), формирующий область затвора и обеспечивающий барьерную функцию переключательного компонента.

В принципе МОП-транзистор может и не содержать больше никаких вспомогательных областей, то есть эффективность его реализации может быть равна 100%.

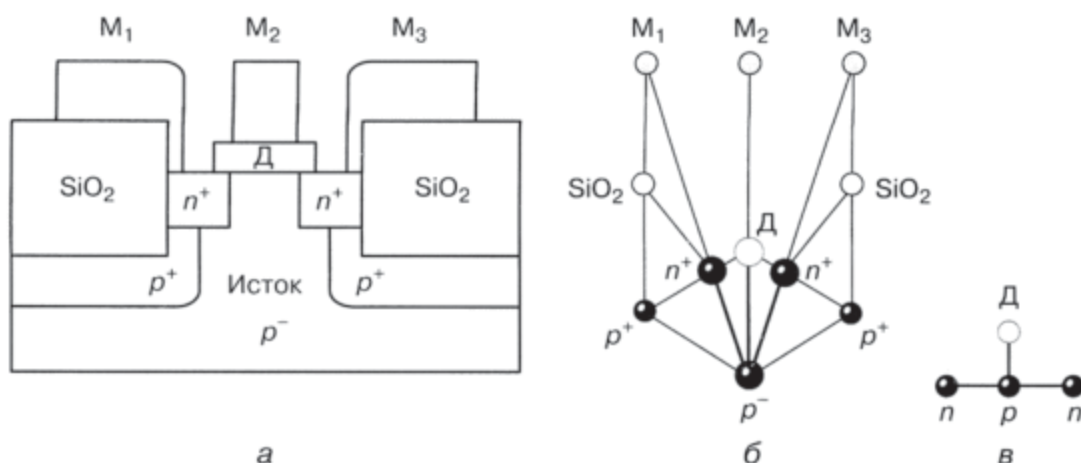


Рис. 3.3. МОП-транзистор: а) интегральная структура в ЭПТ, б) модель структуры (а) в переходной схемотехнике, в) обобщенная модель МОП-транзистора

Однако для улучшения его технических параметров используют вспомогательные области (рис. 3.3, а), снижающие коэффициент реализации МОП-транзистора до $(4/8) \cdot 100\% = 50\%$. Хотя этот параметр выше, чем у биполярного транзистора, но, как и у биполярного транзистора, на реализацию переключательной функции использовано 8-мь областей.

На основании вышесказанного можно сделать следующие выводы:

1) структуры обоих типов транзисторов (биполярного и МОП), используемые при создании твердотельных макросхем (процессоров и схем памяти), являются избыточными, то есть нуждаются в оптимизации на уровне построения макросхем;

2) компоненты транзисторной схемотехники, очевидно, являются схемами другой более подробной схемотехники, что вызывает необходимость изменения компонентной концепции построения интеллектуальных схем (схем логики и памяти) вычислительных и управляющих систем новых поколений.

3.3. Принципиальная особенность новой концепции

Принципиальная особенность предлагаемой концепции твердотельной переходной схемотехники состоит в том, что компонентами (минимальными строительными элементами, «кирпичиками» системы) являются не транзисторы, а их составные части:

- материальные области (атомы, частицы и т. п. для других типов переходной схемотехники, которые будут обсуждаться в главе 24);
- физический (энергетический) переход между материалами (атомами, частицами) с различными свойствами.

Схемами переходной схемотехники являются функциональные графы. Компонентом («кирпичиком») разработанной [15, 84, 85] переходной схемотехники является физический переход между материалами с различными свойствами в «неживых» системах (например, полупроводниковые системы) и химическими связями в органических молекулах («живых» системах). Математические модели интеллектуальных элементов в переходной схемотехнике содержат минимальное количество переходов и физических областей с различными свойствами (для СБИС).

Многие математические модели 3D ИС, разработанные в переходной схемотехнике, «совпадают» по структуре с моделями органических молекул, имеющими те же логические функции. Это говорит о некотором подобии кремниевой и углеродной схемотехник (описание молекул в органической химии похоже на описание кремниевых переходных схем). Для описания математических моделей, синтеза новых моделей и генерации 3D структур по математическим моделям используются функциональные графы. Примерами переходов могут служить p – n -переходы, переходы между прозрачными и непрозрачными слоями в оптоэлектронных элементах, мембраны в биологических элементах и т. д. Графовые модели интегральных элементов могут представлять собой «деревья», содержать циклы. При их построении используются как древовидные, так и циклические схемы.

Полупроводник–диод–транзистор — инжекционный инвертор — это цепь открытий и изобретений, давших три последних поколения вычислительных машин. Это всего лишь начальные элементы таблицы оптимальных математических моделей элементов переходной (в частности p – n -) схемотехники.

3.4. Этапы разработки наноструктур переходных элементов

Создание системы базовых элементов твердотельной переходной наносхемотехники можно представить в виде четырех основных этапов:

- синтез оптимальной абстрактной математической модели размерностью N ;
- генерация моделей структуры по абстрактной математической модели размерностью N — синтез множества структурных формул;
- пространственная (2D и 3D) реализация структурных формул в конкретные интегральные структуры;
- компьютерное моделирование физических процессов для полученных интегральных структур; формирование базы данных, включающей математические модели, интегральные 3D структуры и данные моделирования работоспособности структуры.

Как будет показано далее, по ряду показателей биполярная переходная схемотехника значительно превосходит биполярную транзисторную схемотехнику, а по сумме показателей превосходит даже транзисторную КМОП-схемотехнику.

3.5. Пути дальнейшего развития переходной схемотехники

Развитие полупроводниковой переходной схемотехники потребует

- разработки новых технологий производства, нацеленных на создание многослойных полупроводниковых структур с вертикальной и горизонтальной диэлектрической изоляцией;
- математического и компьютерного моделирования элементов переходной схемотехники размерностью более 4, причем не только на уровне эквивалентных схем и моделей, но также на уровне физической структуры.

3.6. Интересные совпадения в переходной кремниевой и углеродной схемотехниках

Заслуживают внимания некоторые совпадения структур и свойств, казалось бы, совершенно различных переходных схемотехник [84, 85]. Приведем лишь один пример. При синтезе кремниевого биполярного *RS*-триггера в кремниевой *p-n*-схемотехнике была получена *p-n*-математическая модель, похожая по структуре и связям на бензольное кольцо, которое в органических молекулах обладает функцией хранения бита информации.

На рисунке 3.4, *а* представлен синтез из таких моделей кремниевого переходного регистра, по структуре напоминающего структуру ДНК (рис. 3.4, *б*): на двух общих шинах «смонтированы» шестигранные модели (ячейки памяти) с дополнительными моделями логического управления.

В главе 16, посвященной регистрам, будет рассмотрена физическая реализация ячейки регистра в переходной схемотехнике в виде кремниевой четырехслойной наноструктуры.

Если рассматривать органические молекулы, то это, по сути, те же схемы переходной органической схемотехники (рис. 3.5). Только в качестве материала выступают атомы, а в качестве перехода — химическая (валентная) связь между ними (энергетический барьер). Если в модели, представленной частью молекулы бетакаротина (рис. 3.5) атомы С и Н заменить на подходящие полупроводники, мы получим схему *RS*-триггера, управляемого логическими схемами, что является частью некоторой схемы памяти.

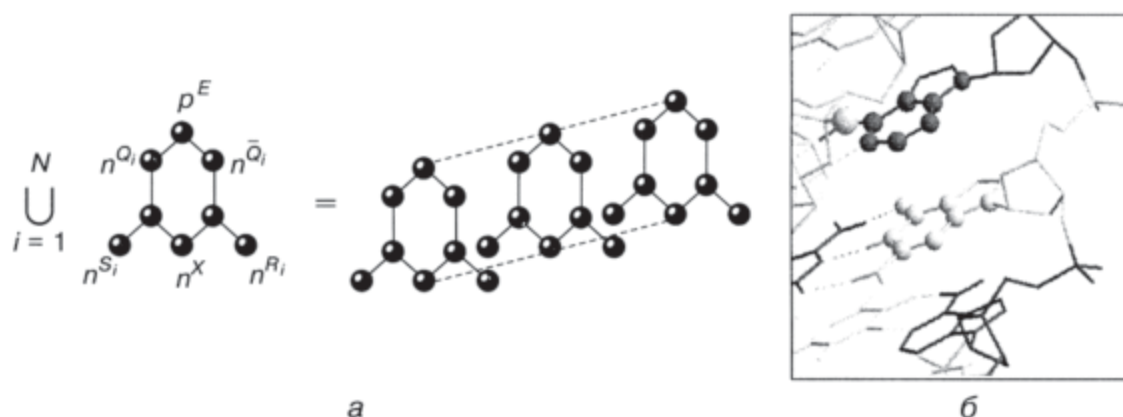


Рис. 3.4. Модели (схемы) переходных схемотехник: а) уравнение синтеза и математическая модель регистра в p - n -схемотехнике, б) структура ДНК

Таким образом, занимаясь исследованиями в данной области, синтезом компьютерных схем, их математическим и компьютерным моделированием, мы не только пытаемся оптимизировать уровень технического развития, но и находим закономерности, которые вызывают большой интерес, связанный с единством законов построения интеллектуальных систем в различных физических формах.

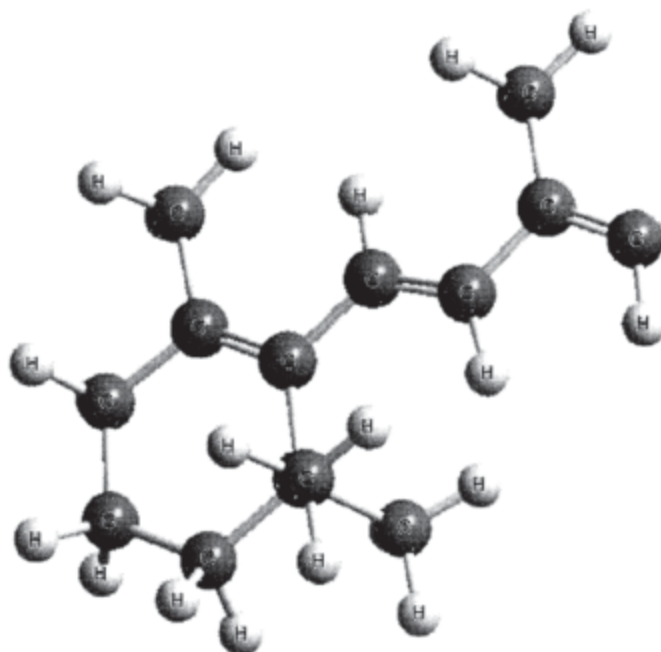


Рис. 3.5. Часть молекулы бетакаротина (ячейка памяти, управляемая логическими схемами в углеродной переходной схемотехнике)

Глава 4

ТЕОРЕТИЧЕСКИЕ ОСНОВЫ ПЕРЕХОДНОЙ СХЕМОТЕХНИКИ

4.1. Математическая модель элемента переходной схемотехники

Математической моделью функционально-интегрированного элемента (ФИЭ) является неориентированный граф:

$$G(X, A, \Gamma),$$

где $X = (x_1, x_2, \dots, x_N)$ — множество вершин;

$A = (a_1, a_2, \dots, a_M)$ — множество ребер.

Предикат Γ является трехместным предикатом и описывается логическим выражением $\Gamma(x_i, a_k, x_j)$, которое означает, что ребро a_k соединяет вершины x_i и x_j .

Элементу множества вершин x_i соответствует часть интегральной структуры:

$$x_i = T_i^{F_i},$$

в которой T_i определяет качественный состав части интегральной структуры; F_i — элемент функционального множества.

Множество

$$T = \{T_t, T_b, \dots\}$$

состоит из подмножеств:

T_t — подмножество материалов твердотельной схемотехники;

T_b — подмножество атомов биосхемотехники.

Подмножеству T_t соответствует множество материалов с различными свойствами:

$$T_t = \{T_{t_i}\} (i = 1, \dots, n) = (p, n, p^+, n^+, \dots, \text{SiO}_2, \dots, \text{Al}, \text{Ga}, \dots) = S \cup D \cup M,$$

где p — полупроводниковая область p -типа;

n — полупроводниковая область n -типа;

SiO_2 — область диоксида кремния;

Al — область алюминия;

Ga — область галлия;

S — подмножество областей полупроводников;

D — подмножество областей диэлектриков;

M — подмножество проводников.

Функциональное множество

$$F = F_c \cup F_p$$

состоит из двух подмножеств:

$$F_c = \{F_{Ci}\} = (E_1, \dots, E_{k1}, I_1, \dots, I_{k2}, \varphi_1, \dots, \varphi_{k3} \dots),$$

то есть подмножества управляющих (control) воздействий в виде напряжения E_i , тока I_j , света φ_k и

$$F_p = \{F_{Pi}\} = (\text{in}_1, \dots, \text{in}_m, \text{out}_1, \dots, \text{out}_n),$$

которые являются подмножествами назначения (purpose), задающего входные (input) и выходные (output) функции областям из множества T , по отношению к которым определяются передаточные характеристики элементов, определяющие их работоспособность; n — число областей интегральной структуры.

Элементом множества ребер a_i, a_k соответствуют переходы между различными частями интегральной структуры, выполняющие определенные функции, причем существуют $x_i, x_j (x_i \neq x_j) \in \Gamma(x_i, a_k, x_j) \in \Gamma(x_j, a_k, x_i)$.

Примерами переходов твердотельной схемотехники (графов размерностью $N = 2$) являются:

1) S_i-S_j — переход между полупроводниками, например переход между полупроводниками p - и n -типа, выполняющий диодную функцию, именно этот переход является основным компонентом переходной твердотельной схемотехники;

2) S_i-D_j — переход между полупроводником и диэлектриком;

3) S_i-M_j — переход между полупроводником и металлом (диод Шоттки);

4) материал₁–материал₂ — переходы между прозрачными и непрозрачными слоями в оптоэлектронных элементах, мембраны в биологических элементах и т. д., которые в общем виде можно описать как переход.

Аналогично этому в биосистемах [86] простая группа R—Z, сочетание из двух атомов элементов-органогенов (C, N, O, P, S), содержащее σ-связь, является системой компонентов биосхемотехники.

Цифровые макросхемы твердотельной электроники синтезируются на базе биполярных и МОП-транзисторов, обобщенные модели которых в переходной схемотехнике представлены в таблице 4.1.

Таблица 4.1

Модели транзисторов в твердотельной переходной схемотехнике

Тип транзистора	Обобщенная модель схемы в твердотельной переходной схемотехнике
Биполярный транзистор $n-p-n$ -типа	$n-p-n$
Биполярный транзистор $p-n-p$ -типа	$p-n-p$
n -Канальный МОП-транзистор	$n-p-n$ D
p -Канальный МОП-транзистор	$p-n-p$ D

Таблица 4.2

Модели структур (групп) размерностью $N = 2$ и $N = 3$ в биосхемотехнике

Простые группы ($N = 2$)	Резонансные группы ($N = 3$)		
C—C	C—C=C		
C—N	C—C=N	N—C=N	
C—O	C—C=O	N—C=O	O—C=O
C—S	C—C=S	N—C=S	O—C=S
—	C—P=O	N—P=O	O—P=O
S—S	C—S=O	N—S=O	O—S=O

В биосистемах [86] резонансной группой называется сочетание трех атомов элементов-органогенов, содержащее две σ - и одну π -связь, способную к перемещению, резонансу:



Таблица 4.2 отражает результат отбора биомолекул ($N = 2$ и $N = 3$), которые можно использовать в биоструктурах. Предполагается, что для формирования биоструктур необходим ограниченный набор сочетаний элементов с определенными особенностями.

Таблица 4.3

Модели переходов биполярных и МОП-транзисторов

Переходы ($N = 2$)	Биполярные транзисторы ($N = 3$)	МОП-транзисторы $N = 4$
$p-n$		
$n-D$	$p-n-p$	$p-n-p$ D
$p-D$	$n-p-n$	$n-p-n$ D

Классификация, приведенная в таблице 4.2, может быть полезна для целей молекулярной электроники, так как позволяет осуществлять первичную оценку пригодности молекул для построения соответствующей элементной базы. Классификация, приведенная в таблице 4.3, показывает компоненты для переходной ($N = 2$) и транзисторных ($N = 3$ и $N = 4$) твердотельных схемотехник. Математические (графовые) модели интегральных элементов могут представлять собой деревья, а также содержать циклы. Полупроводник ($N = 1$), диод ($N = 2$), транзисторы ($N = 3$ и $N = 4$), инжекционный инвертор ($N = 4$) — цепь открытий и изобретений, давших три последних поколения вычислительных машин, всего лишь начальные элементы системы оптимальных математических моделей элементов твердотельной переходной ($p-n$) схемотехники.

4.2. Основы твердотельной переходной схемотехники

Модель материала (атома, частицы) — это граф размерностью $N = 1$, то есть граф, содержащий лишь одну вершину.

В таблице 4.4 показано представление материала в переходной схемотехнике в виде математической модели структуры, структурной формулы (модели, определяющей структуру в пространстве), 2D и 3D моделей интегральных структур [$N = 1$ — размерность математической модели, или число вершин графа модели, или число различных областей (атомов, частиц)].

Таблица 4.4

Представление области (материала)
в переходной схмотехнике ($N = 1$)


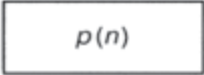
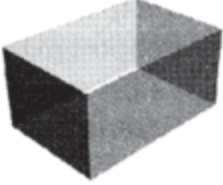
Математическая модель структуры	Структурная формула (представление в пространстве)	2D модель структуры	3D модель структуры
 $p(n)$	$p(n)$		

Таблица 4.5

Переход ($N = 2$), созданный внутри области (материала)


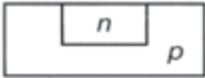


Математическая модель структуры	Структурная формула (представление в пространстве)	2D модель структуры	3D модель структуры
 $p \rightarrow n$	$p \rightarrow n$ или $A(p, n)$		

Таблица 4.6

Переход ($N = 2$), созданный на поверхности материала

Математическая модель структуры	Структурная формула (представление в пространстве)	2D модель структуры	3D модель структуры
 $p \rightarrow n$	$p \Rightarrow n$ или $C(p, n)$		

В таблице 4.5 показан переход, созданный внутри материала, в переходной схемотехнике в виде математической модели, структурной формулы, 2D и 3D моделей интегральных структур ($N = 2$). Ребро графа со свойством A соответствует *внутреннему переходу*, то есть физической границе между областями, одна из которых находится внутри другой.

В таблице 4.6 показан переход, созданный на поверхности материала в переходной схемотехнике в виде математической модели, структурной формулы, 2D и 3D моделей интегральных структур ($N = 2$).

Ребро графа со свойством C соответствует *поверхностному переходу*, физической границе между соприкасающимися материалами.

Именно поверхностный переход является основой создания слоистых (или тонкопленочных) наноструктур, так как он обладает меньшей мощностью потребления и является более быстродействующим, чем внутренний переход. Для доказательства этого утверждения можно применить сравнительное математическое и компьютерное моделирование обоих типов переходов.

4.3. Необходимость компьютерного физического моделирования интегральной структуры

Необходимость компьютерного моделирования изучаемых объектов новой схемотехники очевидна. Прежде чем создавать научно-производственную инфраструктуру под новую теорию, необходимо доказать работоспособность ее объектов. Моделирование наноструктур компонентов и элементов переходной схемотехники осуществлялось с помощью программы TCAD Synopsys 2008 [87]. Главным результатом при анализе компонентов (физических переходов) явилось подтверждение наличия у них барьерной функции (по вольт-амперным характеристикам), так как это условие является необходимым для построения логических элементов НЕ, ИЛИ, И, а также функционально полных логических элементов И–НЕ и ИЛИ–НЕ, на базе которых строятся сколь угодно сложные интеллектуальные макросхемы (процессоры, схемы памяти).

4.4. Моделирование наноструктур ($N = 2$).

Моделирование внутреннего и поверхностного p – n -переходов — основных компонентов твердотельной переходной схемотехники

Как показали эксперименты, математические модели интеллектуальных элементов переходной схемотехники содержат минимальное количество переходов и физических областей с различными свойствами.

Многие математические модели 3D ИС, разработанных в переходной схемотехнике, «совпадают» по структуре с моделями органических молекул, имеющими те же логические функции. Это позволяет думать о некотором подобии кремниевой (твердотельной) и углеродной (био-) схемотехник.

Для описания математических моделей, синтеза новых моделей и генерации 3D структур по математическим моделям, как было отмечено выше, используются функциональные графы [15, 84, 85, 88, 89]. Примерами переходов твердотельной схемотехники (графов размерностью $N = 2$) являются:

- S_i – S_j -переход;
- S_i – D_j -переход;
- S_i – M_j -переход;
- переходы между прозрачными и непрозрачными слоями в опто-электронных элементах и т. д.

Следует напомнить, что компонент твердотельной переходной схемотехники — это физический переход между материалами с различными свойствами, тогда как компонент твердотельной p – n -схемотехники представляет собой физический переход между p - и n -областями интегральной структуры.

Исходя из технологических особенностей, различают два типа p – n -перехода и соответствующие им модели:

- внутренний (когда переход формируется внутри материала):

$$p \rightarrow n \text{ или } A(p, n);$$

- поверхностный (когда переход формируется на поверхности материала):

$$p \Rightarrow n \text{ или } C(p, n).$$

4.4.1. 2D моделирование внутреннего p – n -перехода с минимальным топологическим размером 20 нм при электрическом воздействии на электроды

Смысл символа " \rightarrow " в структурной формуле $p \rightarrow n$ можно передать словом «содержит»: « p содержит n ».

На рисунках 4.1–4.3 показаны этапы подготовки данных для 2D моделирования $p \rightarrow n$ -перехода [90]. Рисунок 4.1 иллюстрирует 2D конструкцию (сечение) внутреннего p – n -перехода. Физическому p – n -переходу соответствует линия $EFGI$, находящаяся внутри основного материала полупроводника. Наличие проводников, через которые осуществляется электрическое воздействие на полупроводниковые области, может быть определено заданием топологии и свойств контактов. Так, линия $ABCD$, линия соприкосновения проводника с остальной кон-

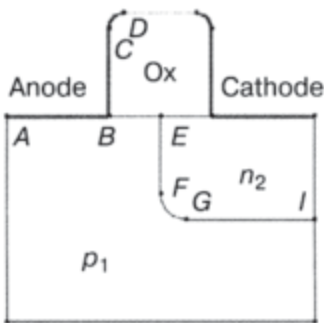


Рис. 4.1. Определение 2D конструкции (сечения) внутреннего *p-n*-перехода

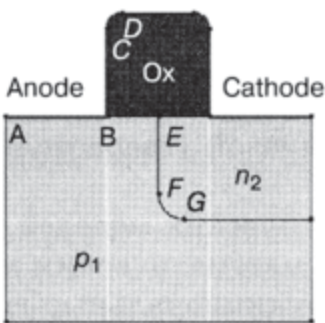


Рис. 4.2. Назначение материалов внутреннего *p-n*-перехода

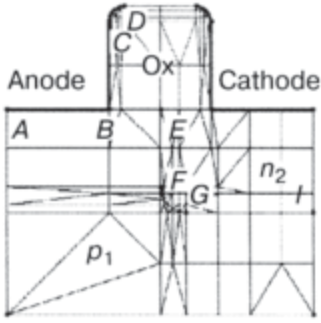


Рис. 4.3. Задание сетки для 2D моделирования по сечению внутреннего *p-n*-перехода

струкцией, соответствует контакту анода (Anode), а аналогичная симметрично расположенная линия — контакту катода (Cathode).

На рисунке 4.2 показано назначение материалов для внутреннего *p-n*-перехода: область p_1 — область кремния *p*-типа (область с дырочной проводимостью), область n_2 — область кремния *n*-типа (область с электронной проводимостью), Ox — изолирующий контакт SiO_2 .

На этом же этапе задаются концентрации носителей в областях интегральной структуры внутреннего *p-n*-перехода. Так, концентрация дырок в области p_1 составляет 10^{15} носителей/см³, а концентрация электронов в области n_2 — 10^{19} носителей/см³.

На рисунке 4.2 можно видеть белые линии — это топологическая сетка с размером ячейки $X_g = 20$ нм и $Y_g = 20$ нм. Размер ячейки определен исходя из минимального топологического размера в 20 нм. На основе этих условий размеры топологических частей структуры представлены значениями из таблицы 4.7.

После определения типа, размеров и концентрации носителей в областях интегральной структуры задается расчетная сетка для моделирования характеристик внутреннего *p-n*-перехода (рис. 4.3).

Таблица 4.7

Топологические размеры для моделирования внутреннего *p-n*-перехода

	p_1	n_2	Ox	Anode	Cathode
Ширина W_x , нм	60	30	20	20	20
Высота H_y , нм	40	20	20	20	20

В данном эксперименте максимальный размер расчетной сетки был выбран 10 нм, минимальный — 2,5 нм.

На рисунке 4.3 видно, что более густая сетка наблюдается в области самого перехода, а также в областях мелкомасштабных изменений структуры, в частности, в областях стравленного оксида.

Использование наименьшего размера расчетной сетки в случае топологической необходимости позволяет минимизировать время моделирования структуры. В случае необходимости минимальный и максимальный размеры расчетной сетки можно менять. После задания топологических данных необходимо определить физические модели для расчета.

Файл для моделирования. Файл состоит из нескольких частей:

File { * Input Files Grid = "PN_in_3D_1_msh.tdr" Doping = "PN_in_3D_1_msh.tdr" * Output Files Current = "PN_in_3D_1_rs.plt" Plot = "PN_in_3D_1_rs.tdr" Output = "PN_in_3D_1_rs.log" }	1. Блок File, в котором задаются имена входных и выходных файлов.
Electrode { { Name="anode" Voltage=0.0 } { Name="cathode" Voltage=0.0 Resistor=100 } }	2. Блок Electrode, в котором описываются электроды.
Physics { Mobility(DopingDep HighFieldSat Enormal) EffectiveIntrinsicDensity(OldSlotboom) }	3. Блок Physics, в котором учитываются дополнительные физические эффекты, помимо стандартных.
Plot { eDensity hDensity eCurrent hCurrent Potential SpaceCharge ElectricField eMobility hMobility eVelocity hVelocity Doping DonorConcentration AcceptorConcentration }	4. Блок Plot, в котором задается список моделируемых функций.
Solve { *- Build-up of initial solution: Coupled(Iterations=100){ Poisson } Coupled{ Poisson Electron Hole } *- Bias drain to target bias Quasistationary(InitialStep=0.01 Increment=1.35 MinStep=1e-5 MaxStep=0.2 Goal{ Name="cathode" Voltage= 0.05 })	5. Блок Solve. В нем определяются основные уравнения моделирования, условия моделирования, изменяемые входные функции.

```

){ Coupled{ Poisson Electron Hole } }
*- Gate voltage sweep
Quasistationary(
  InitialStep=1e-3 Increment=1.35
  MinStep=1e-5 MaxStep=0.05
  Goal{ Name="anode" Voltage= 1.5 }
){ Coupled{ Poisson Electron Hole } }

```

Результаты, полученные при моделировании на основе параметров расчетного файла, представлены на рисунках 4.4–4.6.

Время моделирования составило 62 с на ПК с процессором 2,6 ГГц и оперативной памятью 1 ГБт.

Результаты моделирования внутреннего p – n -наноперехода можно разделить на 2 части:

- значения функций в сечении наноструктуры внутреннего p – n -перехода (рис. 4.4, 4.5);
- графики функций (рис 4.6).

На рисунке 4.4 представлены результаты моделирования в сечении внутреннего p – n -перехода для следующих функций:

- а) скорость дырок;
- б) квазипотенциал Ферми для дырок;
- в) подвижность дырок;
- г) плотность дырок;
- д) плотность тока дырок;
- е) скорость электронов;
- ж) квазипотенциал Ферми для электронов;
- з) подвижность электронов;
- и) плотность электронов.

На рисунке 4.5 приводится продолжение результатов моделирования в сечении внутреннего p – n -перехода для следующих функций:

- а) плотность тока электронов;
- б) пространственный заряд;
- в) квазипотенциал Ферми;
- г) электростатический потенциал;
- д) напряженность электрического поля;
- е) концентрация носителей;
- ж) концентрация доноров;
- з) концентрация акцепторов;

и) на этом рисунке повторена сетка и система узлов, в которых рассчитывались 17 вышеперечисленных функций.

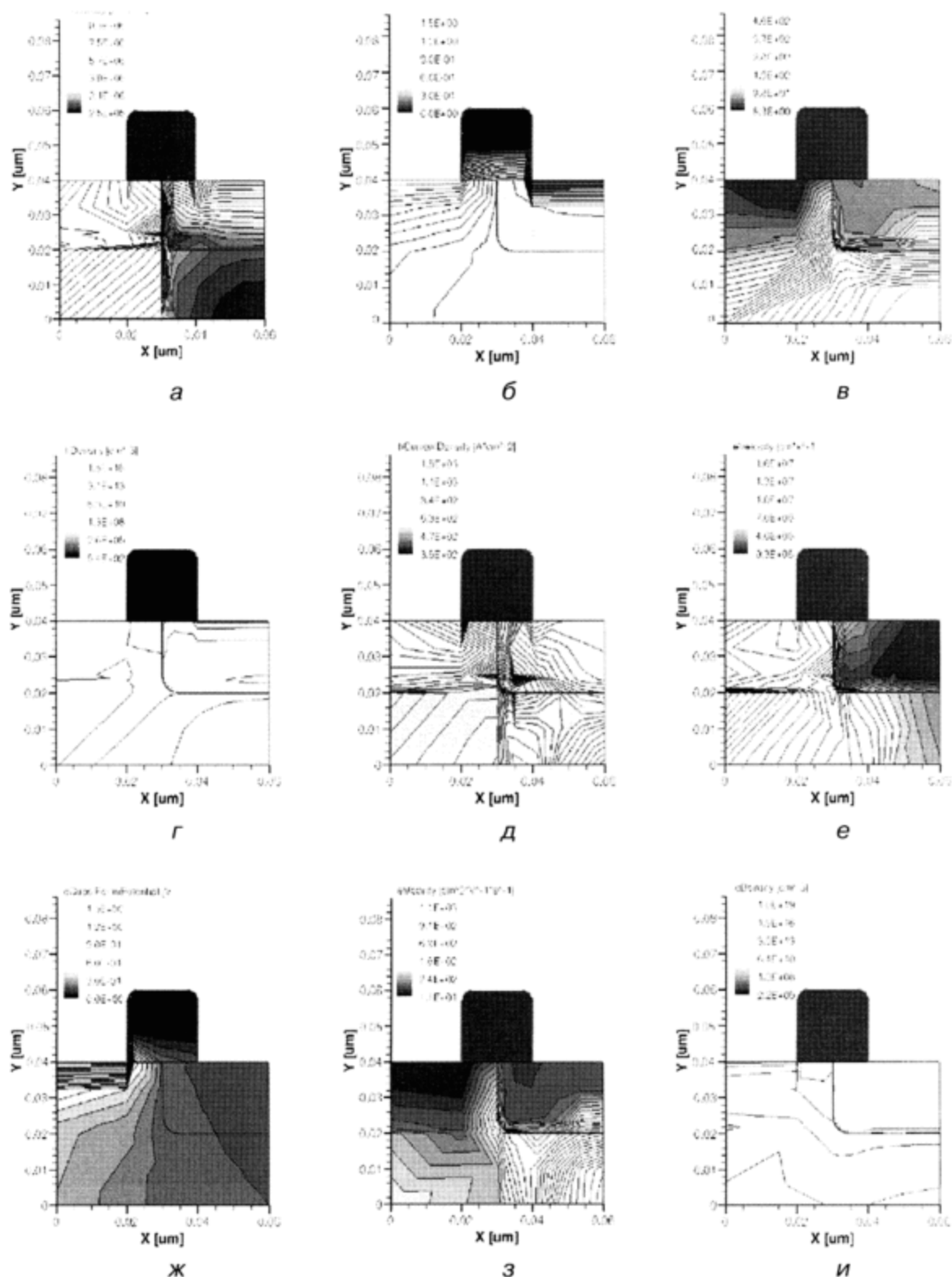


Рис. 4.4. Результаты моделирования в сечении внутреннего $p-n$ -перехода для следующих функций: а) скорость дырок; б) квазипотенциал Ферми для дырок; в) подвижность дырок; г) плотность дырок; д) плотность тока дырок; е) скорость электронов; ж) квазипотенциал Ферми для электронов; з) подвижность электронов; и) плотность электронов

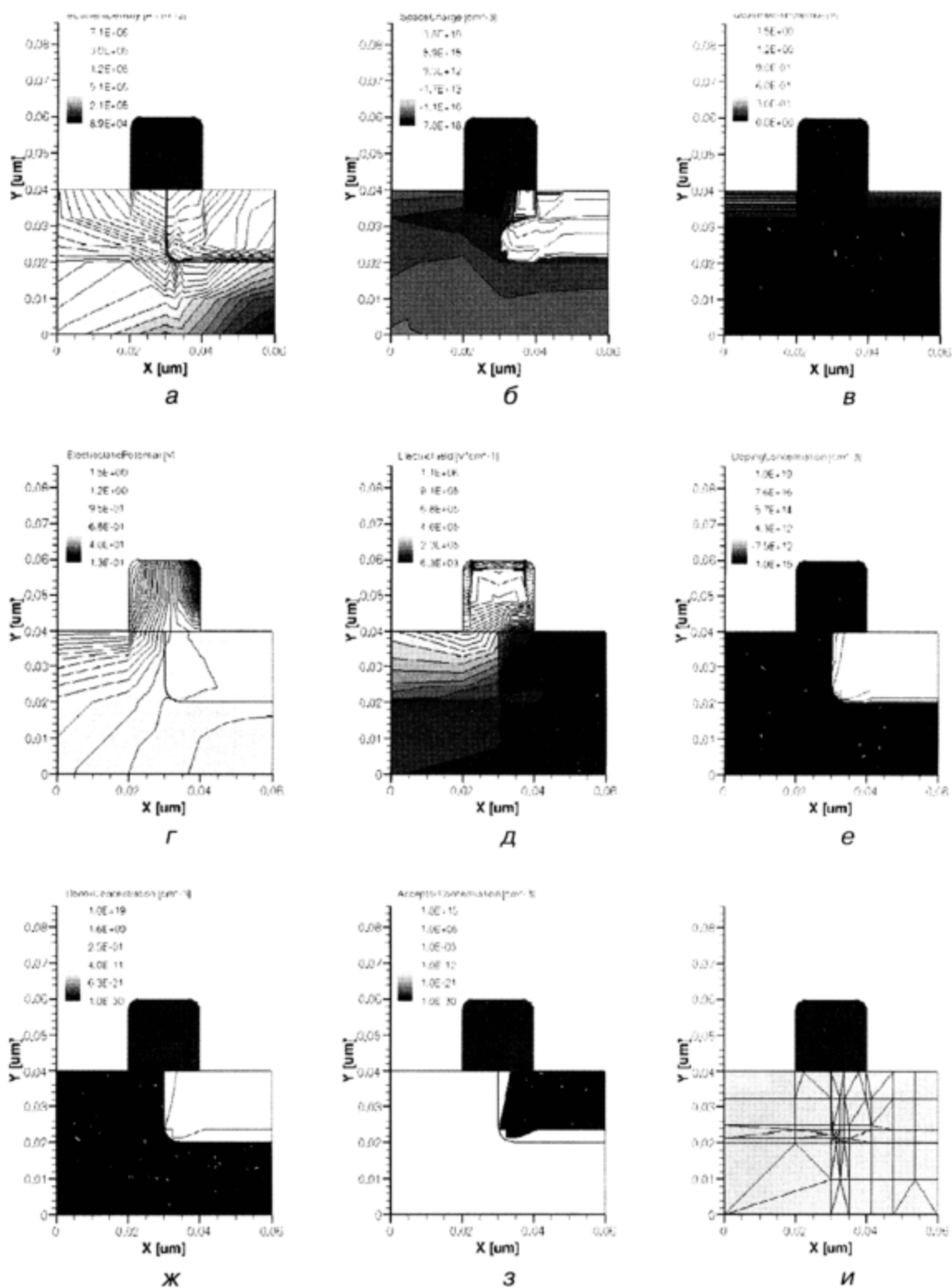


Рис. 4.5. Результаты моделирования (продолжение) в сечении внутреннего p - n -перехода для следующих функций: а) плотность тока электронов; б) пространственный заряд; в) квазипотенциал Ферми; г) электростатический потенциал; д) напряженность электрического поля; е) концентрация носителей; ж) концентрация доноров; з) концентрация акцепторов; и) на этом рисунке повторена сетка и система узлов, в которых рассчитывались 17 вышеперечисленных функций

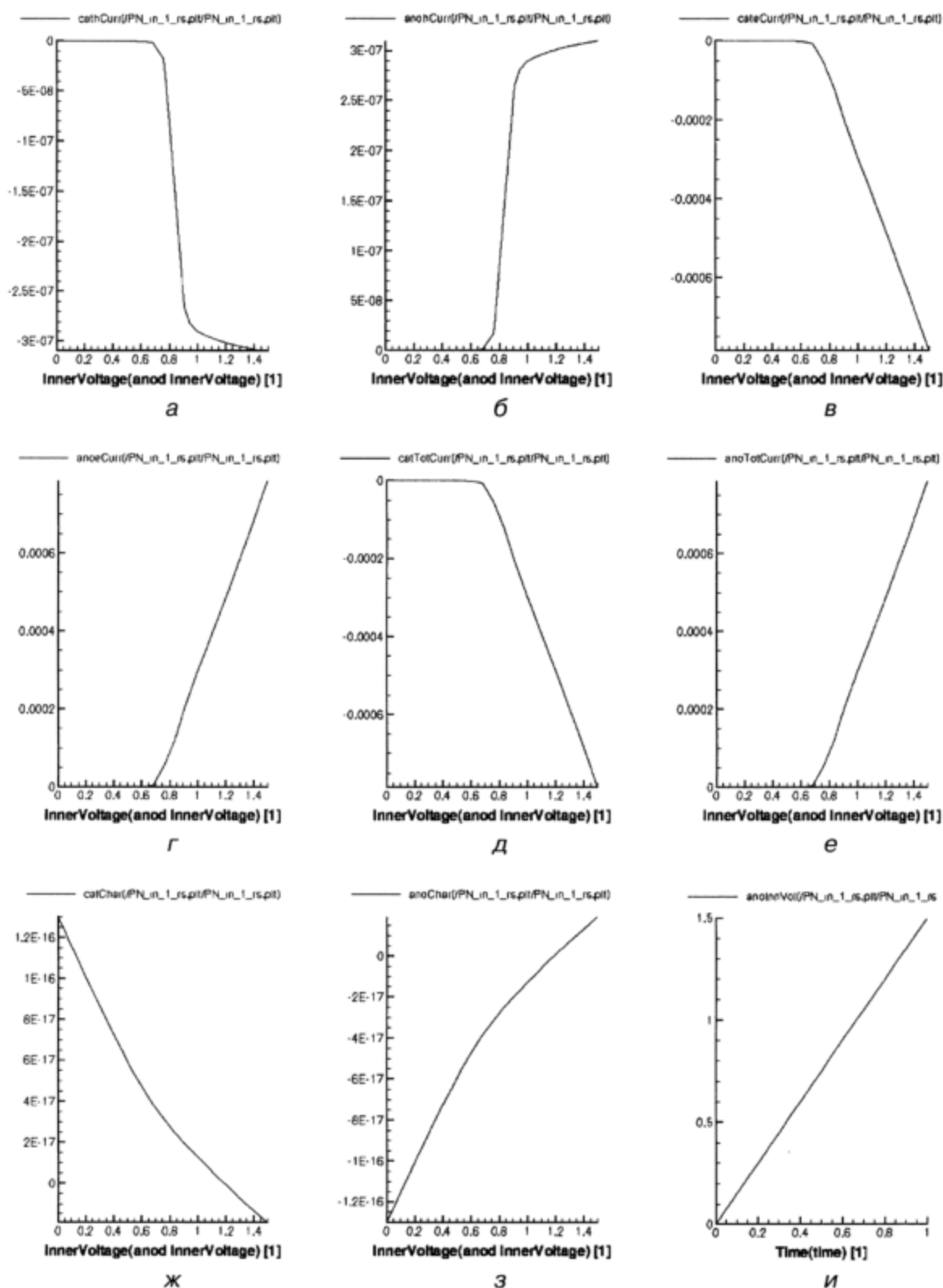


Рис. 4.6. Графики функций для внутреннего $p-n$ -перехода в зависимости от входного (на аноде) напряжения: а) ток дырок в области катода; б) ток дырок в области анода; в) ток электронов в области катода; г) ток электронов в области анода; д) общий ток в области катода; е) общий ток в области анода; ж) заряд в области катода; з) заряд в области анода; и) функция входного напряжения (на аноде) от времени

На рисунке 4.6 можно видеть графики следующих функций для внутреннего p – n -перехода в зависимости от входного (на аноде) напряжения:

- а) ток дырок в области катода;
- б) ток дырок в области анода;
- в) ток электронов в области катода;
- г) ток электронов в области анода;
- д) общий ток в области катода;
- е) общий ток в области анода;
- ж) заряд в области катода;
- з) заряд в области анода;
- и) функция входного напряжения (на аноде) от времени.

4.4.2. 3D моделирование внутреннего $p \rightarrow n$ -перехода с минимальным топологическим размером 20 нм с электрическим воздействием на электроды

На рисунках 4.7–4.9 показаны этапы подготовки данных для 3D моделирования внутреннего p – n -перехода ($p \rightarrow n$).

На рисунке 4.7 определена 3D структура внутреннего p – n -перехода. Она получена в результате применения процедуры Extrude для сечения перехода, изображенного на рисунке 4.1. Сечению добавляется третье измерение и задается длина $L_z = 40$ нм (табл. 4.8). При переходе от 2D к 3D моделированию сохраняются те же, что и в предыдущем разделе, значения концентраций областей и параметры расчетной сетки.

Таблица 4.8

Топологические размеры для моделирования 3D структуры внутреннего p – n -перехода

	p_1	n_2	Ox	Anode	Cathode
Ширина W_x , нм	60	30	20	20	20
Высота H_y , нм	40	20	20	20	20
Длина L_z , нм	40	40	40	40	40

На рисунке 4.8 показаны назначение материалов и расчетная сетка для 3D моделирования внутреннего p – n -перехода. Диапазон изменения размеров расчетной сетки составляет 2,5–10 нм (рис. 4.9).

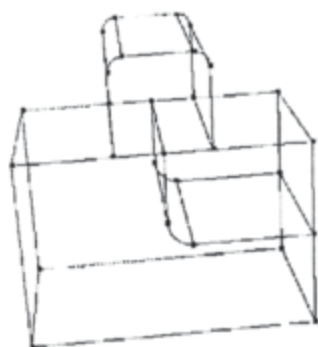


Рис. 4.7. Определение 3D структуры внутреннего p - n -перехода (процедура Extrude)

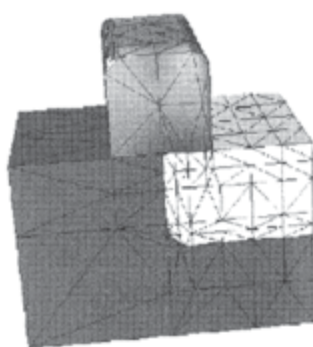


Рис. 4.8. Назначение материалов для 3D структуры внутреннего p - n -перехода и задание сетки

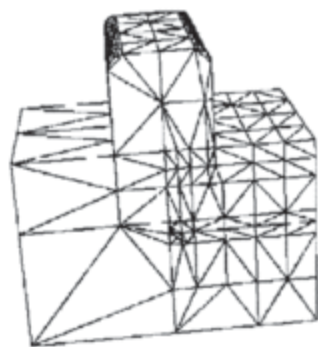


Рис. 4.9. Расчетная сетка для 3D моделирования внутреннего p - n -перехода

На рисунке 4.10 представлены результаты моделирования 3D наноструктуры внутреннего p - n -перехода для следующих функций:

- а) скорость дырок;
- б) квазипотенциал Ферми для дырок;
- в) подвижность дырок;
- г) плотность дырок;
- д) плотность тока дырок;
- е) скорость электронов;
- ж) квазипотенциал Ферми для электронов;
- з) подвижность электронов;
- и) плотность электронов.

На рисунке 4.11 представлено продолжение результатов моделирования 3D наноструктуры внутреннего p - n -перехода для следующих функций:

- а) плотность тока электронов;
- б) пространственный заряд;
- в) квазипотенциал Ферми;
- г) электростатический потенциал;
- д) напряженность электрического поля;
- е) концентрация носителей;
- ж) концентрация доноров;
- з) концентрация акцепторов;

и) на этом рисунке повторена сетка и система узлов, в которых рассчитывались 17 вышеперечисленных функций.

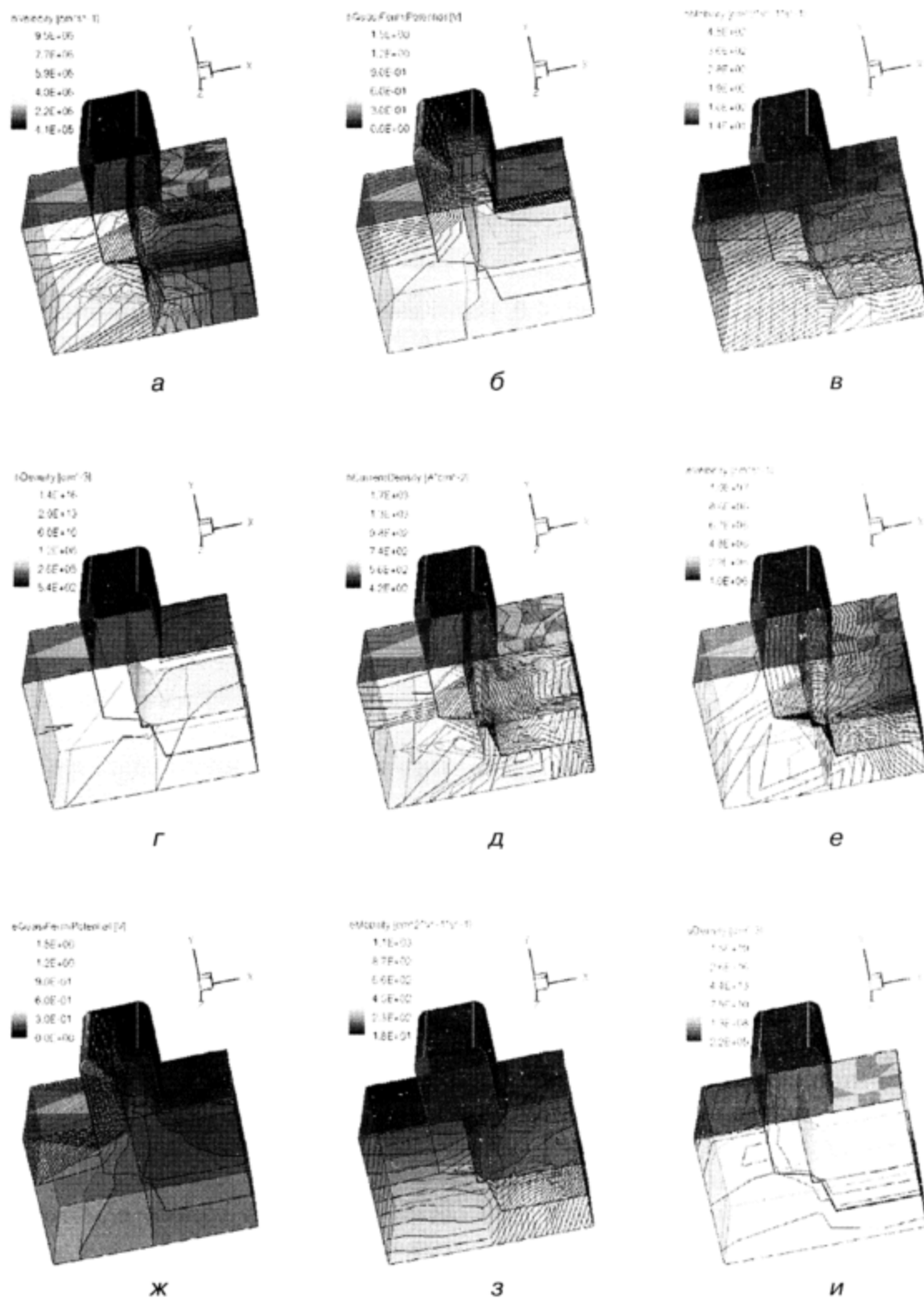


Рис. 4.10. Результаты моделирования 3D структуры внутреннего p - n -перехода для следующих функций: а) скорость дырок; б) квазипотенциал Ферми для дырок; в) подвижность дырок; г) плотность дырок; д) плотность тока дырок; е) скорость электронов; ж) квазипотенциал Ферми для электронов; з) подвижность электронов; и) плотность электронов

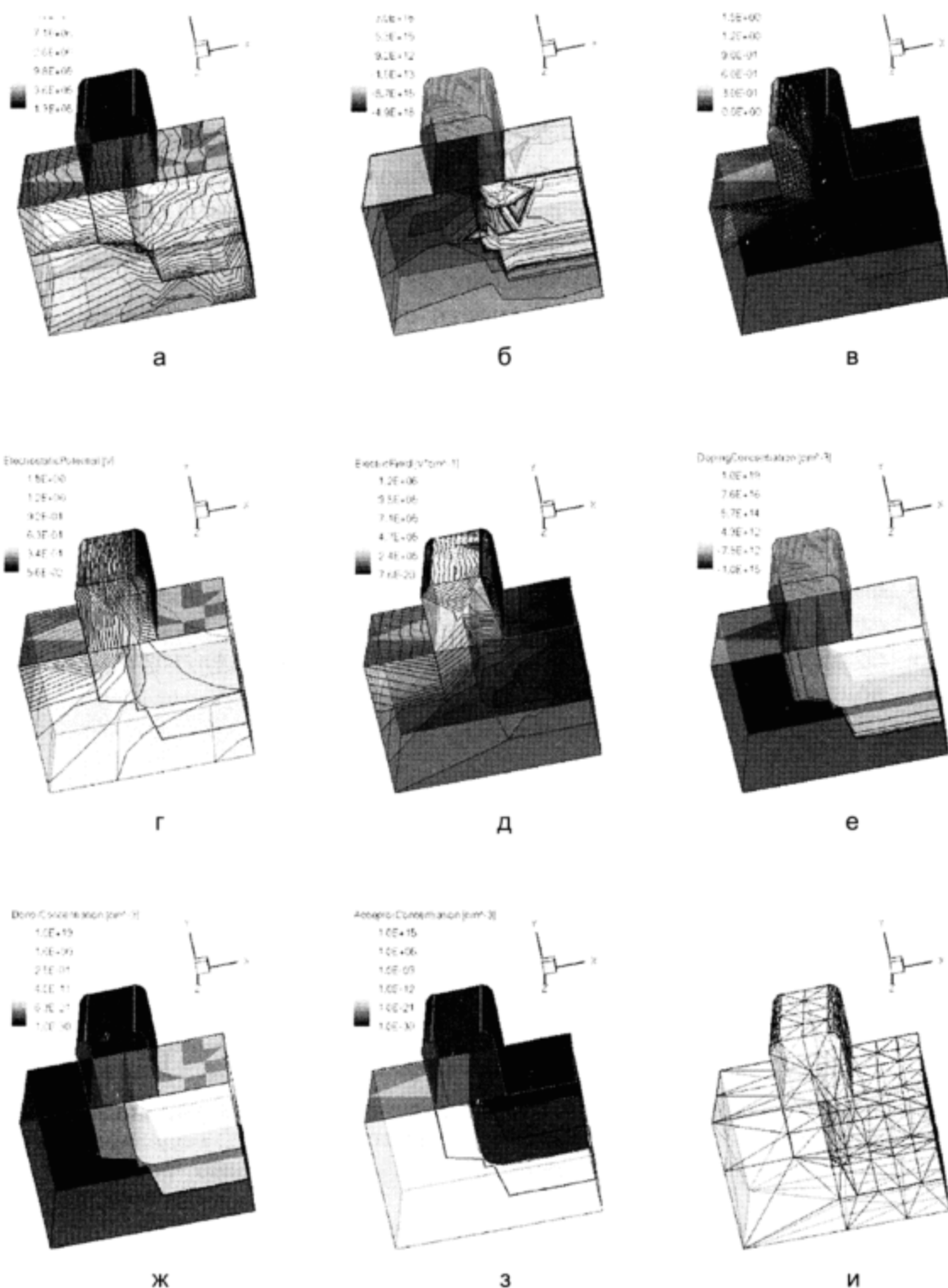


Рис. 4.11. Результаты моделирования (продолжение) 3D структуры внутреннего p - n -перехода для следующих функций: а) плотность тока электронов; б) пространственный заряд; в) квазипотенциал Ферми; г) электростатический потенциал; д) напряженность электрического поля; е) концентрация носителей; ж) концентрация доноров; з) концентрация акцепторов; и) на этом рисунке повторена сетка и система узлов, в которых рассчитывались 17 вышеперечисленных функций

4.4.3. 2D моделирование поверхностного p – n -перехода с минимальным топологическим размером 20 нм с электрическим воздействием на электроды

На рисунках 4.12–4.14 показаны этапы подготовки данных для 2D моделирования поверхностного p – n -перехода ($p \Rightarrow n$).

2D Конструкция (сечение) поверхностного p – n -перехода представлена на рисунке 2.12. Физическому p – n -переходу соответствует линия EF , находящаяся на поверхности основного материала полупроводника. Наличие проводников, через которые осуществляется электрическое воздействие на полупроводниковые области, определяется заданием топологии и свойств контактов. Так, линия $ABCD$, линия соприкосновения проводника с остальной конструкцией, соответствует контакту анода (Anode), линия GI — контакту катода (Cathode).

На рисунке 4.13 определены материалы для поверхностного p – n -перехода:

- область p_1 — область кремния p -типа (область с дырочной проводимостью);
- область n_2 — область кремния n -типа (область с электронной проводимостью);
- Ox — изолирующий оксид SiO_2 .

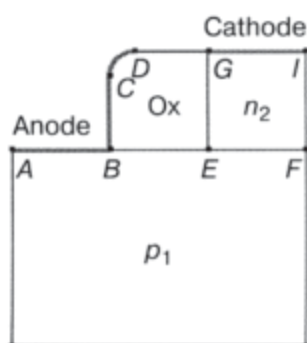


Рис. 4.12. Определение 2D конструкции (сечения) поверхностного p – n -перехода

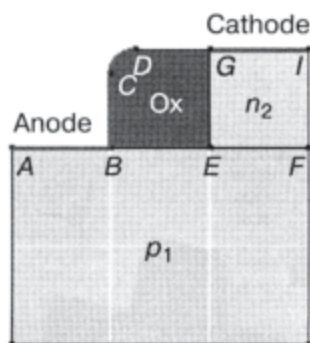


Рис. 4.13. Назначение материалов поверхностного p – n -перехода

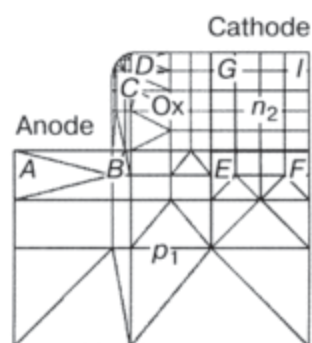


Рис. 4.14. Задание сетки для 2D моделирования по сечению поверхностного p – n -перехода

На этом же этапе задаются концентрации носителей в областях интегральной структуры внутреннего p – n -перехода. Как и у внутреннего перехода, концентрация дырок в p_1 -области равна 10^{15} носителей/ см^3 , а концентрация электронов в n_2 -области — 10^{19} носителей/ см^3 . Исходя из сечения и минимального топологического размера в 20 нм, определяем размеры областей. Их значения представлены в таблице 4.9.

Таблица 4.9

**Топологические размеры для моделирования
поверхностного p – n -перехода**

	p_1	n_2	Ox	Anode	Cathode
Ширина W_x , нм	60	20	20	20	20
Высота H_y , нм	40	20	20	20	–

На рисунке 4.14 показана расчетная сетка для 2D моделирования по сечению поверхностного p – n -перехода. Видно, что более густая сетка в области самого перехода наблюдается в области n_1 , а также в областях мелкомасштабных изменений структуры, в частности в областях стравленного окисла. После задания топологических данных расчет и моделирование осуществляются по схеме, рассмотренной выше. Результаты моделирования представлены на рисунках 4.15–4.17. Видно, что моделируемая наноструктура обладает барьерной функцией [см. вольт-амперную характеристику (рис. 4.17, б)]. Это означает, что данную простейшую наноструктуру можно использовать в дальнейшем при синтезе логических (цифровых) элементов.

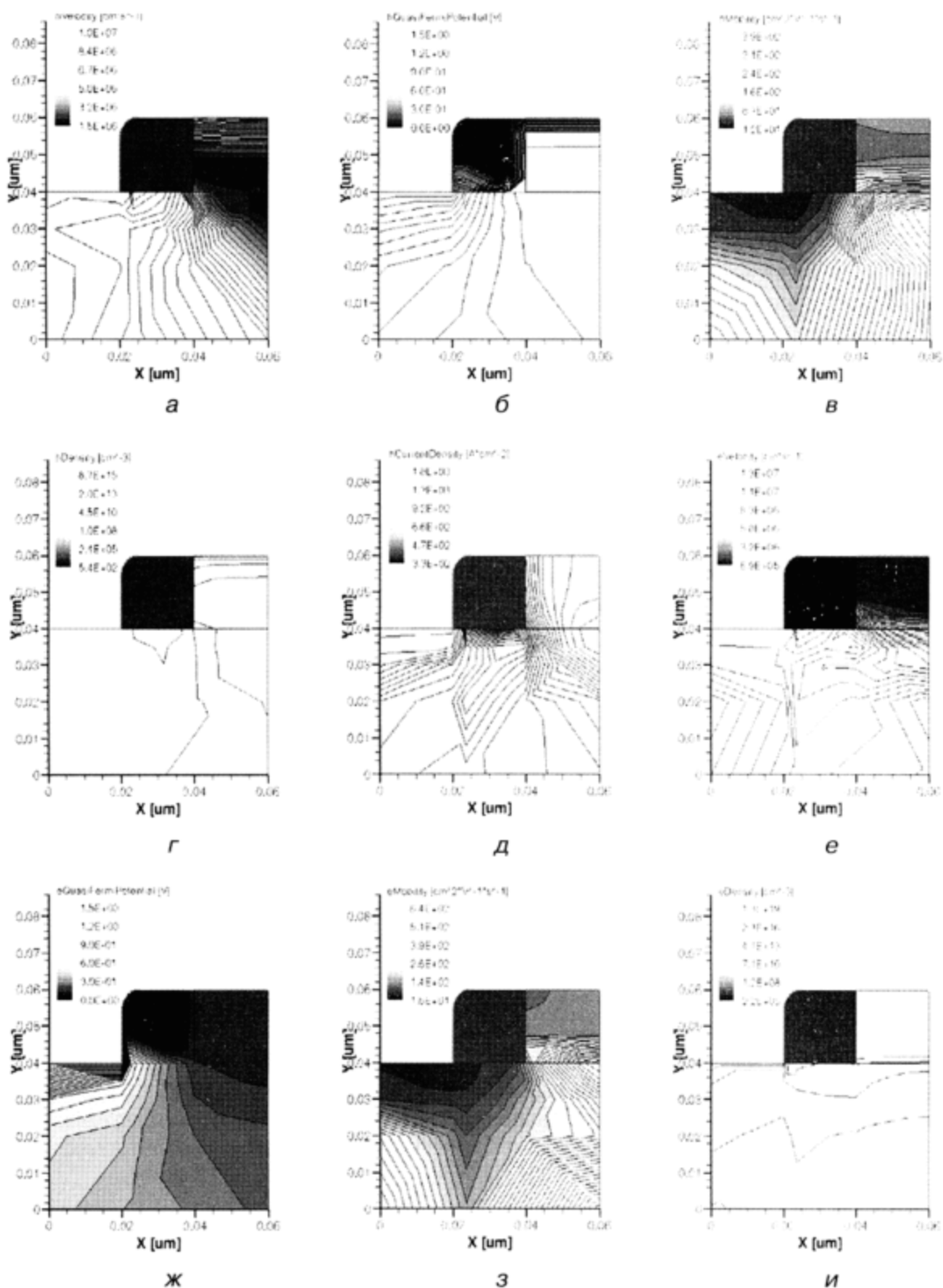


Рис. 4.15. Результаты моделирования в сечении внутреннего p - n -перехода для следующих функций: а) скорость дырок; б) квазипотенциал Ферми для дырок; в) подвижность дырок; г) плотность дырок; д) плотность тока дырок; е) скорость электронов; ж) квазипотенциал Ферми для электронов; з) подвижность электронов; и) плотность электронов

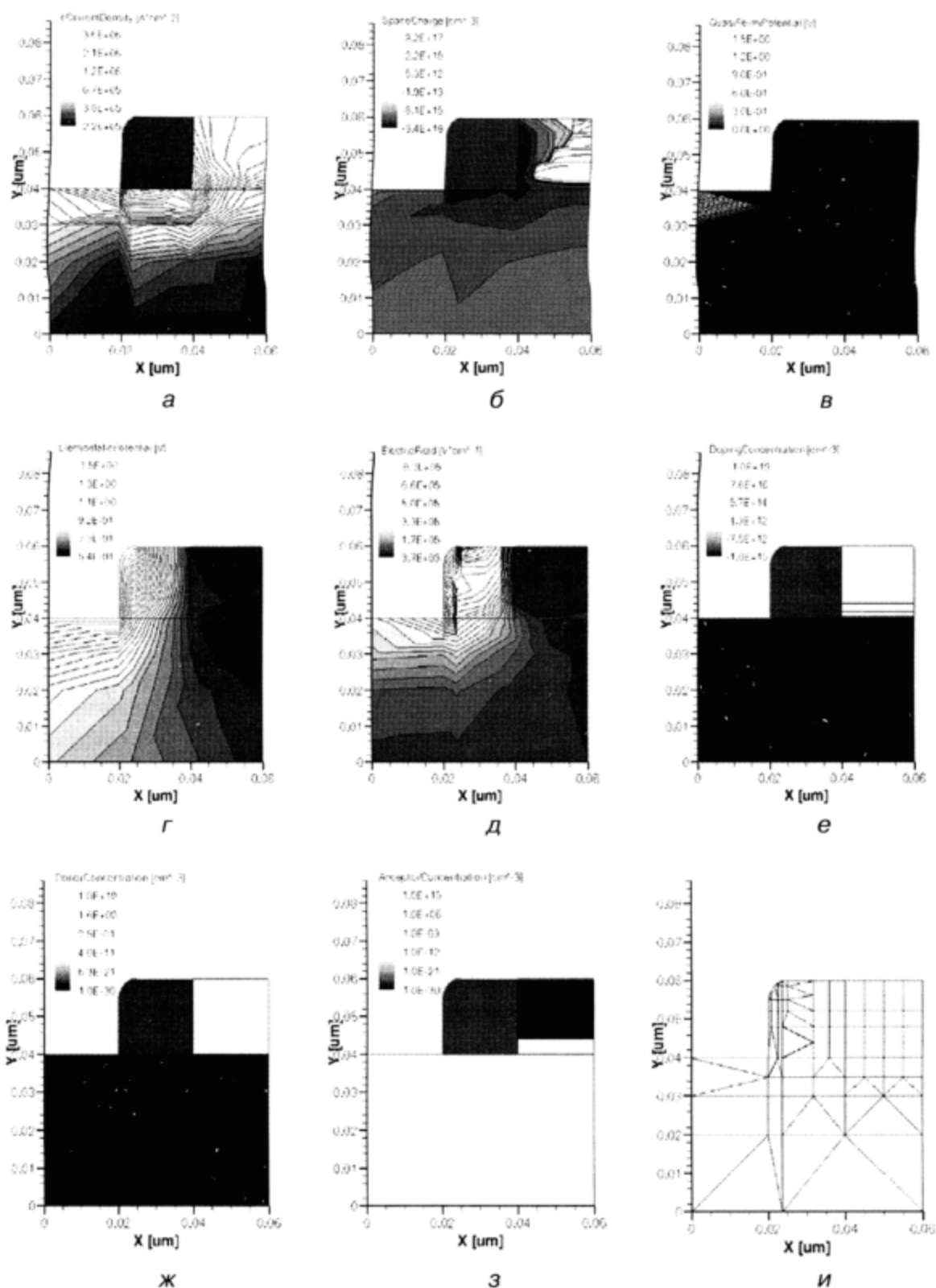


Рис. 4.16. Результаты моделирования (продолжение) в сечении внутреннего p - n -перехода для следующих функций: а) плотность тока электронов; б) пространственный заряд; в) квазипотенциал Ферми; г) электростатический потенциал; д) напряженность электрического поля; е) концентрация носителей; ж) концентрация доноров; з) концентрация акцепторов; и) на этом рисунке повторена сетка и система узлов, в которых рассчитывались 17 вышеперечисленных функций

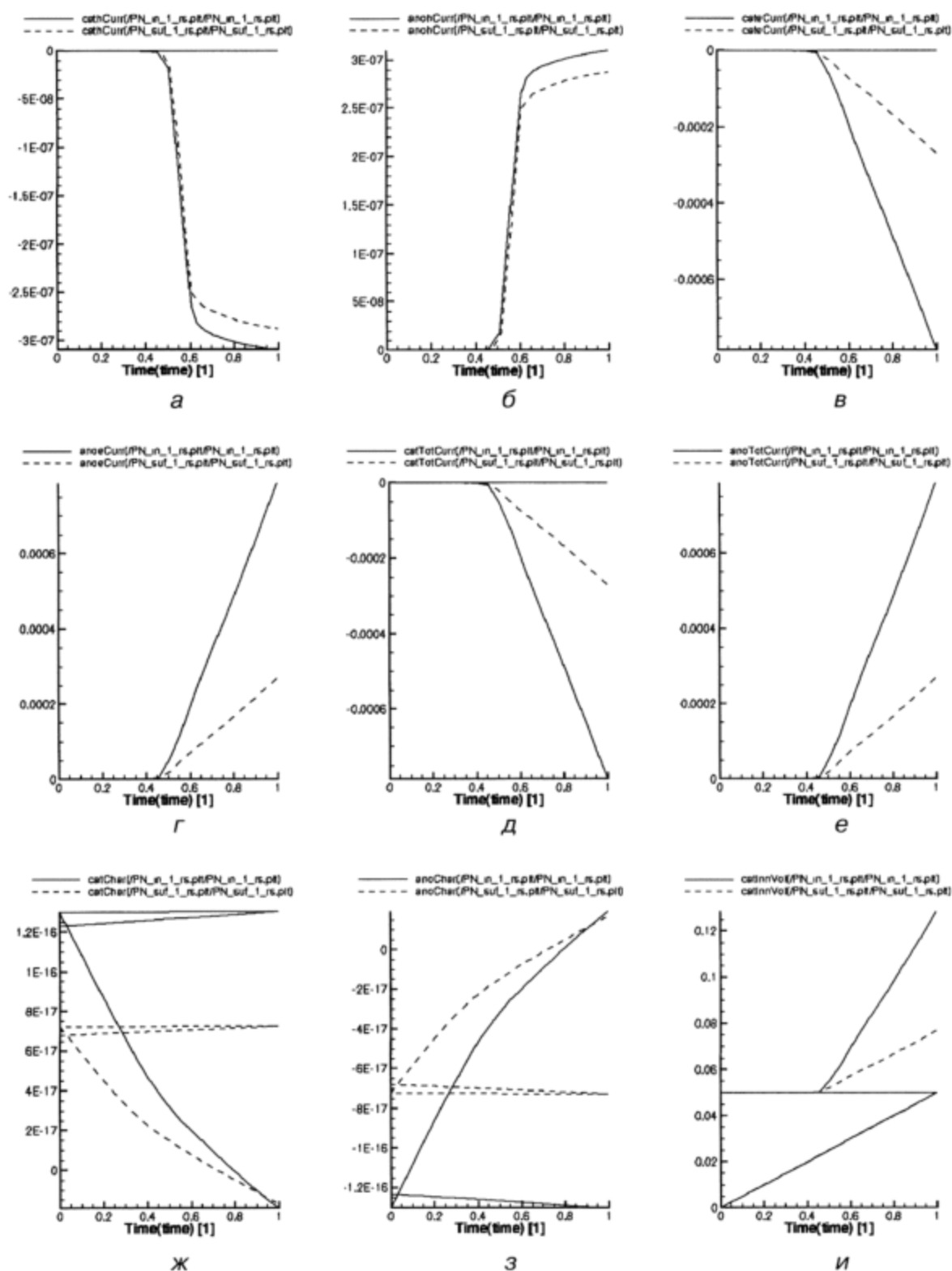


Рис. 4.17. Графики функций для поверхностного p - n -перехода (штриховая линия) в зависимости от входного (на аноде) напряжения: *а*) ток дырок в области катода; *б*) ток дырок в области анода; *в*) ток электронов в области катода; *г*) ток электронов в области анода; *д*) общий ток в области катода; *е*) общий ток в области анода; *ж*) заряд в области катода; *з*) заряд в области анода; *и*) функция входного напряжения (на аноде) от времени [все графики даны в сравнении с аналогичными графиками внутреннего p - n -перехода (сплошная линия)]

4.4.4. 3D моделирование поверхностного p - n -перехода с минимальным топологическим размером 20 нм и электрическим воздействием на электроды ($p \Rightarrow n$)

На рисунках 4.18–4.20 показаны этапы подготовки данных для 3D моделирования наноструктуры поверхностного p - n -перехода ($p \Rightarrow n$).

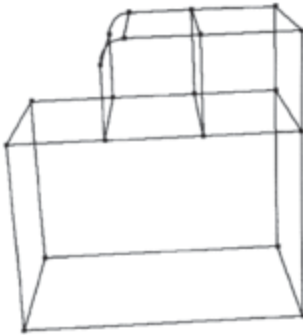


Рис. 4.18. Определение 3D структуры поверхностного p - n -перехода (процедура Extrude)

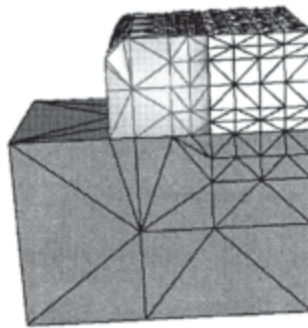


Рис. 4.19. Назначение материалов для 3D структуры поверхностного p - n -перехода и задание сетки

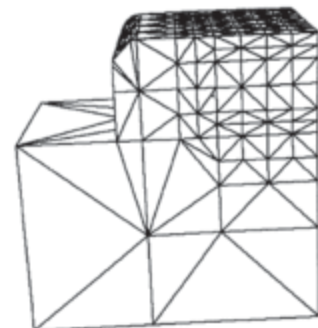


Рис. 4.20. Расчетная сетка для 3D моделирования поверхностного p - n -перехода

На рисунке 4.18 показана 3D наноструктура поверхностного p - n -перехода. Она получена в результате применения процедуры Extrude для сечения перехода, изображенного на рисунке 4.12. Сечению добавлено третье измерение и задана длина $L_z = 40$ нм. Размеры наноструктуры указаны в таблице 4.10.

На рисунке 4.19 показано назначение материалов для 3D наноструктуры поверхностного p - n -перехода, на рисунке 4.20 — расчетная сетка для него. Диапазон изменения расчетной сетки прежний: 2,5–10 нм.

Таблица 4.10

Топологические размеры для моделирования 3D наноструктуры поверхностного p - n -перехода

	p_1	n_2	Ox	Anode	Cathode
Ширина W_x , нм	60	20	20	20	20
Высота H_y , нм	40	20	20	20	–
Длина L_z , нм	40	40	40	40	40

На рисунках 4.21 и 4.22 представлены результаты 3D моделирования наноструктуры поверхностного p - n -перехода.

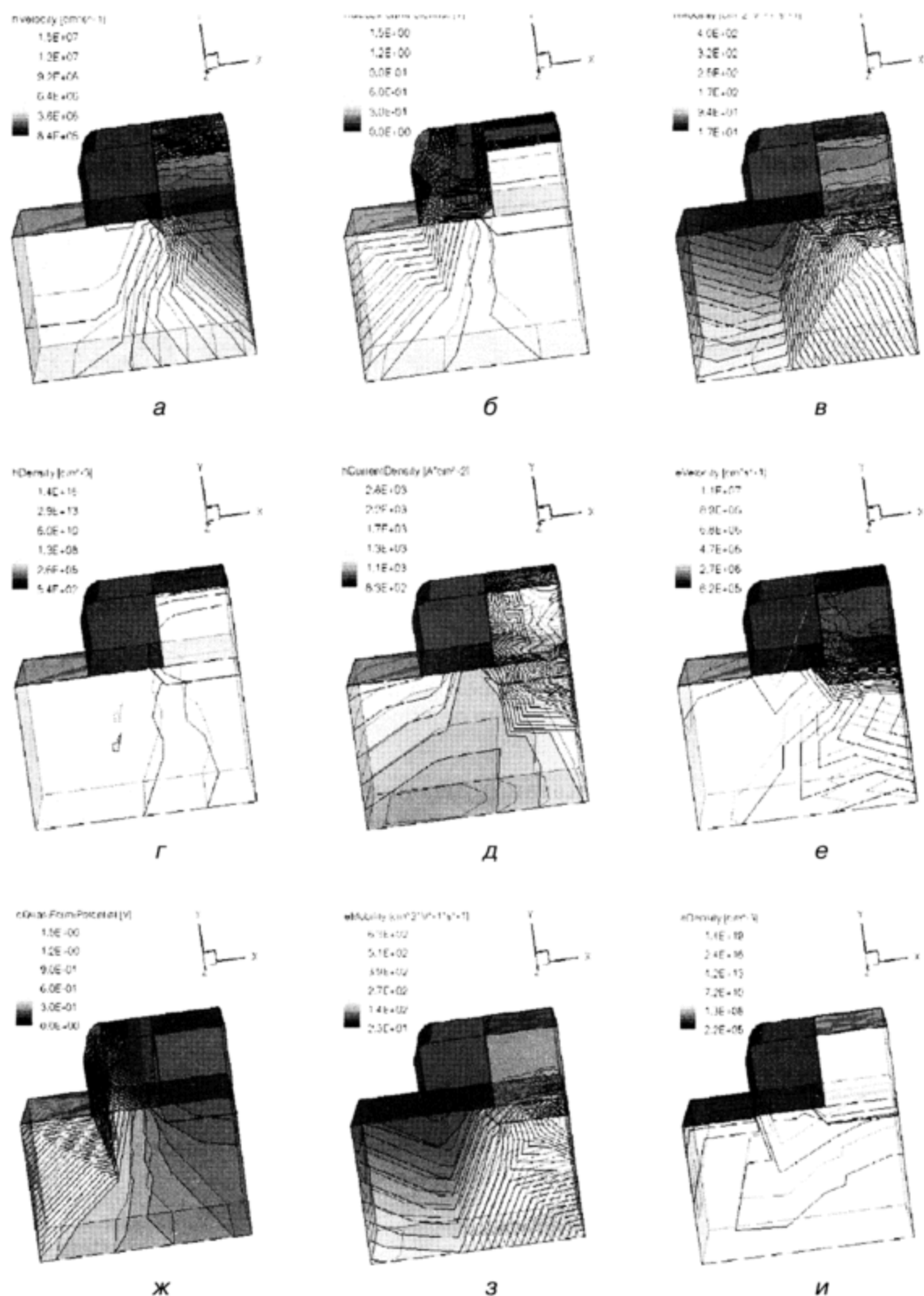


Рис. 4.21. Результаты моделирования 3D структуры поверхностного $p-n$ -перехода для следующих функций: а) скорость дырок; б) квазипотенциал Ферми для дырок; в) подвижность дырок; г) плотность дырок; д) плотность тока дырок; е) скорость электронов; ж) квазипотенциал Ферми для электронов; з) подвижность электронов; и) плотность электронов

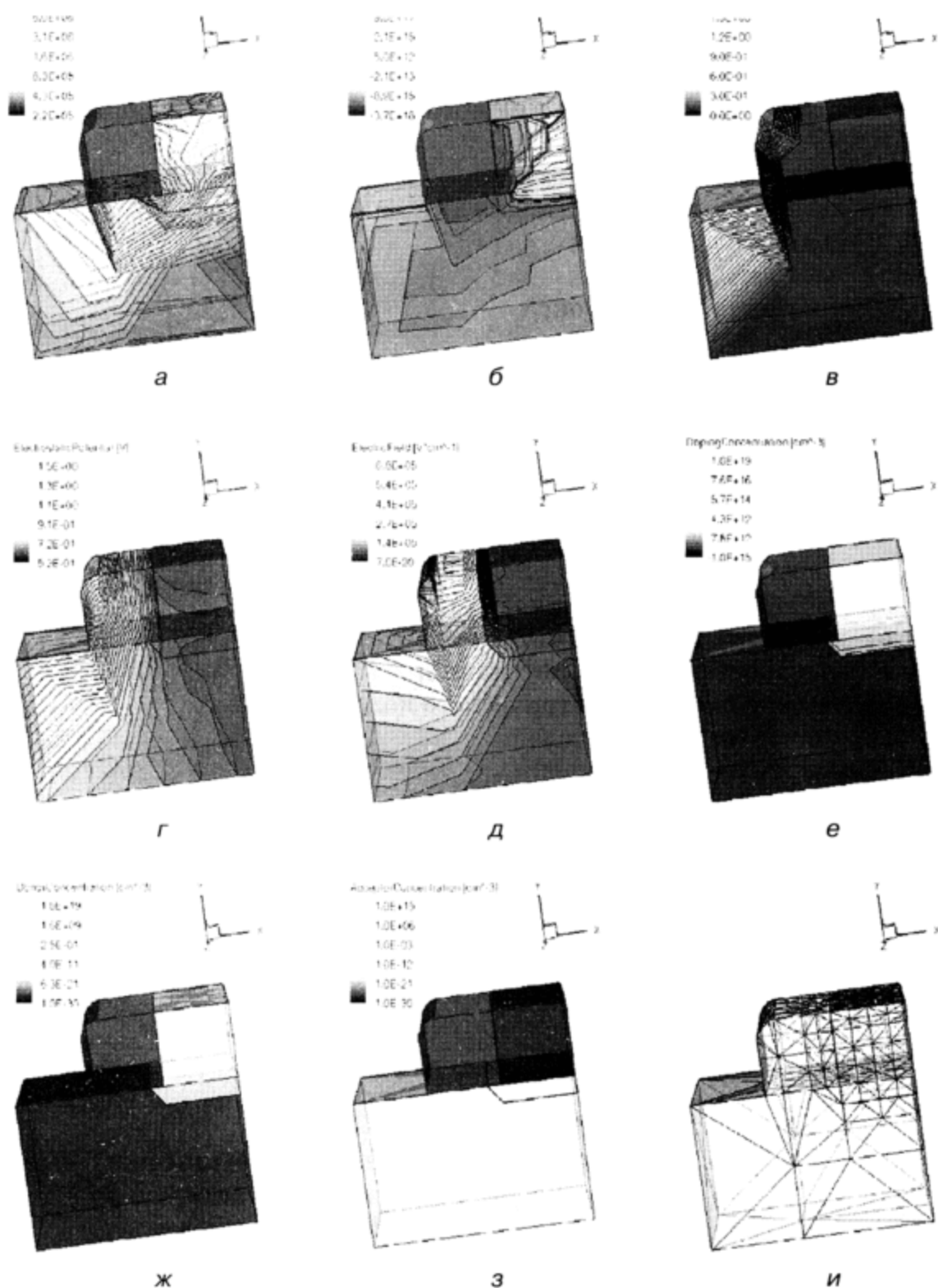


Рис. 4.22. Результаты моделирования (продолжение) 3D структуры поверхностного p - n -перехода для следующих функций: а) плотность тока электронов; б) пространственный заряд; в) квазипотенциал Ферми; г) электростатический потенциал; д) напряженность электрического поля; е) концентрация носителей; ж) концентрация доноров; з) концентрация акцепторов; и) на этом рисунке повторена сетка и система узлов, в которых рассчитывались 17 вышеперечисленных функций

На рисунке 4.21 представлены результаты 3D моделирования наноструктуры поверхностного p – n -перехода для следующих функций:

- а) скорость дырок;
- б) квазипотенциал Ферми для дырок;
- в) подвижность дырок;
- г) плотность дырок;
- д) плотность тока дырок;
- е) скорость электронов;
- ж) квазипотенциал Ферми для электронов;
- з) подвижность электронов;
- и) плотность электронов.

На рисунке 4.22 представлены результаты 3D моделирования наноструктуры поверхностного p – n -перехода для следующих функций:

- а) плотность тока электронов;
- б) пространственный заряд;
- в) квазипотенциал Ферми;
- г) электростатический потенциал;
- д) напряженность электрического поля;
- е) концентрация носителей;
- ж) концентрация доноров;
- з) концентрация акцепторов;

и) на этом рисунке повторена сетка и система узлов, в которых рассчитывались 17 вышеперечисленных функций.

На рисунках видны изолинии — линии с одинаковым значением моделируемой функции.

4.4.5. Анализ токовых характеристик внутреннего и поверхностного p – n -переходов

На рис. 4.23 приведены для сравнения токовые характеристики внутреннего и поверхностного p – n -переходов.

Видно, что

- а) ток дырок в области катода;
- б) ток дырок в области анода;
- в) ток электронов в области катода;
- г) ток электронов в области анода;
- д) общий ток в области катода;
- е) общий ток в области анода

у поверхностного p – n -перехода меньше, чем у внутреннего.

Можно сделать вывод, что при синтезе маломощных наноструктур, выполняющих логические и запоминающие функции, следует отдавать предпочтение структурам с поверхностными переходами.

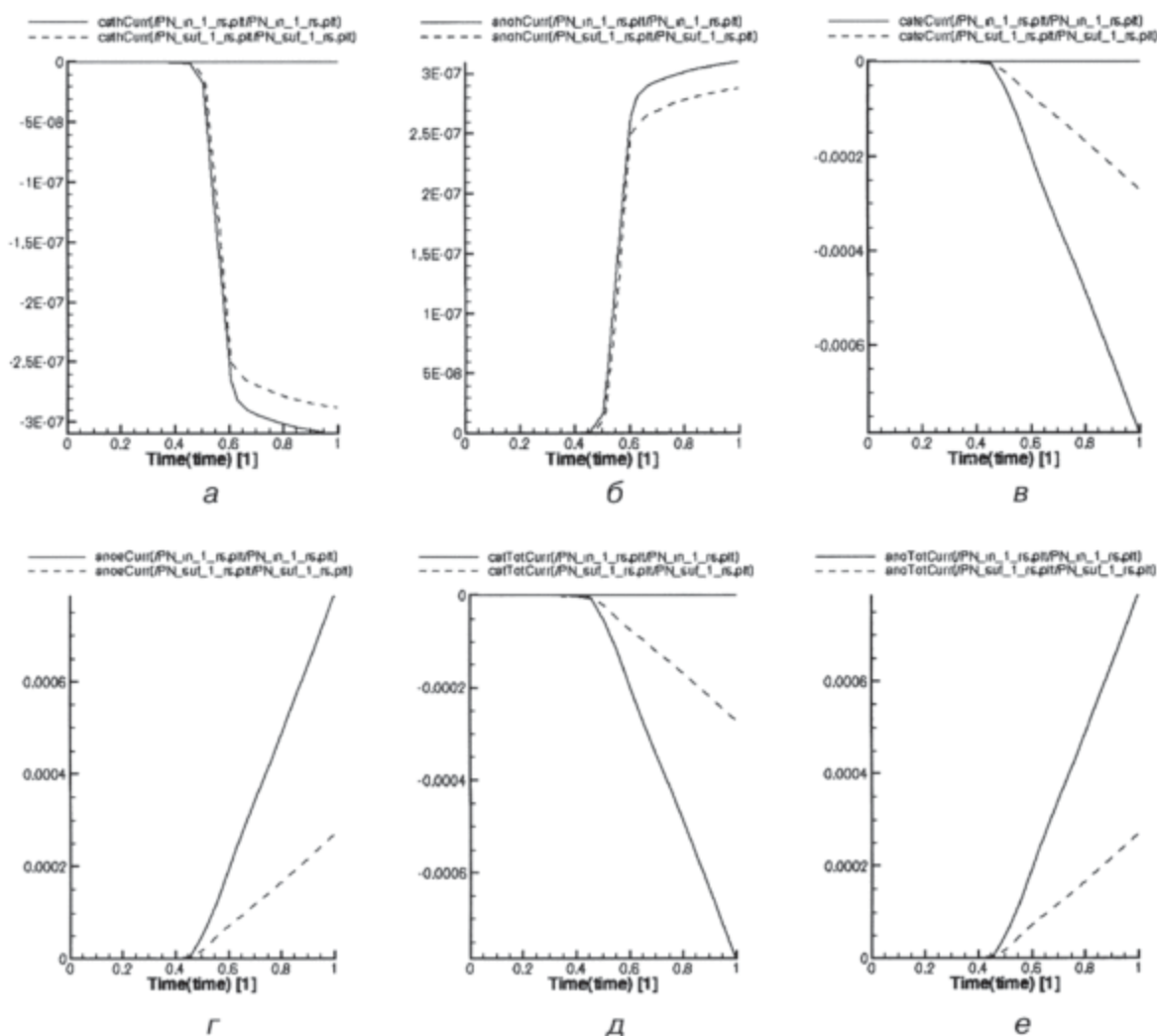


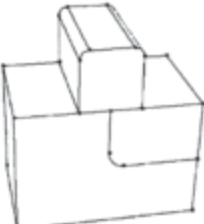
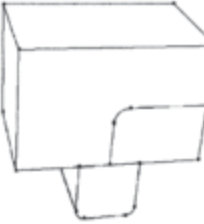
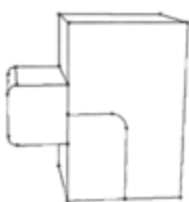
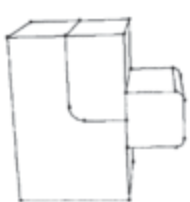
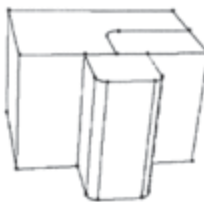
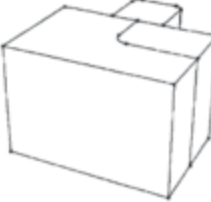
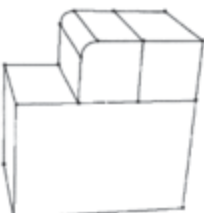
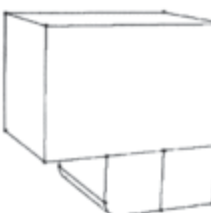
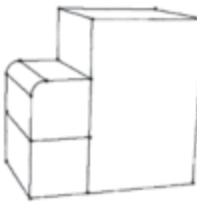

Рис. 4.23. Графики функций для поверхностного p – n -перехода (штриховая линия) в зависимости от входного (на аноде) напряжения: а) ток дырок в области катода; б) ток дырок в области анода; в) ток электронов в области катода; г) ток электронов в области анода; д) общий ток в области катода; е) общий ток в области анода [все графики даны в сравнении с аналогичными графиками внутреннего p – n -перехода (сплошная линия)]

4.4.6. Технологическая доступность различных пространственных реализаций внутреннего и поверхностного p – n -переходов

В таблице 4.11 представлены пространственные реализации внутреннего и поверхностного p – n -переходов, которые необходимо учитывать при синтезе новых переходных 3D логических и запоминающих элементов для 3D СБИС. Видно, что часть вариантов можно реализовать с помощью стандартных технологий, в то время как для некоторых других требуется пусть и усложненная, но все же доступная методика. Ряд элементов в силу технологических ограничений пока трудно реализовать, поэтому существует необходимость разработки новых способов их получения.

Таблица 4.11

**Пространственные реализации внутреннего
и поверхностного $p-n$ -переходов**

$p \rightarrow n$		$p \Rightarrow n$	
	Эпитаксиально-планарная технология. Реализуется.		Локальная эпитаксия. Реализуется.
-YZX			
	Требуется новые технологии выращивания полупроводника на металлах и окислах.		Требуется новые технологии выращивания полупроводника на металлах и окислах.
-XYZ			
	Сложная реализация.		Реализуется.
XZY			
	Сложная реализация.		Требуется новые технологии выращивания полупроводника на оксидах.
-ZXY			
	На диэлектрической подложке Реализуется		На диэлектрической подложке. Реализуется.

Продолжение

$p \rightarrow n$		$p \Rightarrow n$	
ZYX			
	На диэлектрической подложке. Реализуется.		На диэлектрической подложке. Реализуется.

4.4.7. Физические и математические модели для моделирования в Sentaurus Device (TCAD Synopsys 2008)

Физические явления в полупроводниковых субмикронных приборах очень сложны и, в зависимости от приложений, описываются дифференциальными уравнениями в частных производных различного уровня сложности. Коэффициенты и граничные условия уравнений (подвижность, скорость рекомбинации носителей, параметры, зависящие от материалов, интерфейс и граничные условия контакта) зависят от физики объекта, от особенностей самой структуры, от условий воздействия на нее. Для решения практических задач многомерного моделирования процессов, происходящих в разного рода кремниевых и комбинированных структурах, была использована система автоматизированного моделирования физических распределенных структур Sentaurus Device (TCAD Synopsys [87]). Она работает с любыми комбинациями транспортных уравнений и физических моделей, охватывает весь спектр полупроводниковых приборов: от мощных силовых модулей до наноразмерных схем и сложных гетероструктур.

Рассмотрим коротко основные физические модели и уравнения, используемые при моделировании посредством Sentaurus Device.

Транспортные уравнения. В зависимости от моделируемой структуры и уровня требуемой точности можно выбрать четыре различных режима моделирования.

- *Диффузионный режим.* Он представляет собой изотермическое моделирование, описанное базисными полупроводниковыми уравнениями. Подходит для маломощных устройств с длинными активными областями.
- *Термодинамический режим.* В этом режиме учитывается самонагрев. Подходит для устройств с низким теплообменом, особенно для мощных устройств с длинными активными областями.
- *Гидродинамический режим.* Учитывается транспорт энергии носителя. Подходит для устройств с компактными активными областями.

- *Режим Монте-Карло.* Позволяет моделировать устройство в выбранном окне (зоне).

В Sentaurus Device транспортная модель может быть выбрана независимой или применительно к определенным носителям. Транспортом носителей можно пренебречь, принимая постоянным квазиуровень Ферми для невыбранного носителя. То же для уравнения энергетического баланса. Если рассчитывается температура только одного носителя, температура другого считается равной температуре кристаллической решетки.

Уравнение Пуассона и уравнения непрерывности. Используются три основных уравнения для переноса носителей в полупроводниковых приборах — уравнение Пуассона и уравнения непрерывности для дырок и электронов.

Уравнение Пуассона (4.1) имеет вид:

$$\nabla \varepsilon \nabla \varphi = -q(p - n + N_D - N_A) - \rho_{\text{trap}}, \quad (4.1)$$

где ε — электрическая проницаемость;
 q — элементарный заряд электрона;
 n, p — электронная и дырочная плотности;
 N_D — концентрация ионизированных доноров;
 N_A — концентрация ионизированных акцепторов;
 ρ_{trap} — плотность заряда, которой можно пренебречь.

Уравнения непрерывности для электронов (4.2) и дырок (4.3):

$$\nabla \cdot \vec{J}_n = qR_{\text{net}} + q \frac{\partial n}{\partial t}; \quad (4.2)$$

$$-\nabla \cdot \vec{J}_p = qR_{\text{net}} + q \frac{\partial p}{\partial t}; \quad (4.3)$$

где R_{net} — скорость электронно-дырочной рекомбинации в решетке;
 J_n — электронная плотность тока;
 J_p — плотность тока дырок.

Диффузионная модель. Диффузионная модель широко используется для моделирования переноса носителей в полупроводниках и определена базисными полупроводниковыми уравнениями (4.1–4.3), в которых текущие плотности для электронов и дырок определяются по формулам (4.4) и (4.5) соответственно:

$$\vec{J}_n = -nq\mu_n \nabla \Phi; \quad (4.4)$$

$$\vec{J}_p = -pq\mu_p \nabla \Phi; \quad (4.5)$$

где μ_n и μ_p — электронная и дырочная подвижность;

Φ_n и Φ_p — квазипотенциалы Ферми для электронов и дырок соответственно.

Более подробное описание различных физических моделей, используемых при моделировании структур, можно найти в полном описании TCAD Synopsys [87].

4.4.8. Сравнительный анализ наноструктур внутреннего и поверхностного p – n -переходов

Для наноструктур внутреннего и поверхностного p – n -переходов с минимальным топологическим размером 20 нм проведено физическое 2D и 3D моделирование следующих характеристик: скорость дырок, квазипотенциал Ферми для дырок, подвижность дырок, плотность дырок, плотность тока дырок, скорость электронов, квазипотенциал Ферми для электронов, подвижность электронов, плотность электронов, плотность тока электронов, пространственный заряд, квазипотенциал Ферми, электростатический потенциал, напряженность электрического поля, концентрация носителей, концентрация доноров, концентрация акцепторов, ток дырок в области катода, ток дырок в области анода, ток электронов в области катода, ток электронов в области анода, общий ток в области катода, общий ток в области анода, заряд в области катода, заряд в области анода.

В результате моделирования подтверждено наличие барьерной функции у обоих типов p – n -наноперехода. Сделан вывод о том, что *поверхностный p – n -переход при тех же концентрациях в подобных областях работает на меньших токах (рис. 4.23), что делает его более предпочтительным для синтеза наноструктур логических и запоминающих элементов переходной схемотехники*. Показана технологическая реализуемость (технологичность) различных пространственных вариантов внутреннего и поверхностного p – n -переходов.

Результаты данной главы являются основой для дальнейшего синтеза и моделирования наноструктур логических элементов и элементов памяти переходной схемотехники для 3D СБИС с максимальной информационной плотностью.

Глава 5

ЭЛЕМЕНТЫ ПЕРЕХОДНОЙ СХЕМОТЕХНИКИ

Графовые модели интегральных элементов представляют собой деревья, в которые могут быть включены циклы. Стартовая таблица элементов p – n -схемотехники, которые появились в результате открытий и изобретений, давших три последних поколения вычислительных машин, выглядит следующим образом:

полупроводник ($N = 1$)	$p(n)$
диод ($N = 2$)	$p(n) - n(p)$
транзистор ($N = 3$)	$p(n) - n(p) - p(n)$

Продолжить эту таблицу стало возможным только с помощью математического моделирования на ЭВМ. Сначала была получена модель инжекционного инвертора [15]:

$$p_1^E - n_2^\perp - p_3^{F_{\text{вх}}} - n_4^{F_{\text{вых}}} \quad (N = 4).$$

Позднее были созданы другие модели элементов. В результате компьютерного синтеза получены обобщенные математические модели биполярных элементов p – n -схемотехники размерностью от 3 до 8. Это совсем необычные модели транзисторов, элементов НЕ, ИЛИ–НЕ, И–НЕ, усилителей, повторителей, запоминающих ячеек. Все модели размерностью более 3 содержат меньшее количество p – n -переходов и соединений, чем у соответствующих транзисторных аналогов.

5.1. Синтез и моделирование наноструктуры биполярного транзистора размерностью $N = 3$

Как использовать уже разработанные наноструктуры переходов при создании реальных структур большей размерности для СВИС? Рассмотрим решение этой задачи для размерности $N = 3$, то есть для структуры, содержащей три материальные (полупроводниковые, применительно к p – n -схемотехнике) области.

Решение возможно после реализации следующих этапов [89].

- 1) Синтез оптимальной абстрактной математической модели размерностью $N = 3$.

- 2) Генерация моделей структуры по абстрактной математической модели размерностью $N = 3$ (синтез множества структурных формул).
- 3) Пространственная (2D и 3D) реализация структурных формул в конкретные интегральные структуры.
- 4) Компьютерное физическое моделирование полученных интегральных структур.

Рассмотрим реализацию всех этапов на примере математической модели биполярного транзистора $n-p-n$ -типа.

5.1.1. Уравнение синтеза абстрактной модели биполярного транзистора в переходной схемотехнике (этап 1)

При объединении математических (графовых) моделей двух $p-n$ -переходов, и применении *принципа функциональной интеграции*, при различных условиях получаются две модели биполярного транзистора, одна из которых представлена на рис. 5.1.



Рис. 5.1. Графовая модель $p-n$ -перехода

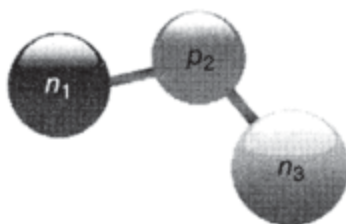


Рис. 5.2. Графовая модель биполярного транзистора $n-p-n$ -типа

$$\begin{matrix} p^{F_1} \\ | \\ p^{F_2} \end{matrix} \cup \begin{matrix} n^{F_3} \\ | \\ p^{F_4} \end{matrix} = \begin{cases} n-p-n & (F_2 = F_3) \\ p-n-p & (F_1 = F_4) \end{cases} \quad (5.1)$$

Принцип *функциональной интеграции* в схемотехнике заключается в том, что, если области одного типа различных элементов (моделей) имеют одинаковое управление или назначение, то они могут быть объединены в одну область с тем же управлением или назначением. К управлению относится любое воздействие на область (подача напряжения, тока, света и т. д.). Назначением является задание участка свойств входной или выходной областей. Входная область — это область, на которую подается входной сигнал, выходной областью является та, с которой снимается выходной сигнал (реакция элемента на входной сигнал).

По реакции определяются тип и характеристики элемента. В уравнении (5.1) при условии равенства функций F_2 и F_3 результатом синтеза является абстрактная модель транзистора $n-p-n$ -типа, если же равны функции F_1 и F_4 , получается абстрактная модель транзистора $p-n-p$ -типа.

5.1.2. Генерация наноструктур биполярного транзистора ($N = 3$) как схем переходной наносхемотехники (этапы 2 и 3)

Для того чтобы можно было отличить эмиттерную область от коллекторной при реализации пространственных структур биполярного транзистора, введем обозначение областей: n_1 — коллектор, p_2 — база, n_3 — эмиттер. Общая математическая модель биполярного транзистора (например, n_1 – p_2 – n_3 -типа) не отражает ее представления в пространстве, поэтому необходим этап, на котором абстрактная модель структуры превращается в один из вариантов пространственной реализации с тем, чтобы в последующем разработать технологию ее создания, а также иметь возможность физического моделирования для определения работоспособности рассматриваемой наноструктуры.

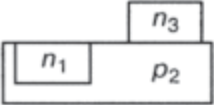
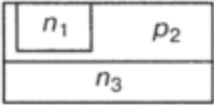
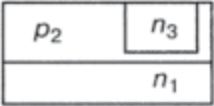
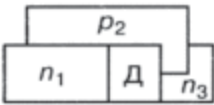
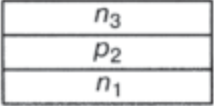
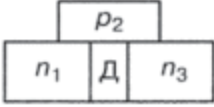
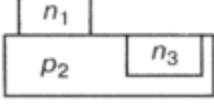
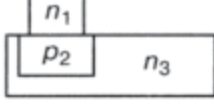
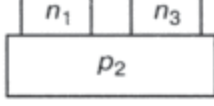
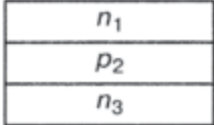
В соответствии с алгоритмом, описанным в [84, 85], в таблице 5.1 представлено 16 вариантов синтеза 2D структуры биполярного транзистора n – p – n -типа.

Таблица 5.1

Генерация структурных формул и структур для модели транзистора n – p – n -типа ($N = 3$). Общий алгоритм

№	$a_1 a_2$	Структурная формула	Интегральная структура
1	1 1	$a_1 \quad a_2$ $n_1 \rightarrow p_2 \rightarrow n_3$	
2	1 2	$n_1 \rightarrow p_2 \leftarrow n_3$	
3	1 3	$n_1 \rightarrow p_2 \Rightarrow n_3$	
4	1 4	$n_1 \rightarrow p_2 \Leftarrow n_3$	
5	2 1	$n_1 \rightarrow p_2 \rightarrow n_3$	
6	2 2	$n_1 \leftarrow p_2 \leftarrow n_3$	

Продолжение

№	a_1a_2	Структурная формула	Интегральная структура
7	2 3	$n_1 \leftarrow p_2 \Rightarrow n_3$	
8	2 4	$n_1 \leftarrow p_2 \Leftarrow n_3$	
9	3 1	$n_1 \Rightarrow p_2 \rightarrow n_3$	
10	3 2	$n_1 \Rightarrow p_2 \Leftarrow n_3$	
11	3 3	$n_1 \Rightarrow p_2 \Rightarrow n_3$	
12	3 4	$n_1 \Rightarrow p_2 \Leftarrow n_3$	
13	4 1	$n_1 \Leftarrow p_2 \rightarrow n_3$	
14	4 2	$n_1 \Leftarrow p_2 \Leftarrow n_3$	
15	4 3	$n_1 \Leftarrow p_2 \Rightarrow n_3$	
16	4 4	$n_1 \Leftarrow p_2 \Leftarrow n_3$	

В формулах, описывающих структуры схем, используются два типа элементов, соединяющих переменные (области): одинарная и двойная стрелки.

- Одинарная стрелка (\rightarrow), согласно определению теории переходной схемотехники, соответствует внутреннему переходу, когда

одна область (материал) расположена внутри другой. Так, запись $n_1 \rightarrow p_2$ будет прочитана как « n_1 содержит p_2 » (или « p_2 находится внутри n_1 »).

- Двойная стрелка (\Rightarrow) соответствует поверхностному переходу, то есть материальные области в этом случае лишь соприкасаются. Так что запись $n_1 \Rightarrow p_2$ читается как «над областью n_1 расположена область p_2 ».

Если закодировать стрелки цифрами следующим образом:

$$\rightarrow (1), \leftarrow (2), \Rightarrow (3), \Leftarrow (4),$$

то структурные формулы общей модели $n_1-p_2-n_3$ будут соответствовать двухразрядным числам в системе счисления с основанием 4 (a_1a_2 в табл. 5.1). Несложные вычисления дают 16 структурных формул и соответствующих им 2D модели структур биполярного транзистора.

Если в качестве критерия выбора модели структуры биполярного транзистора выбрать информационную плотность, то предпочтение отдается *вертикальным структурам биполярного транзистора* (модели 11 и 16). Шестнадцатая модель соответствует инверсному транзистору с более низким коэффициентом усиления, чем у нормального транзистора (11-я модель). Это принципиально важно для обеспечения нагрузочной способности транзистора. Поэтому для последующего синтеза и моделирования остановимся на 11-й модели.

5.1.3. Моделирование ступенчатого биполярного транзистора с моделью структуры $n_1 \Rightarrow p_2 \Rightarrow n_3$ (этап 4)

После выбора структуры биполярного транзистора необходимо создать работоспособную наноструктуру с конкретными геометрическими и физическими параметрами для последующего физического моделирования на компьютере. Моделирование будем проводить исходя из минимального топологического размера в 20 нм (ширина эмиттера и расстояние между линиями маски) и толщины базы в 3 нм.

Наиболее предпочтительным для решения этой задачи является система TCAD Synopsys, Sentaurus Device [87]. Эта система практически представляет собой виртуальное производство, позволяющее без изготовления структуры проектируемого элемента осуществлять компьютерное моделирование как физических процессов в наноструктуре, так и различных функций. Физические явления в полупроводниковых микро- и наноразмерных приборах очень сложны и в зависимости от приложений описываются дифференциальными уравнениями в частных производных различного уровня сложности.

В разделе 4.4.7 мы привели описание различных режимов моделирования и отметили, что их выбор зависит от моделируемой структуры и требуемой точности [91–95].

Дополнительные физические модели. Для моделирования некремниевых структур, заданные по умолчанию физические модели Sentaurus Device дополняются моделями из таблицы 5.2 [96–112]. В ней приведен список дополнительных моделей с именами из файла параметров Sentaurus Device и с указанием материалов, для которых эти модели применяются.

Таблица 5.2

Дополнительные модели Sentaurus Device

Модель	Изолятор	Полу-проводник	Проводник
Модель рекомбинации Оже-электронов (ТАА) — добавление к SRH-рекомбинации* Auger [96]		x	
Модель, учитывающая коэффициент поглощения (коэффициента абсорбции) для косвенного материала, Bandgap [97,98]		x	
Модель анизотропных вычислений подвижности носителей заряда ConstantMobility, e/h [99]		x	
Модель зависимости времени жизни от примесей DopingDependence, e/h [100–103]		x	
Модель определения эффективной электронной массы DOSmass, e/h [104]		x	
Модель диэлектрической проницаемости для $Al_xGa_{(1-x)}As$ Epsilon [98]	x	x	
Анизотропные модели теплопроводности Карра [105–107]	x	x	x
Модель скорости излучательной рекомбинации RadiativeRecombination [108–110]		x	
Модель показателя преломления RefractiveIndex [102]	x	x	
Модель зависимости времени жизни от примесей Scharfetter [111]		x	
Модель смещения параметров степени вырождения SchroedingerParameters [112]	x	x	

* От англ. Shockley–Read–Hall recombination — SRH-рекомбинация.

Модели Bandgap, DOSmass и Epsilon применяются всегда. Другие модели применяются в том случае, когда дается на них ссылка в блоке Physics исходного файла для расчета. Модель теплопроводности Карра используется, только если учитывается уравнение температуры кристаллической решетки. Модель дрейфовой диффузии или модель гидродинамического моделирования активизирует модели подвижности ConstantMobility и DopingDependence.

Подготовка исходных данных для 2D моделирования ступенчатого биполярного транзистора. На рисунке 5.3 показаны этапы подготовки данных для 2D моделирования ступенчатого биполярного транзистора ($n_1 \Rightarrow p_2 \Rightarrow n_3$) с минимальным топологическим размером 20 нм и толщиной базы 3 нм в TCAD Synopsys [113]. На рисунке 5.3, а определена 2D структура (сечение) ступенчатого биполярного транзистора. Переходом коллектор–база является поверхностный переход $n_1 \Rightarrow p_2$, а переходом база–эмиттер — поверхностный переход $p_2 \Rightarrow n_3$. Для передачи воздействия на структуру транзистора необходимы контакты. На рисунке 5.3, а линия 1–2–3–4 соответствует профилю коллекторного контакта (Collector), линия 5–6–7–8–9–10 — профилю базового контакта (Base), линия 11–12 — линия соприкосновения с эмиттерным контактом (Emitter). Для изоляции контактов использованы оксиды SiO_2 (Ox).

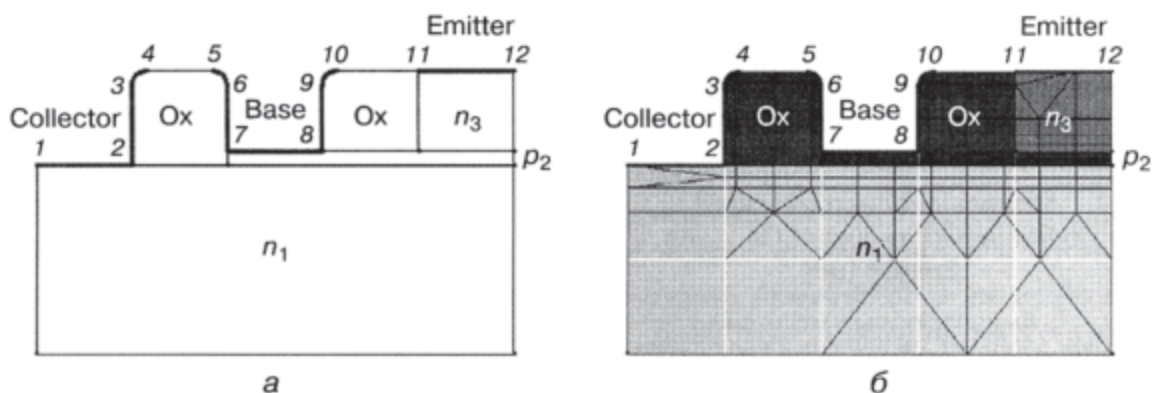


Рис. 5.3. Исходные данные для 2D моделирования биполярного транзистора: а) задание 2D структуры ступенчатого биполярного транзистора: сечение, размеры, материалы, контакты; б) назначение параметров материалов (концентрации и тип носителей) и задание расчетной сетки для 2D моделирования сечения ступенчатого биполярного транзистора

На рисунке 5.3, б показаны: назначение параметров материалов (концентрации и тип носителей) и расчетная сетка для 2D моделирования сечения ступенчатого биполярного транзистора. Расчетная сетка (черная) определяется автоматически, исходя из задаваемого разработчиком диапазона минимального и максимального значений ячейки сет-

ки и профилей сечения. На рисунке 5.3, б видны белые линии в области n_1 — это топологическая сетка с размером ячейки $X_g = 20$ нм и $Y_g = 20$ нм.

Размер ячейки определен исходя из минимального топологического размера в 20 нм. На основе этого ограничения определены размеры топологических частей структуры (табл. 5.3).

Таблица 5.3

Топологические размеры для 2D моделирования ступенчатого биполярного транзистора

	n_1	p_2	n_3	Ox	Collector	Base	Emitter
Ширина W_x , нм	100	60	20	20	20	20	20
Высота H_y , нм	40	3	17	17–20	20	17	–

После определения материалов, размеров и концентрации носителей в областях интегральной структуры разработчик задает расчетную сетку для моделирования характеристик ступенчатого биполярного транзистора (рис. 5.3, б). В данном эксперименте максимальный размер расчетной сетки был выбран 10 нм, минимальный — 2,5 нм.

Из рисунка 5.3, б видно, что более густая сетка образуется в областях переходов, а также в областях мелкомасштабных изменений структуры, в том числе в областях стравленного оксида. Использование диапазона размеров расчетной сетки в случае необходимости позволяет минимизировать время моделирования структуры. В случае необходимости минимальный и максимальный размеры расчетной сетки можно менять.

Задавшись топологическими данными, необходимо определить физические модели для расчета и описать их в файле, в расчетном блоке Sdevice. Можно начинать моделирование исходя из стандартных значений концентрации носителей в соответствующих областях транзистора. Но так как нас интересует создание структуры, работающей с аналогичными структурами в системе СБИС, лучше определить концентрации носителей заряда, обеспечивающие работоспособность рассматриваемой структуры, используя смешанный режим моделирования.

Смешанный режим моделирования ступенчатого биполярного транзистора. Смешанный режим моделирования — это моделирование физической структуры в составе электронной схемы. Такой режим применяется, когда требуется определить работоспособность наноструктуры в составе макросхемы (СБИС). Например, включение структуры транзистора по схеме с общим эмиттером (рис. 5.4, а) позволит определить, будет ли транзистор переключаться, то есть иметь два фиксиро-

ванных логических состояния, что принципиально важно для цифровых двоичных схем.

Кроме того, наличие ступенчатой передаточной характеристики $u_{\text{out}} = f(u_{\text{in}})$ и ее вид (рис. 5.4, б) позволят качественно оценить разработанную структуру с ее физическими параметрами, и в случае необходимости определить путь дальнейшей оптимизации.

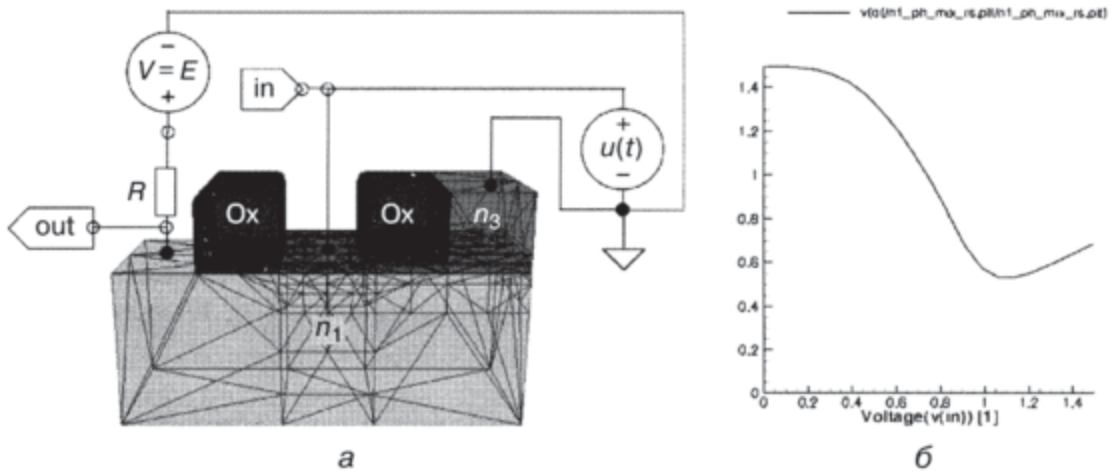


Рис. 5.4. Смешанный режим 3D моделирования наноразмерного биполярного транзистора: а) наноструктура моделируется в составе электрической схемы; б) передаточная характеристика ступенчатой наноструктуры биполярного транзистора, полученная в результате смешанного моделирования

Результаты 2D моделирования ступенчатого биполярного транзистора. Результаты моделирования можно разделить на две части: определение значений функций в сечении наноразмерного ступенчатого биполярного транзистора (рис. 5.5) и графиков функций (рис. 5.6).

На рисунке 5.5 представлены результаты моделирования в сечении ступенчатого биполярного транзистора для следующих функций.

а) Shockley–Read–Hall (SRH) рекомбинация. Рекомбинация носителей заряда через глубокие дефектные уровни обычно идентифицируется как SRH-рекомбинация. В Sentaurus Device для расчета применяется формула:

$$R_{\text{net}}^{\text{SRH}} = \frac{np - n_{i,\text{eff}}^2}{\tau_p(n + n_1) + \tau_n(p + p_1)}; \quad (5.2)$$

$$n_1 = n_{i,\text{eff}} \exp\left(\frac{E_{\text{trap}}}{kT}\right); \quad (5.3)$$

$$p_1 = n_{i,\text{eff}} \exp\left(\frac{-E_{\text{trap}}}{kT}\right), \quad (5.4)$$

где E_{trap} — различие между дефектным и встроенным уровнями. Переменная E_{trap} доступна в файле параметров. Для кремния по умолчанию $E_{\text{trap}} = 0$.

Время жизни носителей заряда τ_n и τ_p моделируется в программе в зависимости от примесей и температуры:

$$\tau_c = \tau_{\text{dop}} \frac{f(T)}{1 + g_c(F)}, \quad c = n, p. \quad (5.5)$$

Зависимость времени рекомбинации от времени жизни примесей определяется соотношением [204]:

$$\tau_{\text{dop}}(N) = \tau_{\text{min}} + \frac{\tau_{\text{max}} - \tau_{\text{min}}}{1 + \left(\frac{N_i}{N_{\text{ref}}} \right)^\gamma}. \quad (5.6)$$

Соотношение (5.6) было получено экспериментальным путем [114], и в случае необходимости его учета в расчетном файле физического блока в разделе Recombination для SRH-рекомбинации вводится дополнительный параметр DopingDependence:

```
Physics{ Recombination( SRH( DopingDependence ... ) ... )
... }.
```

На рисунке 5.5 представлены также другие результаты моделирования в 2D сечении наноструктуры ступенчатого биполярного транзистора следующих характеристик:

- б) подвижность дырок;
- в) нормаль электрического поля к потоку дырок;
- г) плотность дырок;
- д) скорость электронов;
- е) квазипотенциал Ферми для электронов;
- ж) плотность электронов;
- з) энергия валентной зоны;
- и) пространственный заряд;
- к) абсолютное значение плотности тока электронов;
- л) абсолютное значение плотности общего тока;
- м) абсолютное значение экстраполяции электростатического потенциала.

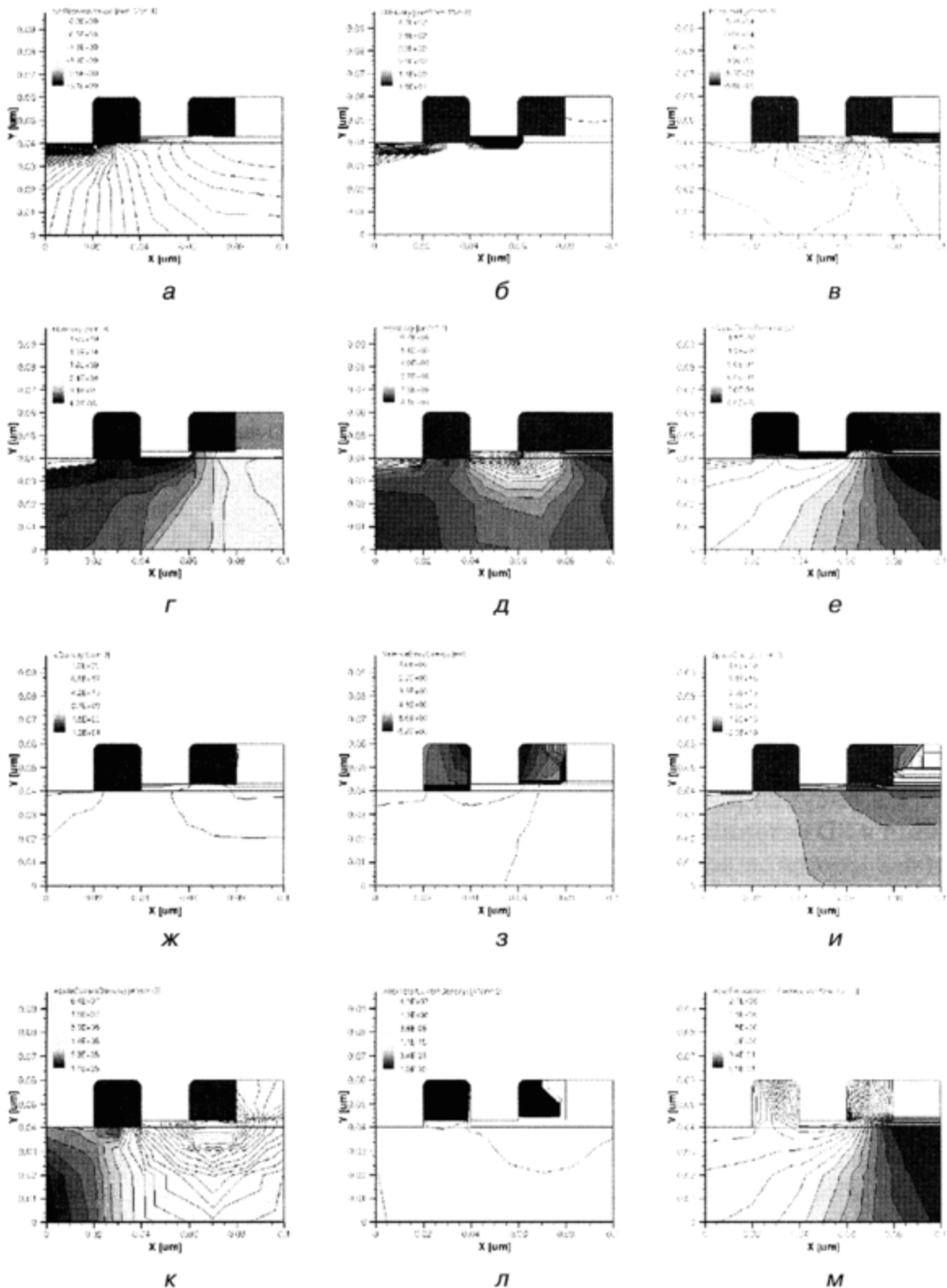


Рис. 5.5. Результаты моделирования сечения ступенчатой структуры биполярного транзистора для следующих функций: а) SRH-рекомбинация; б) подвижность дырок; в) нормаль электрического поля к потоку дырок; г) плотность дырок; д) скорость электронов; е) квазипотенциал Ферми для электронов; ж) плотность электронов; з) энергия валентной зоны; и) пространственный заряд; к) абсолютное значение плотности тока электронов; л) абсолютное значение плотности общего тока; м) абсолютное значение экстраполяции электростатического потенциала

На рисунке 5.6 представлены графики зависимости функций от входного напряжения (линейно меняющегося от времени напряжения на базе). На каждом рисунке по 6 графиков. В списке первые три функции рассчитаны для структуры ступенчатого транзистора с добавленной в области коллектора n^+ -области для уменьшения сопротивления тела коллектора с целью понизить напряжение логического нуля.

Функции, представленные на рисунках 5.6, $z-d$, рассчитаны для структуры транзистора, изображенной на рисунке 5.2 (без дополнительной n^+ -области в коллекторе). Эти функции рассчитаны для возрастающих уровней инжекции в базе:

- а) заряд в базе;
- б) заряд в коллекторе;
- в) заряд в эмиттере;
- г) ток электронов в базе;
- д) ток электронов в коллекторе;
- е) ток электронов в эмиттере;
- ж) ток дырок в базе;
- з) ток дырок в коллекторе;
- и) ток дырок в эмиттере;
- к) общий ток в базе;
- л) общий ток в коллекторе;
- м) общий ток в эмиттере.

Результаты 3D моделирования наноструктуры ступенчатого биполярного транзистора. Трехмерную наноразмерную структуру ступенчатого транзистора можно получить, используя процедуру Extrude, добавляющую сечению третье измерение. Конструктивные параметры исследуемой 3D наноструктуры указаны в таблице 5.4.

Таблица 5.4

Топологические размеры для 3D моделирования ступенчатого биполярного транзистора

	n_1	p_2	n_3	Ox	Collector	Base	Emitter
Ширина W_x , нм	100	60	20	20	20	20	20
Высота H_y , нм	40	3	17	17–20	20	17	–
Длина L_z , нм	40	40	40	40	40	40	40

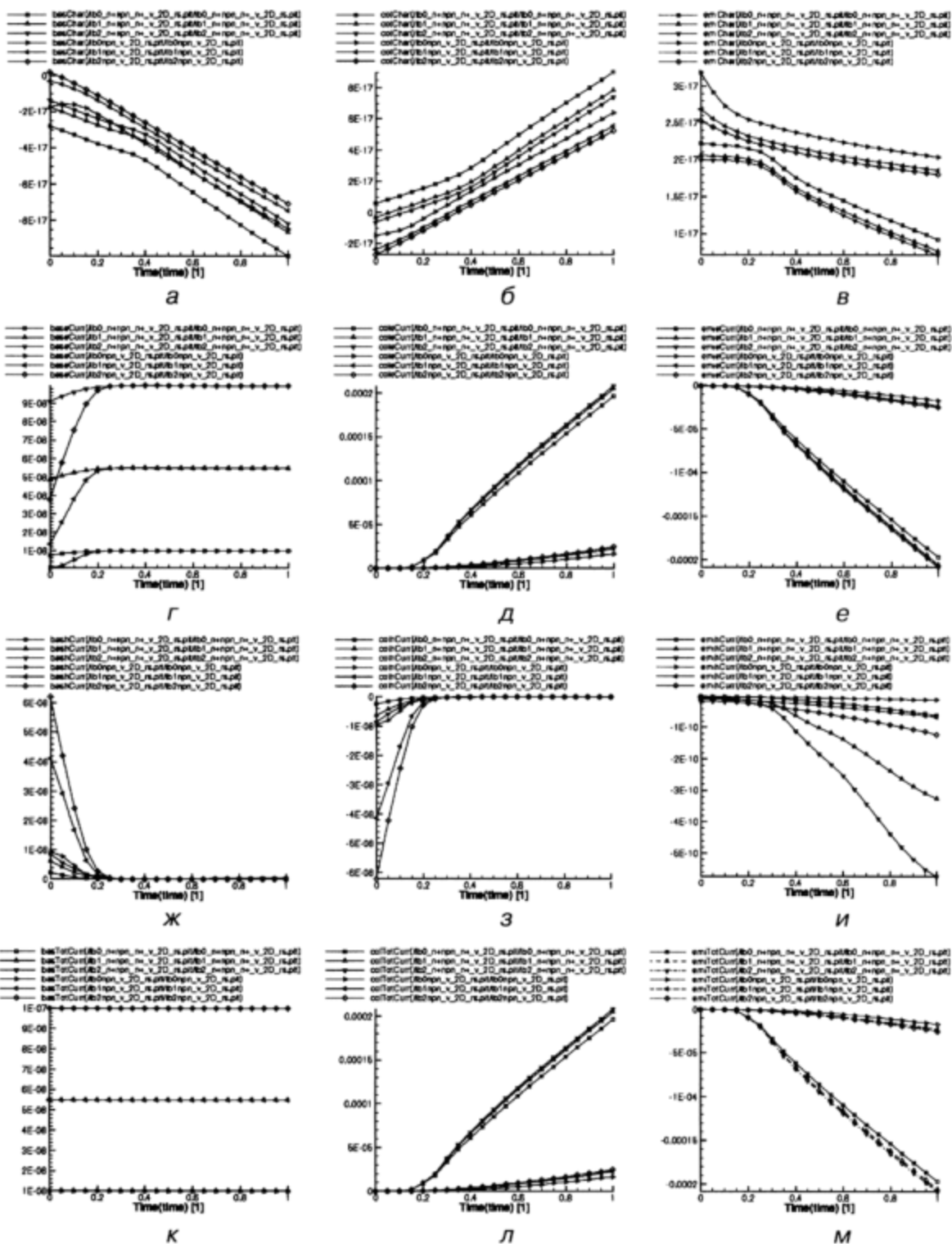


Рис. 5.6. Графики функций для сечения ступенчатой структуры биполярного транзистора: а) заряд в базе; б) заряд в коллекторе; в) заряд в эмиттере; г) ток электронов в базе; д) ток электронов в коллекторе; е) ток электронов в эмиттере; ж) ток дырок в базе; з) ток дырок в коллекторе; и) ток дырок в эмиттере; к) общий ток в базе; л) общий ток в коллекторе; м) общий ток в эмиттере

На рисунке 5.7 показана 3D наноструктура ступенчатого биполярного транзистора, на рисунке 5.8 — ее расчетная сетка.

При переходе от 2D к 3D моделированию (процедура Extrude) сохраняются ранее взятые концентрации областей и параметры расчетной сетки. При необходимости все это можно изменить.

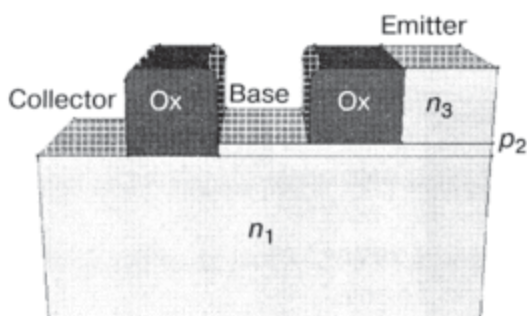


Рис. 5.7. 3D наноструктура ступенчатого биполярного транзистора: заданные размеры, материалов, контактов

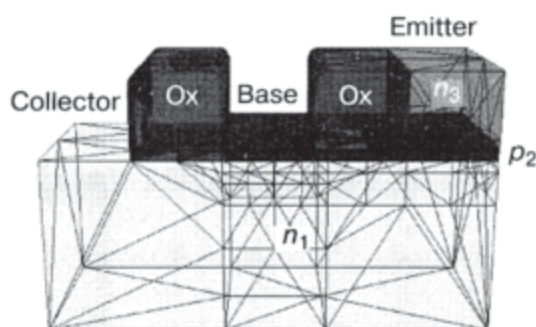


Рис. 5.8. Расчетная сетка для моделирования 3D наноструктуры ступенчатого биполярного транзистора

Диапазон изменения расчетной сетки прежний (2,5–10 нм). Время моделирования составило 65 с.

На рисунке 5.9 представлены результаты 3D моделирования наноструктуры ступенчатого биполярного транзистора для следующих функций:

- а) SRH-рекомбинация;
- б) подвижность дырок;
- в) нормаль электрического поля к потоку дырок;
- г) плотность дырок;
- д) скорость электронов;
- е) квазипотенциал Ферми для электронов;
- ж) плотность электронов;
- з) энергия валентной зоны;
- и) пространственный заряд;
- к) абсолютное значение плотности тока электронов;
- л) абсолютное значение плотности общего тока;
- м) абсолютное значение экстраполяции электростатического потенциала.

В результате моделирования можно сделать вывод о том, что структурной формуле $n_1 \Rightarrow p_2 \Rightarrow n_3$ в твердотельной кремниевой переходной схемотехнике соответствует наноструктура ступенчатого биполярного транзистора.

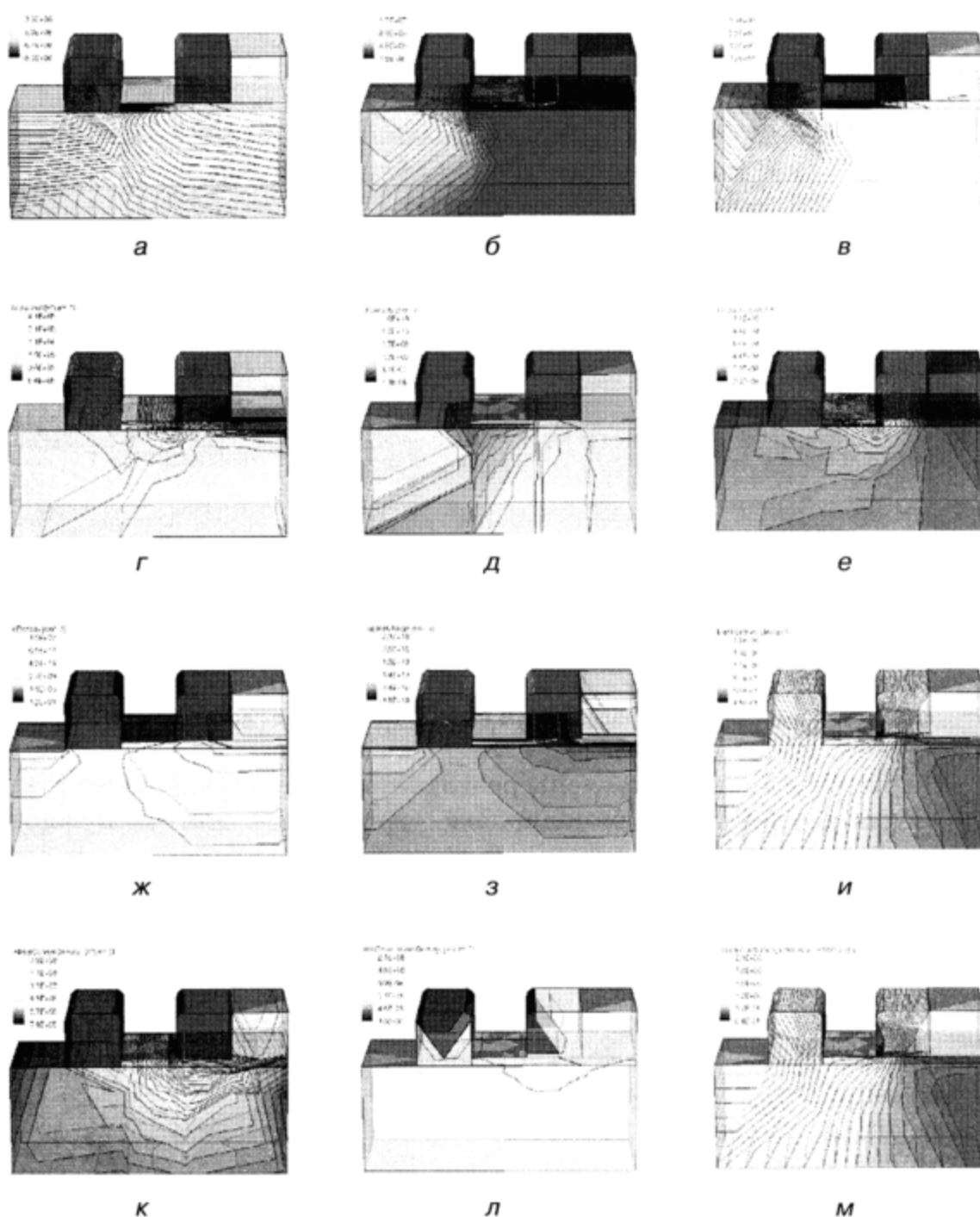


Рис. 5.9. Результаты моделирования 3D ступенчатой наноструктуры биполярного транзистора для следующих функций: а) SRH-рекомбинация; б) подвижность дырок; в) нормаль электрического поля к потоку дырок; г) плотность дырок; д) скорость электронов; е) квазипотенциал Ферми для электронов; ж) плотность электронов; з) энергия валентной зоны; и) пространственный заряд; к) абсолютное значение плотности тока электронов; л) абсолютное значение плотности общего тока; м) абсолютное значение экстраполяции электростатического потенциала

5.2. Синтез и моделирование наноструктуры МОП-транзистора ($N = 4$)

5.2.1. Использование переходов полупроводник–окисел

В предыдущем синтезе наноструктуры в качестве исходных компонентов были использованы только p - n -переходы (переходы полупроводник₁-полупроводник₂).

В полученном транзисторе n - p - n -типа принцип «открыт–закрыт» осуществляется за счет различных вариантов подачи напряжений в области n_1, p_2, n_3 . Система напряжений, при которой оба p - n -перехода закрыты, соответствует закрытому состоянию транзистора (что в инверторе соответствует напряжению логической единицы). А система напряжений, при которой оба p - n -перехода открыты, соответствует открытому (насыщенному) состоянию биполярного транзистора (в инверторе это напряжение логического нуля).

Переход p -Ох закрыт по току, если напряжение на переходе меньше напряжения пробоя (рис. 5.10, а), однако при подаче определенного напряжения на переход под окислом в полупроводнике может быть образована зона с проводимостью (рис. 5.10, б), отличной от проводимости без управляющего напряжения на переходе. Это второй вариант реализации принципа «открыт–закрыт», вариант создания проводя-

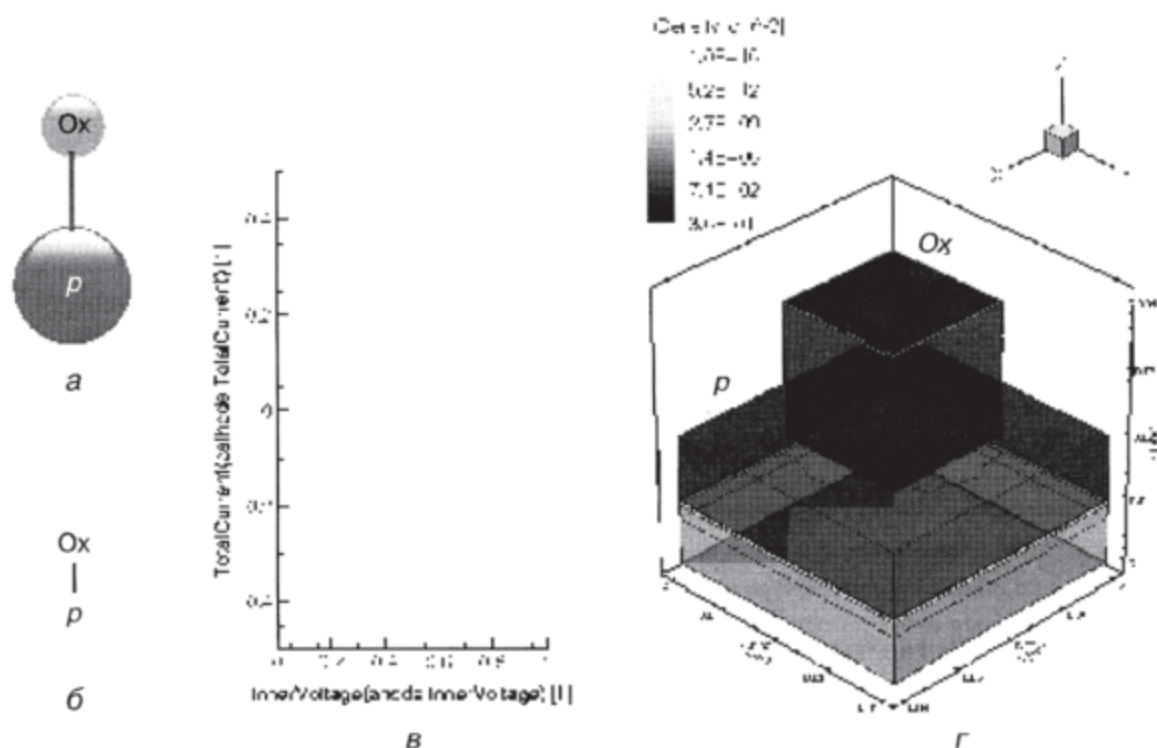


Рис. 5.10. Моделирование p -Ох перехода: а) модель p -Ох перехода в виде графа; б) модель p -Ох перехода в виде формулы; в) график общего тока в переходе p -Ох; г) плотность дырок в p области перехода p -Ох при подаче напряжения на переход

щей области (канала) для формирования проводящей структуры. Канала нет — структура закрыта (логическая единица), канал есть — структура открыта и проводит ток (логический ноль).

Используем теперь переход p – Ox в новом синтезе наноструктуры.

5.2.2. Уравнение синтеза абстрактной модели МОП-транзистора в переходной схемотехнике (этап 1)

При объединении двух p – n -переходов ($N = 2$) a_1 и a_2 и одного изолирующего перехода p – Ox ($N = 2$) a_3 с функциональными частями, указанными в уравнении (5.7) [115]:

$$\begin{array}{c} n^{Gnd} \quad n^{out} \quad Ox^{in} \\ | \quad \cup \quad | \quad \cup \quad | \\ p^{\perp} \quad p^{\perp} \quad p^{\perp} \end{array} = n^{out} \xrightarrow{a_1} p^{\perp} \xrightarrow{a_2} n^{Gnd} \dots \quad \begin{array}{c} Ox^{in} \\ | a_3 \\ p^{\perp} \end{array} \quad (5.7)$$

или при объединении транзистора n – p – n -типа ($N = 3$) $a_1 a_2$ и одного изолирующего перехода p – Ox ($N = 2$) a_3 с функциональными частями, указанными в уравнении:

$$\begin{array}{c} n^{out} \xrightarrow{a_1} p^{\perp} \xrightarrow{a_2} n^{Gnd} \cup \begin{array}{c} Ox^{in} \\ | a_3 \\ p^{\perp} \end{array} = n^{out} \xrightarrow{a_1} p^{\perp} \xrightarrow{a_2} n^{Gnd} \dots \end{array} \quad (5.8)$$

получается модель МОП-транзистора размерностью $N = 4$ (рис. 5.11).

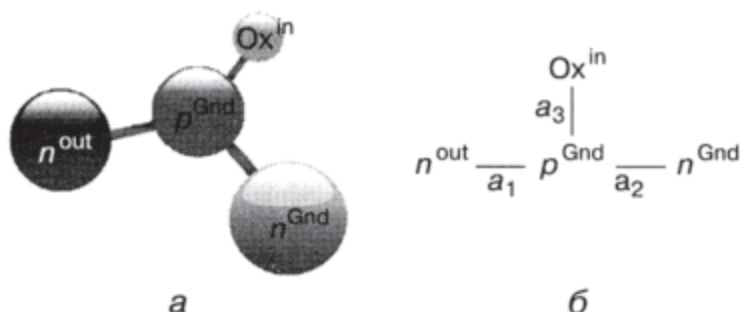


Рис. 5.11. Представление модели МОП-транзистора размерностью $N = 4$: а) в виде графа, б) в виде формулы

**5.2.3. Генерация наноструктур МОП-транзистора ($N = 4$)
как схем переходной наносхемотехники (этапы 2 и 3)**

Для генерации наноструктур МОП-транзистора на основе его общей модели воспользуемся числовым алгоритмом, использованным при генерации структур биполярного транзистора (разд. 5.1.2, табл. 5.1).

При кодировании типов переходов a_i ($i = 1, \dots, R$, где R — число переходов в структуре), введем следующую цифровую кодировку:

$$\rightarrow (1), \leftarrow (2), \Rightarrow (3), \Leftarrow (4).$$

Структурные формулы общих моделей элементов будут соответствовать R -разрядным числам в системе счисления с основанием 4.

Тип перехода ($N = 2$; $R = 1$; N — число вершин в модели, то есть физических областей в структуре; R — количество ребер в модели, то есть число переходов в структуре) будет кодироваться числом a_1 (табл. 5.5). При $R = 1$ оно принимает значения от 1 до 4.

Таблица 5.5

**Генерация кодов для модели перехода
($N = 2, R = 1$). Общий алгоритм**

a_1	a_1	a_1	a_1
1 (\rightarrow)	2 (\leftarrow)	3 (\Rightarrow)	4 (\Leftarrow)

Пусть $a_1 = p_1 - n_2$. Тогда по только что описанным правилам:

1) код 1 соответствует структурной формуле $p_1 \rightarrow n_2$ и означает, что область p_1 содержит область n_2 (внутренний переход);

2) код 2 соответствует структурной формуле $p_1 \leftarrow n_2$ и означает, что область n_2 содержит область p_1 (внутренний переход);

3) код 3 соответствует структурной формуле $p_1 \Rightarrow n_2$ и означает, что область n_2 расположена на области p_1 (поверхностный переход);

4) код 4 соответствует структурной формуле $p_1 \Leftarrow n_2$ и означает, что область p_1 расположена на области n_2 (поверхностный переход).

Типы биполярных транзисторов ($N = 3, R = 2$) описываются числами $a_1 a_2$ (табл. 5.6). Несложные вычисления дают 16 чисел, структурных формул и соответствующих им 16 моделей структур биполярного транзистора. Структуры, соответствующие этим кодам при генерации структур биполярного транзистора, см. в таблице 5.1.

Таблица 5.6

**Генерация кодов для модели биполярного транзистора
($N = 3, R = 2$). Общий алгоритм**

a_1a_2	a_1a_2	a_1a_2	a_1a_2
11	21	31	41
12	22	32	42
13	23	33	43
14	24	34	44

Типы МОП-транзисторов ($N = 4, R = 3$) описываются числами $a_1a_2a_3$ (табл. 5.7).

Для $R = 3$ количество структурных формул и соответствующих им структур равно 64.

Таблица 5.7

**Генерация кодов для модели МОП-транзистора
($N = 4, R = 3$). Общий алгоритм**

$a_1a_2a_3$	$a_1a_2a_3$	$a_1a_2a_3$	$a_1a_2a_3$
111	211	311	411
112	212	312	412
113	213	313	413
114	214 Ox^{in} \uparrow $n^{out} \leftarrow p^{\perp} \rightarrow n^{Gnd}$	314	414
121	221	321	421
122	222	322	422
123	223	323	423
124	224	324	424
131	231	331	431
132	232	332	432
133	233	333	433
134	234	334	434
141	241	341	441
142	242	342	442
143	243	343	443
144	244	344	444

Если

$$a_1 = n^{\text{out}} - p^{\perp};$$

$$a_2 = p^{\perp} - n^{\text{Gnd}};$$

$$a_3 = p^{\perp} - \text{Ox}^{\text{in}},$$

то коду 214 (табл. 5.7) соответствует структурная формула:

$$\begin{array}{c} \text{Ox}^{\text{in}} \\ \uparrow\uparrow \\ n^{\text{out}} \leftarrow p^{\perp} \rightarrow n^{\text{Gnd}}, \end{array} \quad (5.9)$$

которая, в свою очередь, является моделью классической интегральной структуры МОП-транзистора.

Промоделируем структуру МОП-транзистора в нанодиапазоне и определим ее технические параметры.

5.2.4. Моделирование МОП-транзистора с моделью структуры (этап 4)

Подготовка исходных данных для 2D моделирования наноструктуры МОП-транзистора. Пронумеруем области в структурной формуле МОП-транзистора:

$$\begin{array}{c} \text{Ox}_4^{\text{in}} \\ \uparrow\uparrow \\ n_2^{\text{out}} \leftarrow p_1^{\perp} \rightarrow n_3^{\text{Gnd}} \end{array} \quad (5.10)$$

Для построения структуры МОП-транзистора по формуле (5.10) «прочитаем» структурную формулу следующим образом:

- область p_1 содержит область n_2 , с которой будет сниматься выходной сигнал (out), и область n_3 , к которой подключена шина «Земля» (Gnd);
- на области p_1 расположена область окисла Ox_4 , на который подается входной сигнал (in).

В этой формуле, как и в ее прочтении, содержится не только указание на физическую структуру модели, но и определены контакты для ее включения в общую схему моделирования (рис. 5.12).

На рисунках 5.12, а, б показаны характеристики материалов (концентрации и тип носителей), а расчетная сетка для 2D моделирования сечения ступенчатого биполярного транзистора приводится на рисунке 5.12, в. Сетка рассчитывается автоматически, исходя из задаваемого разработчиком диапазона от минимального до максимального значения шага расчетной сетки. Заданы контакты: исток (Source), сток (Drain), затвор (Gate), подложка (Substrate).

На рисунке 5.12, б белые линии в полупроводниковых областях — топологическая сетка с размером ячейки $X_g = 10$ нм и $Y_g = 10$ нм. Из

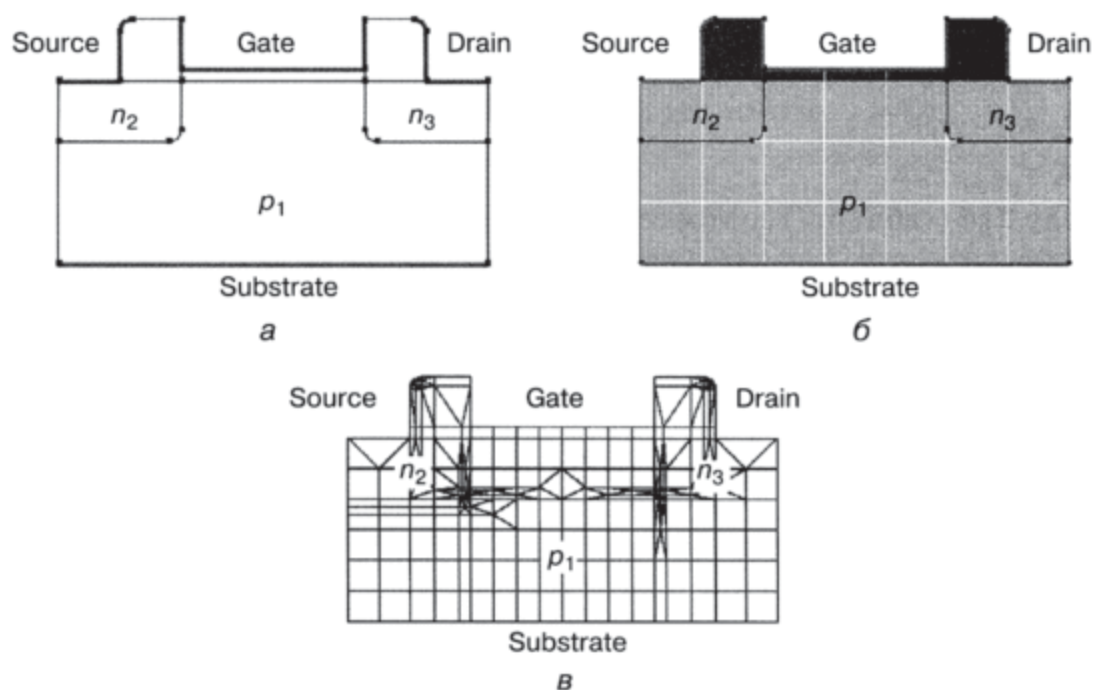


Рис. 5.12. Задание 2D структуры МОП-транзистора: а) сечение, размеры, контакты; б) материалы, контакты, в) расчетная сетка

этого параметра и конструкции видно, что размер МОП-транзистора не превышает 70 нм.

Результаты 2D моделирования наноструктуры МОП-транзистора

На рисунках 5.13–5.15 представлены результаты эксперимента по компьютерному 2D моделированию наноразмерной структуры МОП-транзистора со структурной формулой (5.10) и минимальным топологическим размером 10 нм [115].

На рисунке 5.13 показаны результаты 2D моделирования этого МОП-транзистора:

- а) SRH-рекомбинация;
- б) подвижность дырок;
- в) E_{normal} для дырок;
- г) плотность дырок;
- д) скорость электронов;
- е) квазипотенциал Ферми для электронов.

На рисунке 5.14 представлено продолжение результатов 2D моделирования данного МОП-транзистора:

- а) подвижность электронов;
- б) E_{normal} для электронов;
- в) плотность электронов;
- г) пространственный заряд;
- д) электростатический потенциал;
- е) абсолютное значение плотности общего тока.

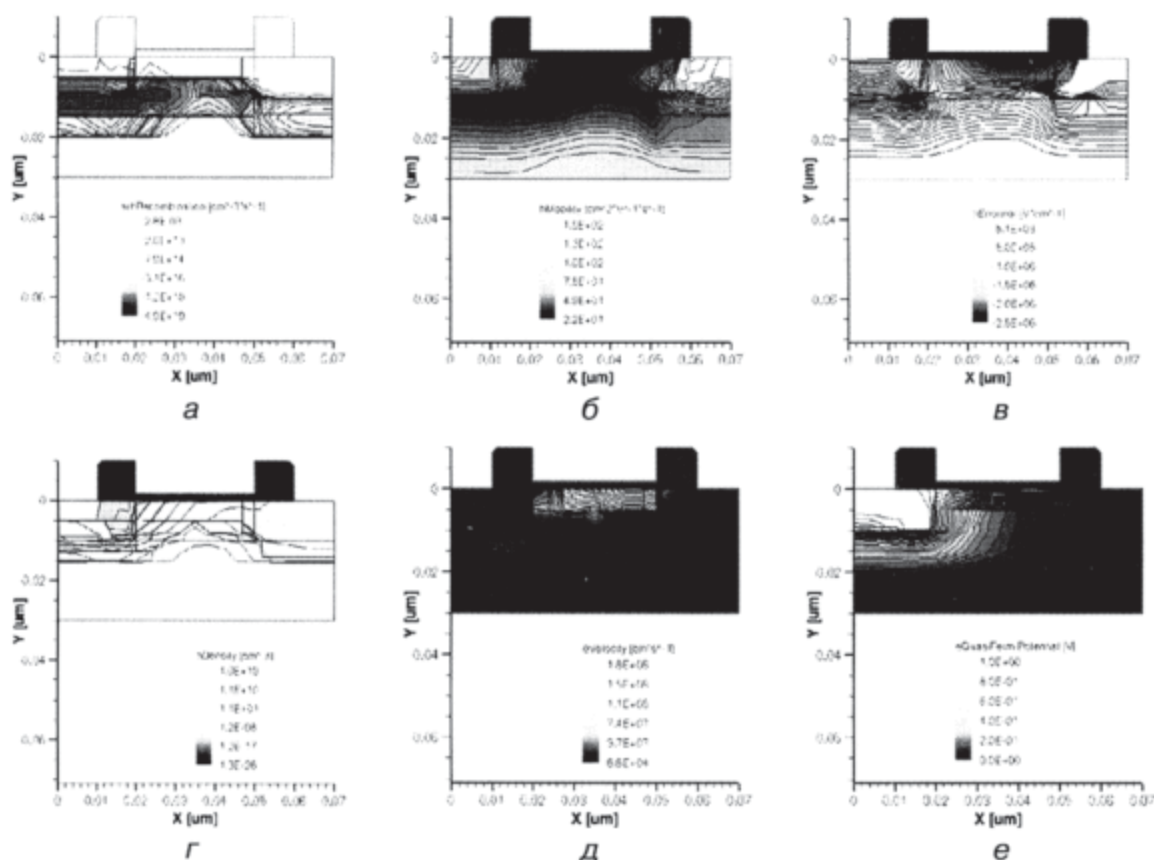


Рис. 5.13. Результаты 2D моделирования наноразмерной структуры МОП-транзистора: а) SRH-рекомбинация, б) подвижность дырок, в) нормаль для дырок, г) плотность дырок, д) скорость электронов, е) квазипотенциал Ферми для электронов

На рисунке 5.15 изображены токовые и зарядные характеристики МОП-транзистора со структурной формулой (5.10) и минимальным топологическим размером 10 нм:

- а) ток дырок в подложке (p_1);
- б) ток дырок в области истока (n_2);
- в) ток дырок в области стока (n_3);
- г) ток дырок в области затвора (Oh_4);
- д) ток электронов в подложке (p_1);
- е) ток электронов в области истока (n_2);
- ж) ток электронов в области стока (n_3);
- з) общий ток в области истока (n_2);
- и) заряд в подложке;
- к) заряд в области истока;
- л) заряд в области затвора;
- м) заряд в области стока.

Поскольку нас интересует создание работоспособной структуры МОП-транзистора, работающей с аналогичными структурами в системе

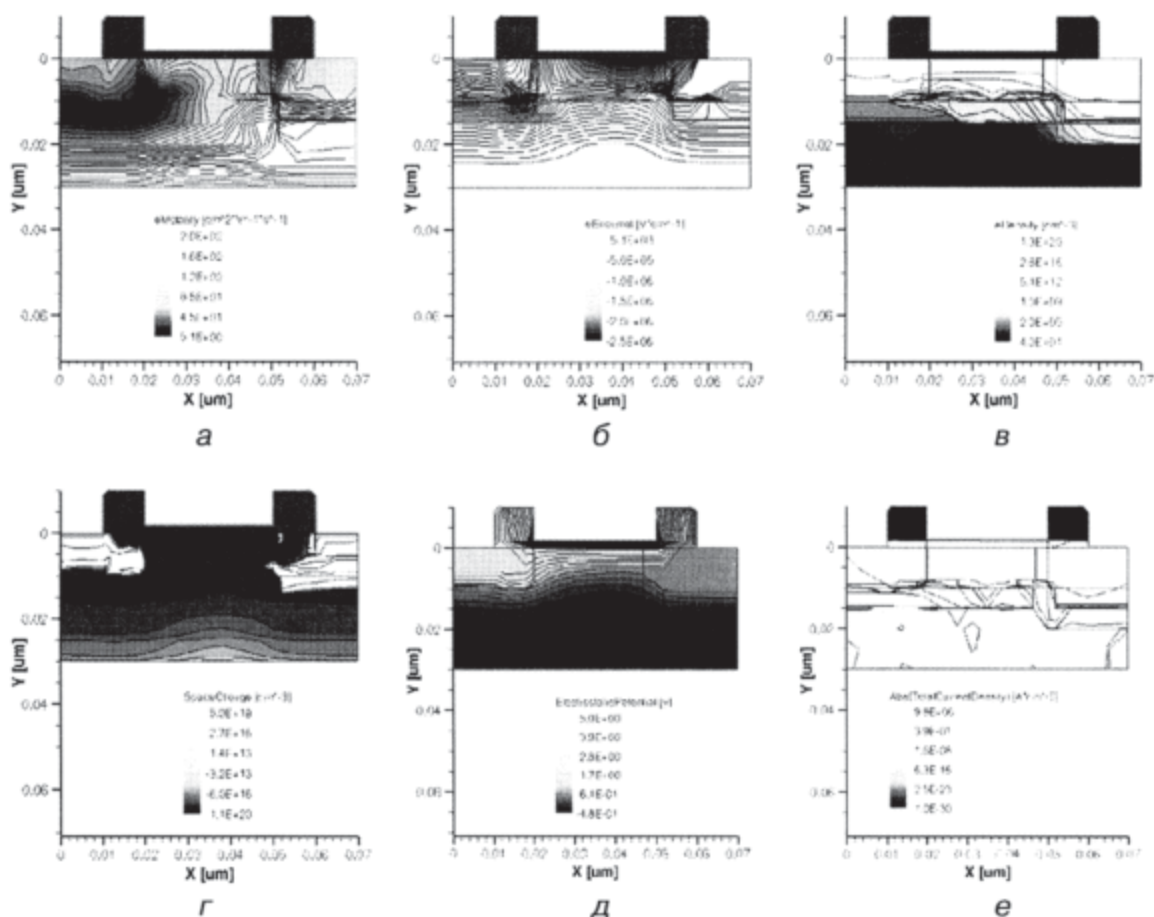


Рис. 5.14. Результаты моделирования наноразмерной структуры МОП-транзистора: а) подвижность электронов, б) нормаль для электронов, в) плотность электронов, г) пространственный заряд, д) электростатический потенциал, е) абсолютное значение плотности общего тока

СБИС, воспользуемся смешанным режимом моделирования, то есть моделированием наноструктуры в составе электронной схемы. Так, например, включив наноструктуру по схеме, изображенной на рисунке 5.17, можно промоделировать передаточную характеристику $u_{\text{out}} = f(u_{\text{in}})$ и по ее виду оценить качество и работоспособность рассматриваемой структуры.

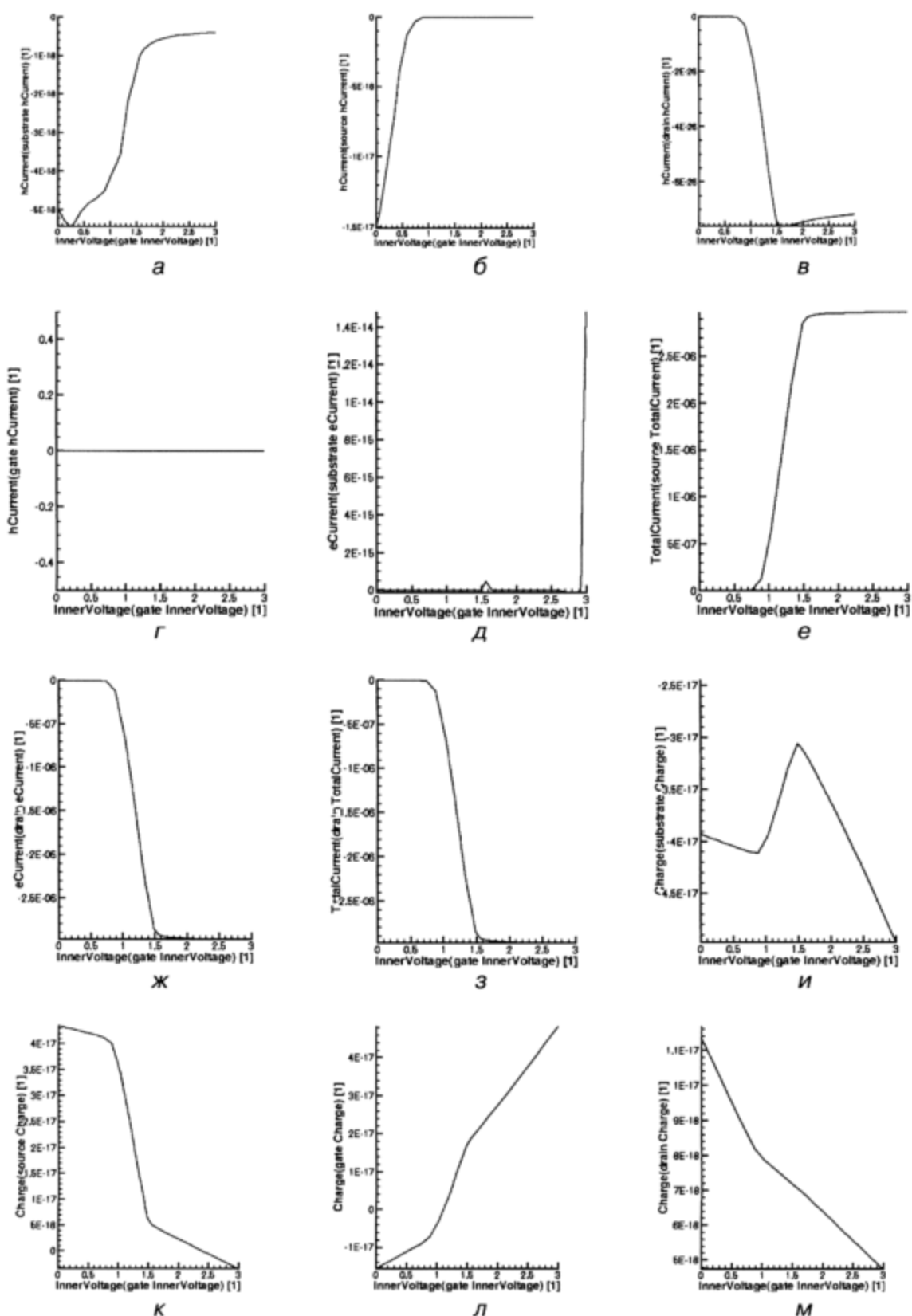


Рис. 5.15. Результаты моделирования наноразмерной структуры МОП-транзистора: а) ток дырок в подложке (p_1), б) ток дырок в области истока (n_2), в) ток дырок в области стока (n_3), г) ток дырок в области затвора (Ox_4), д) ток электронов в подложке (p_1), е) ток электронов в области истока (n_2), ж) ток электронов в области стока (n_3), з) общий ток в области истока (n_2), и) заряд в подложке, к) заряд в области истока, л) заряд в области затвора, м) заряд в области стока.

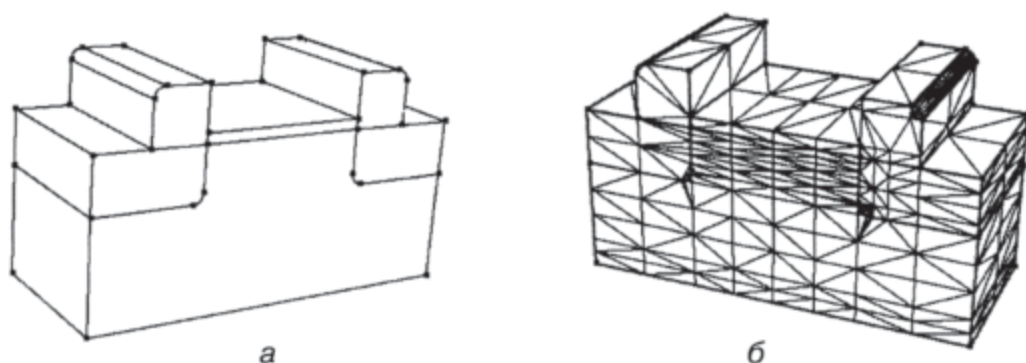


Рис. 5.16. Исходные данные для 3D моделирования наноразмерной структуры МОП-транзистора: а) 3D наноструктура МОП-транзистора: задание размеров, материалов, контактов; б) расчетная сетка

Подготовка исходных данных для 3D моделирования наноструктуры МОП-транзистора. Получаем трехмерный наноразмерный МОП-транзистор со структурной формулой (5.10), используя процедуру Extrude и добавляя сечению третье измерение. На рисунке 5.16, а показана 3D наноструктура МОП-транзистора, на рисунке 5.16, б — ее расчетная сетка.

При переходе от 2D к 3D моделированию (процедура Extrude) сохраняются прежние значения концентраций областей и параметры расчетной сетки. При необходимости все можно изменить.

Смешанный режим моделирования наноструктуры МОП-транзистора. Этот режим рассмотрен на рисунке 5.17.

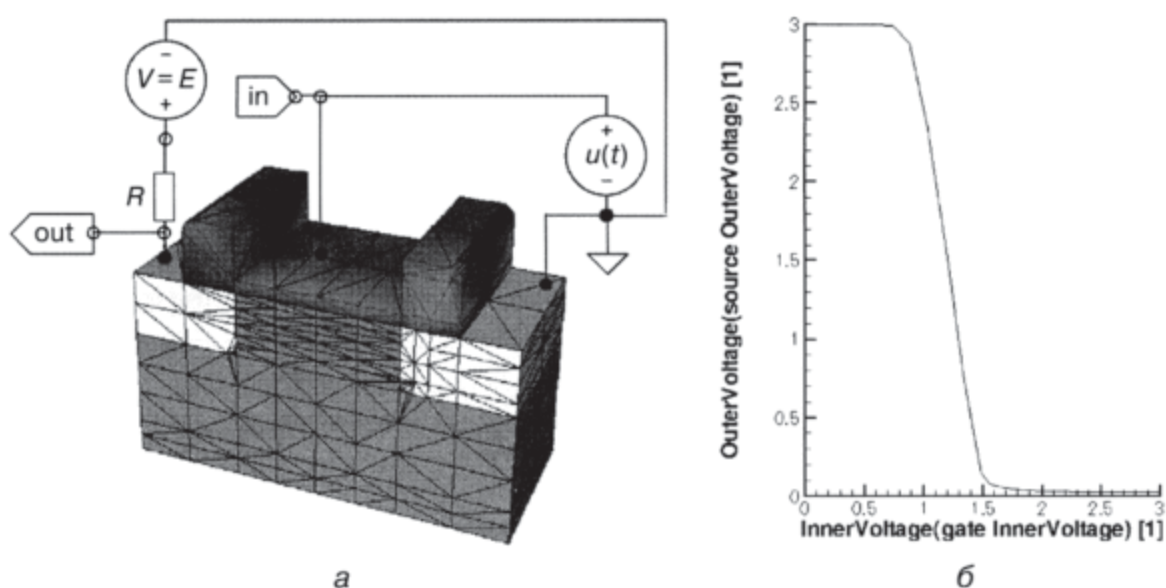


Рис. 5.17. Смешанный режим моделирования: а) наноструктура моделируется в составе электрической схемы, б) передаточная характеристика наноструктуры МОП-транзистора, полученная в результате смешанного моделирования

Результаты 3D моделирования наноструктуры МОП-транзистора

На рисунках 5.18 и 5.19 представлены результаты 3D моделирования работоспособной наноразмерной структуры МОП-транзистора (рис. 5.17, а).

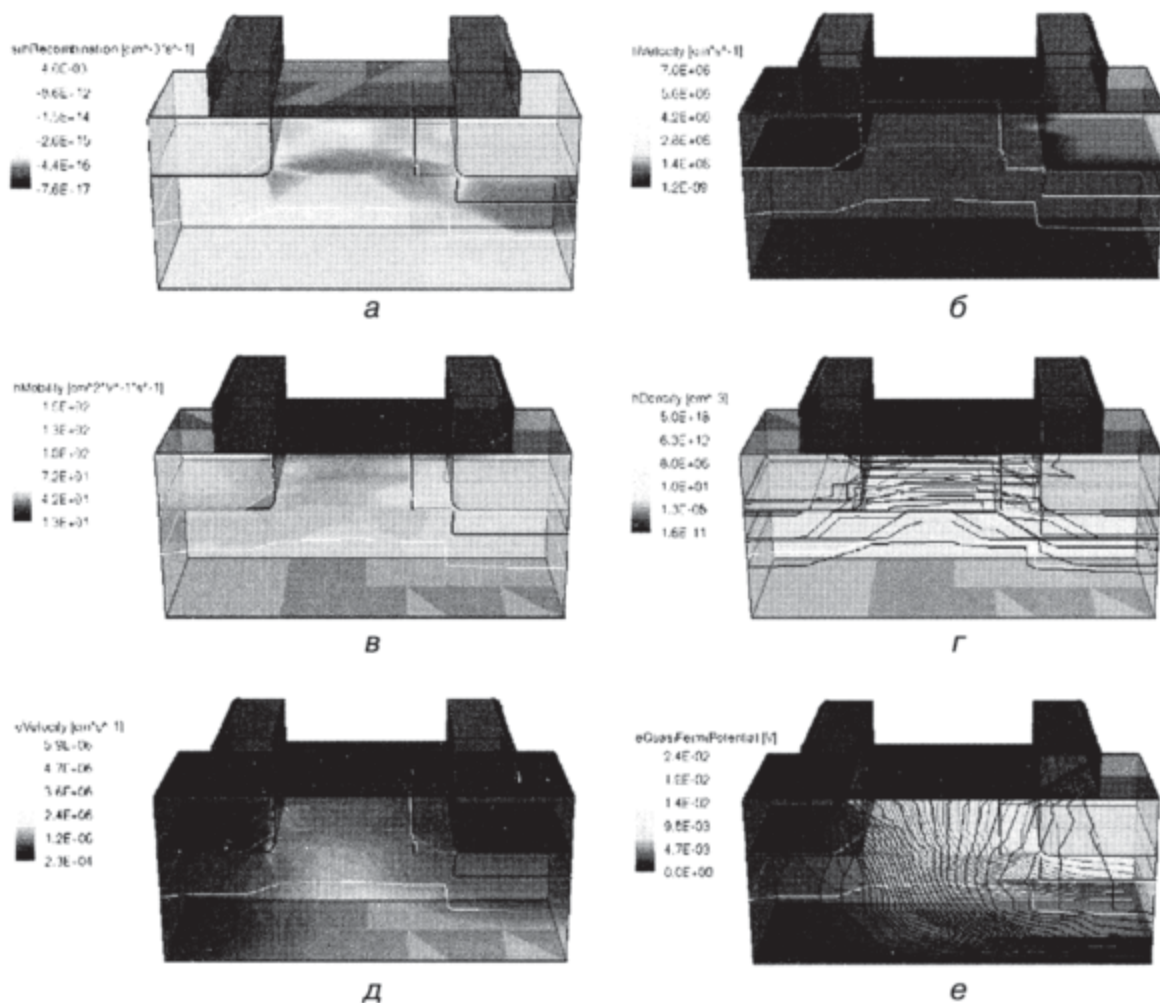


Рис. 5.18. Результаты 3D моделирования наноразмерной структуры МОП-транзистора: а) SRH-рекомбинация, б) скорость дырок, в) подвижность дырок, г) плотность дырок, д) скорость электронов, е) квазипотенциал Ферми для электронов

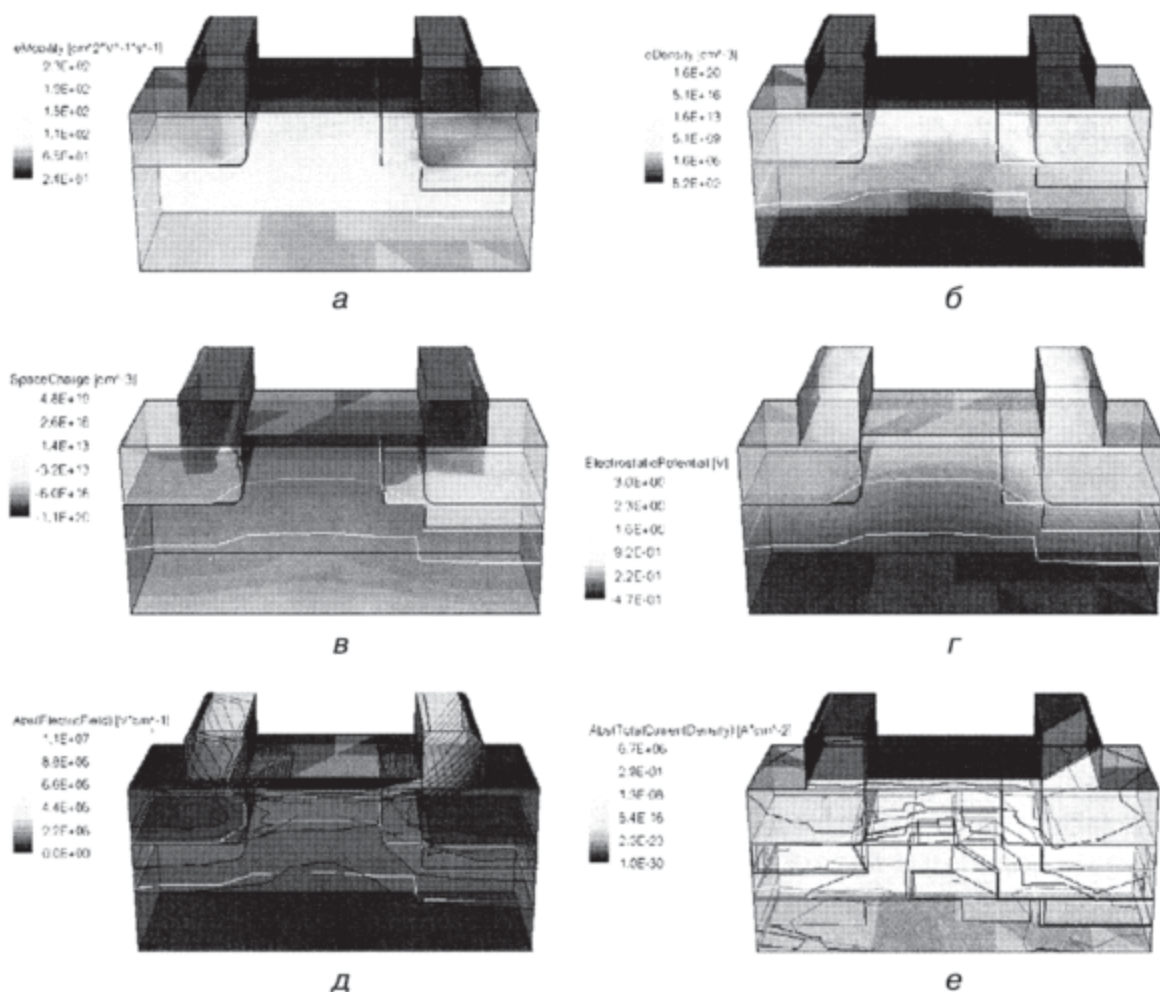


Рис. 5.19. Результаты моделирования наноразмерной структуры МОП-транзистора: а) подвижность электронов, б) плотность электронов, в) пространственный заряд, г) электростатический потенциал, д) абсолютное значение напряженности электрического поля, е) абсолютное значение плотности общего тока

Глава 6

СИСТЕМА ПРОСТЕЙШИХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

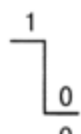
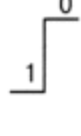
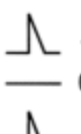

Элементами ЭВМ называют наименьшие функциональные части, на которые она разбивается при логическом проектировании. Основным требованием к системе элементов ЭВМ является ее функциональная полнота, то есть возможность синтезировать из этих элементов сколь угодно сложные устройства.

6.1. Классификация элементов ЭВМ

Элементы ЭВМ можно классифицировать следующим образом:

- *логические элементы* — реализуют простую логическую функцию, например И, ИЛИ–НЕ и т. д.;
- *запоминающие элементы* — хранят один бит информации;
- *специальные элементы* — выполняют специальные функции (усилители, формирователи сигнала, генераторы).

Рассмотрим более подробно логические элементы. Их в свою очередь можно разделить на три подкласса, различая по типу сигнала.

Логика положительная		Потенциальные логические элементы. В них кодирование логических нуля и единицы осуществляется с помощью уровня напряжения: логическая единица — высокий уровень напряжения, логический ноль — низкий уровень напряжения (положительная логика), и наоборот.
Логика отрицательная		
Логика положительная		Импульсные логические элементы. Для них кодирование осуществляется следующим образом: наличие импульса — это логическая единица, отсутствие импульса — логический ноль (положительная логика), и наоборот.
Логика отрицательная		

Потенциально-импульсные элементы. Они совмещают в себе кодирование потенциальных и импульсных логических элементов.

Рассмотрим систему простейших логических потенциальных элементов, работающих на положительной логике.

6.2. Система простейших логических потенциальных элементов

Основное требование к системе логических элементов — функциональная полнота, то есть возможность построить на них любое сколь угодно сложное логическое устройство. В транзисторной схемотехнике при вентильном логическом проектировании используют функционально полные вентили:

- НЕ–М_и
И–НЕ
ИЛИ–НЕ–М_{или}
ИЛИ–НЕ
И–ИЛИ–НЕ
- (М_и — монтажное И)

(М_{или} — монтажное ИЛИ)

Функционально полными их делает наличие инверсии, которую реализует схема инвертора — основная схема любого схемотехнического базиса.

Синтез функционально полных элементов основан на знании системы простейших логических элементов и принципов их построения.

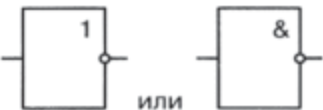
6.2.1. Инвертор. Логическая схема НЕ

Схемой НЕ, или инвертором, называется логическая схема, на выходе которой появляется сигнал, противоположный (инверсный) тому, который имеется на входе.

Таблица истинности инвертора

Вх	Вых
0	1
1	0

Функциональное обозначение
инвертора



Принципиальные схемы транзисторных инверторов приведены на рисунках 6.1–6.4, а в таблице 6.1 — описание работы биполярного инвертора.

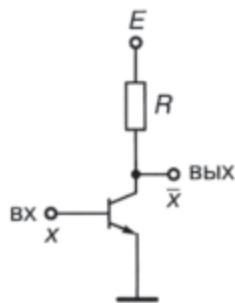


Рис. 6.1. Биполярный инвертор



Рис. 6.2. МОП-инвертор

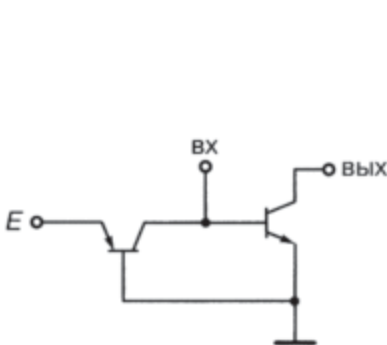


Рис. 6.3. Инжекционный инвертор (ИИ)

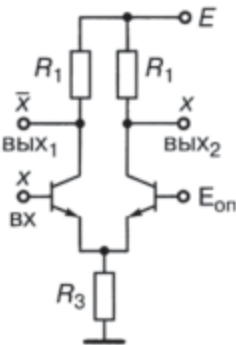


Рис. 6.4. Инвертор на базе токового ключа

Таблица 6.1

Описание работы биполярного инвертора

Вход	Состояние транзистора	Выход
0	Если $U_{вх} = U^0$, то транзистор закрыт. $U_{вых} \sim E$	1
1	Если $U_{вх} = U^1$, то транзистор открыт, работает в насыщении. $U_{вых} = U_{кэн} = 0,1-0,3 В$	0

6.2.2. Конъюнктор. Логическая схема И

Схемой И, или конъюнктором, называется такая логическая схема, на выходе которой логическая единица появляется только тогда, когда на всех ее входах имеются логические единицы.

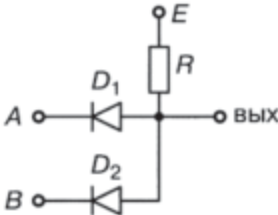
Таблица истинности конъюнктора

A	B	Вых
0	0	0
0	1	0
1	0	0
1	1	1

Функциональное обозначение конъюнктора



Принципиальная схема конъюнктора: диодная сборка



Здесь A и B — входные сигналы. В таблице 6.2 приводится описание работы диодной сборки.

Таблица 6.2

Описание работы конъюнктора

Вход	Состояние диодов	Выход
$U_A = U_B = U^0$	D_1, D_2 — открыты	$U_{\text{вых}} = E - IR (0)$
$U_A = U^0, U_B = U^1$	D_2 — закрыт, D_1 — открыт	$U_{\text{вых}} = E - IR (0)$
$U_A = U^1, U_B = U^0$	D_1 — закрыт, D_2 — открыт	$U_{\text{вых}} = E - IR (0)$
$U_A = U_B = U^1$	D_1, D_2 — закрыты	$U_{\text{вых}} \sim E - mI_{\text{ут}}R \sim E (1)$

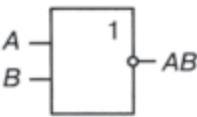
6.2.3. Дизъюнктор. Логическая функция ИЛИ

Схемой ИЛИ, или дизъюнктором, называется такая логическая схема, на выходе которой логическая единица появляется тогда, когда хотя бы на одном из входов присутствует логическая единица.

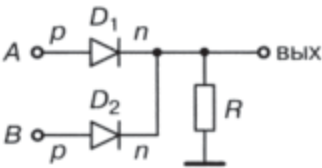
Таблица истинности дизъюнктора

A	B	Вых
0	0	0
0	1	1
1	0	1
1	1	1

Функциональное обозначение дизъюнктора



Принципиальная схема дизъюнктора



В таблице 6.3 дано описание работы диодной схемы дизъюнктора.

Таблица 6.3

Описание работы дизъюнктора

Вход	Состояние диодов	Выход
$U_A = U_B = U^0$	D_1, D_2 — закрыты	$U_{\text{вых}} \sim 0 \text{ В} (0)$
$U_A = U^0, U_B = U^1$	D_1 — закрыт, D_2 — открыт	$U_{\text{вых}} = IR (1)$
$U_A = U^1, U_B = U^0$	D_2 — закрыт, D_1 — открыт	$U_{\text{вых}} = IR (1)$
$U_A = U_B = U^1$	D_1, D_2 — открыты	$U_{\text{вых}} = IR (1)$

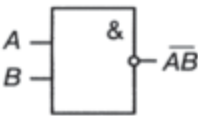
6.2.4. Элемент Шеффера. Логическая функция И–НЕ

Элементом Шеффера, выполняющим логическую функцию И–НЕ, называется логическая схема, на выходе которой логический ноль появляется, когда на всех входах присутствует логическая единица.

Таблица истинности элемента И–НЕ

A	B	Вых
0	0	1
0	1	1
1	0	1
1	1	0

Функциональное обозначение элемента И–НЕ



Принципиальные схемы: конъюнктор + схема сопряжения + инвертор представлены на рисунках 6.5, 6.6.

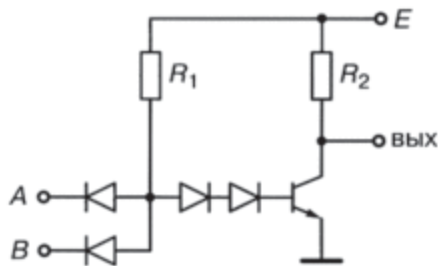


Рис. 6.5. Вентиль диодно-транзисторной логики (ДТЛ)

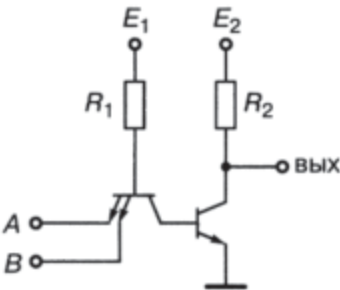


Рис. 6.6. Вентиль транзисторно-транзисторной логики (ТТЛ)

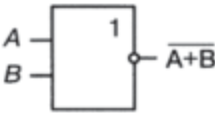
6.2.5. Элемент Пирса. Логическая функция ИЛИ–НЕ

Элементом Пирса, выполняющим логическую функцию ИЛИ–НЕ, называется логическая схема, на выходе которой логическая единица появляется, когда на всех входах присутствует логический ноль.

Таблица истинности элемента И–НЕ

A	B	Вых
0	0	1
0	1	0
1	0	0
1	1	0

Функциональное обозначение элемента ИЛИ–НЕ



На рисунках 6.7 и 6.8 представлены транзисторно-резисторные реализации элемента Пирса (схемы И–НЕ). В таблице 6.4 дано описание работы вентиля НСТЛ.

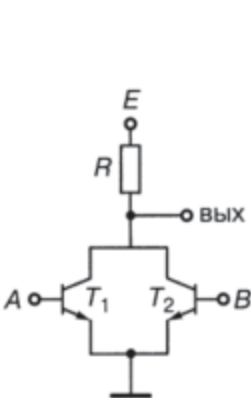


Рис. 6.7. Вентиль непосредственно-связанной транзисторной логики (НСТЛ)

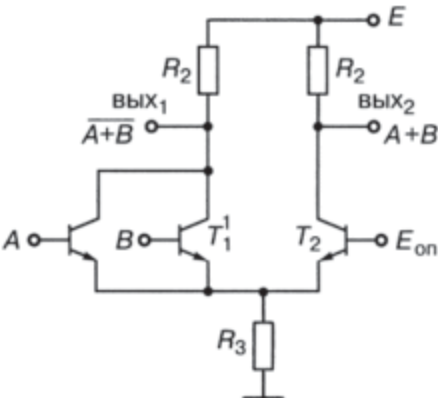


Рис. 6.8. Вентиль маломощной эмиттерно-связанной логики (МЭСЛ)

Таблица 6.4

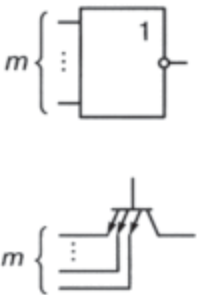
Описание работы элемента ИЛИ–НЕ (для НСТЛ)

Вход	Состояние транзисторов	Выход
$U_A = U_B = U^0$	T_1, T_2 — закрыты	$U_{\text{ВЫХ}} \sim E(1)$
$U_A = U^0, U_B = U^1$	T_1 — закрыт, T_2 — открыт, насыщение	$U_{\text{ВЫХ}} = U_{\text{КЭН}} = 0,1 \div 0,3 \text{ В} (0)$
$U_A = U^1, U_B = U^0$	T_2 — закрыт, T_1 — открыт и насыщен	$U_{\text{ВЫХ}} = U_{\text{КЭН}} = 0,1 \div 0,3 \text{ В} (0)$
$U_A = U_B = U^1$	T_1, T_2 — открыты и насыщены	$U_{\text{ВЫХ}} = U_{\text{КЭН}} = 0,1 \div 0,3 \text{ В} (0)$

6.3. Технические параметры логических элементов ЭВМ

6.3.1. Коэффициент объединения по входам

Коэффициентом объединения по входам (*m*) называется максимальное количество входов логического элемента, при котором элемент остается работоспособным. Обычно для транзисторной схемотехники *m* равно 6–8. Количество входов ограничено токами утечки, так как их большое количество может привести к нарушению работоспособности элемента, а также снижению его быстродействия за счет увеличения входной паразитной емкости.

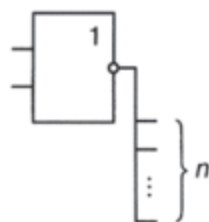


6.3.2. Нагрузочная способность

Нагрузочной способностью, или *коэффициентом объединения по выходу* (n), называется максимальное количество подобных схем, которые можно подключить к выходу элемента без изменения его работоспособности:

$$n = \min(I_{\text{вых}}^0 / I_{\text{вх}}^0, I_{\text{вых}}^1 / I_{\text{вх}}^1),$$

где $I_{\text{вых}}^0$, $I_{\text{вх}}^0$, $I_{\text{вых}}^1$, $I_{\text{вх}}^1$ — выходные и входные токи элемента в режимах логической единицы и логического нуля.



6.3.3. Передаточная характеристика

Передаточная характеристика — зависимость выходного напряжения от напряжения на входе элемента (рис. 6.9).

На рисунке обозначены:

A , B — рабочие точки, соответствующие двум статическим состояниям;

φ_1 , φ_2 — точки изменения состояния, в которых производная по модулю равна 1.

Запас помехоустойчивости по положительной помехе — допустимое превышение напряжения логического нуля, при котором не происходит нарушения логики работы схемы:

$$U_n^+ = U_{\varphi_1} - U_A.$$

Запас помехоустойчивости по отрицательной помехе — допустимое уменьшение напряжения логической единицы на входе, при котором не происходит нарушения логики работы схемы:

$$U_n^- = U_B - U_{\varphi_2}.$$

По передаточной характеристике определяются:

- напряжение логической единицы;
- напряжение логического нуля;
- логический перепад $U_{\text{л}} = |U^1 - U^0|$.

6.3.4. Потребляемая мощность

Мощность, которую потребляет логическая схема, определяется по формуле (приведен случай для схемы с одним источником питания):

$$P = 0,5(P^0 + P^1) = 0,5E(I^0 + I^1),$$

где P^0 — мощность, потребляемая схемой, когда на ее выходе напряжение логического нуля; P^1 — мощность, которую потребляет схема, на

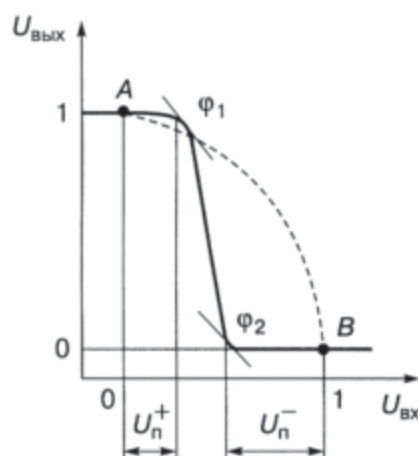


Рис. 6.9. Передаточная характеристика инвертирующего элемента

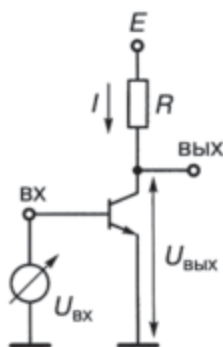


Рис. 6.10. Инвертор без нагрузки

выходе которой напряжение логической единицы; I^0 — суммарный ток от цепи питания, когда на выходе напряжение логического нуля; I^1 — суммарный ток от цепи питания, когда на выходе напряжение логической единицы. Рассмотрим, как зависит потребляемая мощность от того, нагружена схема или нет.

Рассчитаем потребляемую мощность биполярного инвертора без нагрузочных схем (рис. 6.10). При подаче на вход напряжения логического нуля транзистор закрыт:

$$U_{\text{вых}} = U^1; \quad I^1 = 0(I_{\text{ут}}).$$

При подаче на вход напряжения логической единицы транзистор насыщен, на выходе напряжение логического нуля.

$$U_{\text{вых}} = U^0 = U_{\text{кэн}} \text{ (напряжение коллектор–эмиттер насыщения),}$$

$$I^0 = I_{\text{кнас}} = (E - U_{\text{кэн}})/R.$$

Статическая мощность биполярного инвертора без нагрузки определяется по формуле:

$$\begin{aligned} P_{n=0} &= 0,5E(I^1 + I^0) = 0,5EI_{\text{кнас}} = \\ &= 0,5E(E - U_{\text{кэн}})/R. \end{aligned}$$

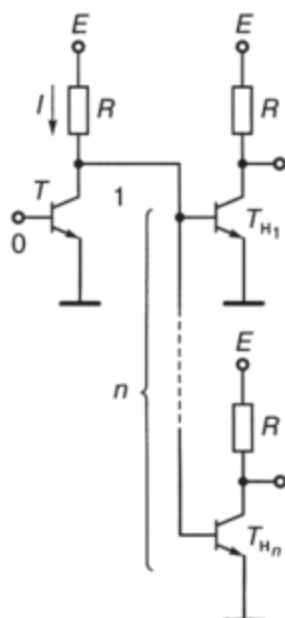


Рис. 6.11. Инвертор с нагрузкой

Если к выходу исследуемого биполярного инвертора подключить n подобных ему инверторов (рис. 6.11), то в режиме, когда на выходе логическая единица ($U_{\text{вых}} = U_1$) и транзистор T закрыт, выходной ток I_1 будет распределяться в базы нагрузочных схем:

$$I^1 = nI_{\text{бнас}} = n(E - U_{\text{бэнас}})/R.$$

Когда на выходе логический ноль ($U_{\text{вых}} = U^0$), выходной ток определяется током коллектора насыщенного транзистора:

$$I^0 = I_{\text{кнас}} = (E - U_{\text{кэн}})/R.$$

Статическая мощность биполярного инвертора с нагрузкой равна:

$$P = 0,5E[(E - U_{\text{кэн}})/R + n(E - U_{\text{бэнас}})/R].$$

Следует отметить, что при подключении нагрузки меняется не только мощность, но и передаточная характеристика, и как следствие, — логический перепад и запасы помехоустойчивости (рис. 6.12).

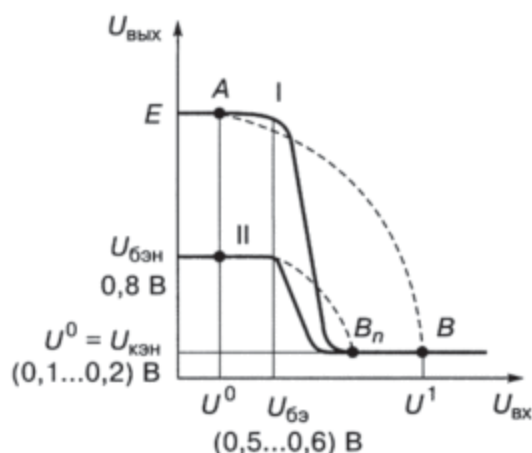


Рис. 6.12. Передаточные характеристики биполярного инвертора без нагрузки (I) и с нагрузкой (II)

6.3.5. Динамические параметры логического элемента

Быстродействие логических элементов играет в некоторых системах весьма существенную роль. Оно обычно задается в виде задержки распространения, которая представляет собой интервал времени между сменой состояний входного и выходного сигналов.

Для графиков, представленных на рисунке 6.13, задержка сигнала определена как среднее арифметическое задержек положительного и отрицательного фронтов по уровню 0,5 логического перепада:

$$t_{\text{задержки}} = (t^{01} + t^{10})/2.$$

Параметром, определяющим качество элемента, является энерго-динамический параметр — произведение мощности на задержку элемента $P t_{\text{задержки}}$. При синтезе элементов необходимо стремиться к его минимизации.

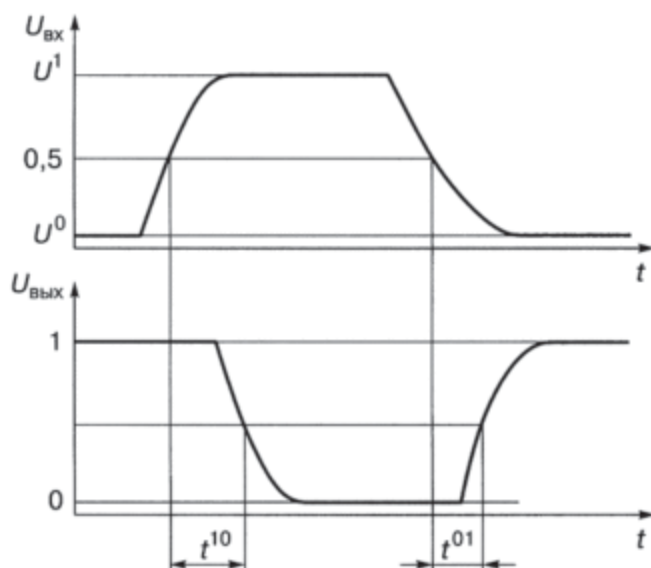


Рис. 6.13. Переходные характеристики $U_{\text{вх}}(t)$ и $U_{\text{вых}}(t)$

6.4. Алгоритм создания переходного элемента



Рис. 6.14. Алгоритм синтеза переходного элемента

Алгоритм создания переходного элемента состоит из нескольких этапов (рис. 6.14):

- 1) синтез математической модели и схемы;
- 2) анализ технических параметров элемента (математическое моделирование схемы);
- 3) если логика выполняется и схема работоспособна, то переходим на следующий этап (4), если нет, то начинаем новый синтез (1);
- 4) техническое проектирование (синтез интегральной структуры и топологии, в случае необходимости и технологии).

Задачами разработки топологии и интегральной структуры элемента являются:

- размещение компонентов друг относительно друга;
- трассировка соединений.

6.5. Пример проектирования интегральной схемы

Техническое задание. Требуется спроектировать интегральную схему (ИС) биполярного инвертора.

Исходные данные. Принципиальная схема биполярного инвертора (рис. 6.15), топологии с размерами транзистора (рис. 6.16) и резистора (рис. 6.17).

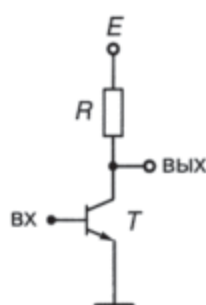


Рис. 6.15. Принципиальная схема биполярного инвертора

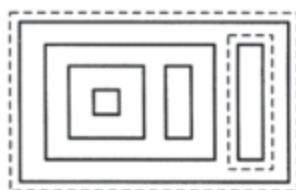


Рис. 6.16. Топология транзистора



Рис. 6.17. Топология резистора

Проектирование топологии и структуры. На основе заданных топологий транзистора и резистора, а также принципиальной схемы проектируется топология и структура ИС элемента.

Проектирование топологии осуществляется в два этапа:

- размещение компонентов ИС;
- трассировка соединений (рис. 6.18).

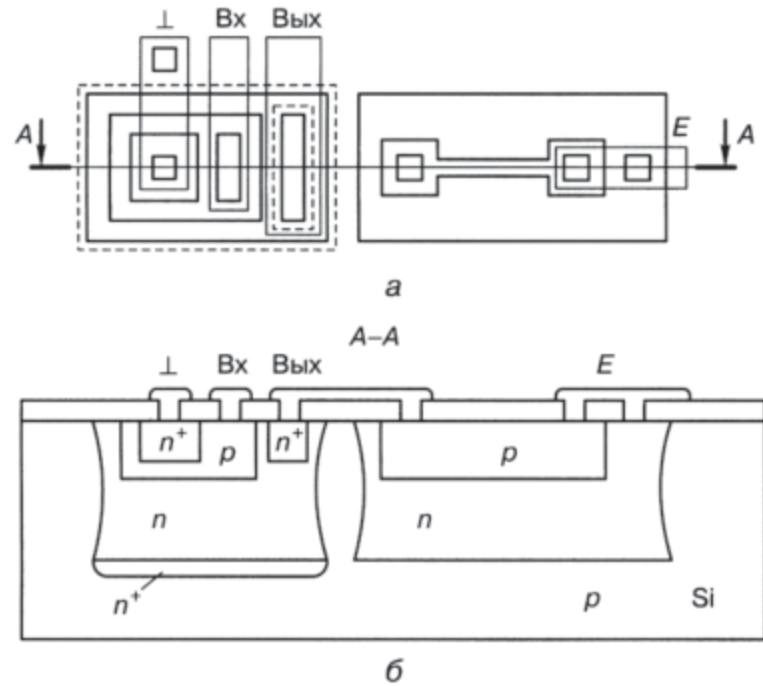


Рис. 6.18. ИС биполярного инвертора: а) топология, б) структура

На основании разработанной топологии и технологического процесса создаются послойные чертежи масок (рис. 6.19).

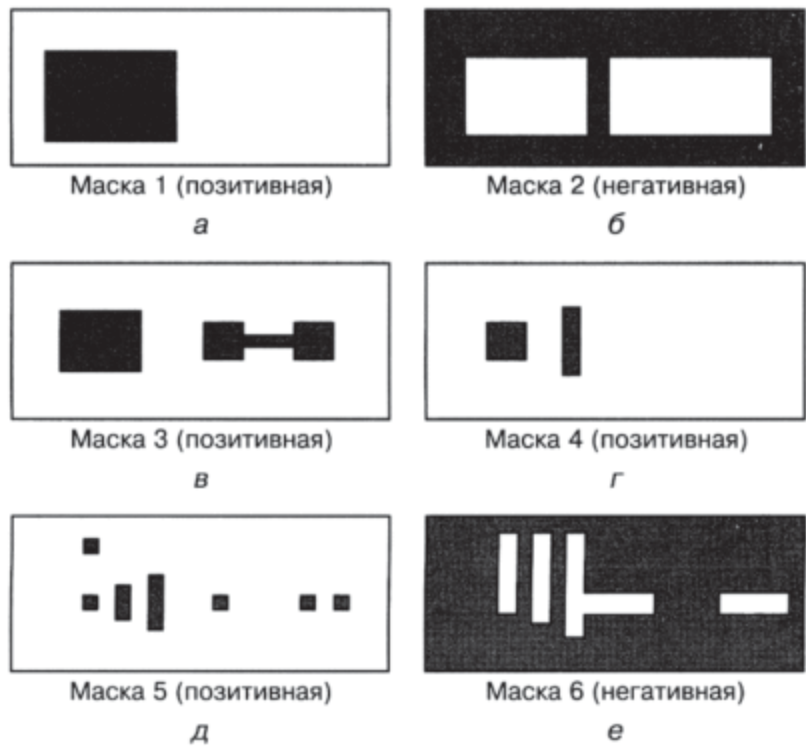


Рис. 6.19. Послойные чертежи масок ИС биполярного инвертора: а) для низкоомной n^+ -диффузии под транзистором, б) для изолирующей p -диффузии, в) для базовой p -диффузии, г) для эмиттерной n^+ -диффузии, д) для контактных окон в оксиде, е) для металлизации

6.6. Схемотехника интегральных инжекционных схем (I^2L) — частный случай переходной схемотехники ($N = 4$)

6.6.1. Инжекционный инвертор. Алгоритм синтеза

Биполярный инвертор с резистивной нагрузкой в цепи коллектора универсален, так как, реализуя логическую инверсию, он является основой для построения многих функционально полных биполярных базисов транзисторной схемотехники. Но у него есть существенные недостатки с точки зрения его реализации в нанотехнологии.

Биполярный инвертор является вентилем транзисторной схемотехники, где минимальными элементами (компонентами), на которые его можно разделить при синтезе, являются транзистор и резистор. При этом в интегральной переходной схемотехнике транзистор и резистор являются схемами (структурами), состоящими из более мелких частей — переходов между различными материалами.

В 1961 году в целях оптимизации структуры инвертора по количеству материальных областей был применен достаточно интересный алгоритм преобразования его схемы.

Рассмотрим этот алгоритм на примере последовательного соединения биполярных инверторов с резистивной нагрузкой в коллекторных цепях (рис. 6.20). Задержка в схеме значительная из-за постоянной времени, пропорциональной произведению CR_1 . Основной принцип в создании нового инвертора заключается в переподчинении компонентов. Очевидно, что в схеме, состоящей из двух старых инверторов (T_1, R_1) и (T_2, R_2) существует новый инвертор (R_1, T_2).

Это инвертор с открытым коллектором (нет нагрузки в выходной цепи) и с резистивной нагрузкой в базовой цепи транзистора $n-p-n$ -типа.

Чтобы уменьшить площадь и задержку вентиля, можно избавиться от резистора. В данном случае этой цели можно достичь, если внимательно рассмотреть режимы работы резистора R_1 .

Режим 1. Если на вход 1 подать высокое напряжение (логическую единицу), транзистор T_1 будет насыщен (на его выходе будет логический ноль), T_2 — закрыт, а ток от цепи питания потечет через резистор R_1 в насыщенный транзистор T_1 :

$$I_{R_1}^0 = \frac{E - U_{\text{кэн}}}{R_1}.$$

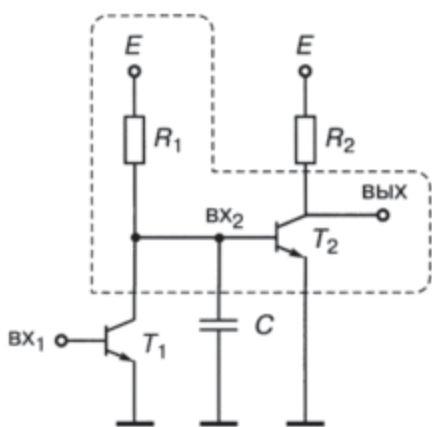


Рис. 6.20. Последовательное соединение биполярных инверторов с резистивной нагрузкой в коллекторных цепях

Режим 2. Если на вход 1 подать низкий уровень напряжения (логический ноль), транзистор T_1 закроется, ток от источника питания потечет через резистор R_1 в базу насыщенного транзистора T_2 :

$$I_{R_1}^1 = \frac{E - U_{\text{бэи}}}{R_1}.$$

В обоих режимах токи от источника питания приблизительно равны (во всяком случае, через резистор R_1 всегда течет ток), и поэтому резистор R_1 в новом инверторе (R_1, T_2) можно заменить источником тока (рис. 6.21). В интегральной схемотехнике в качестве источника тока используют транзистор p – n – p -типа (рис. 6.22).

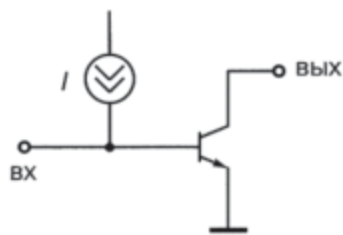


Рис. 6.21. Принципиальная схема инвертора (R_1, T_2) в транзисторной схемотехнике (режим 1)

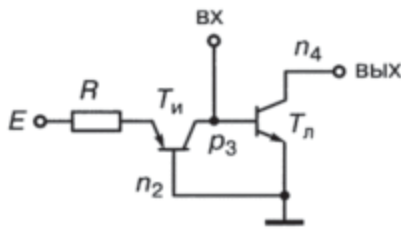


Рис. 6.22. Принципиальная схема инвертора (R_1, T_2) в транзисторной схемотехнике (режим 2)

В новой принципиальной схеме нет компонента резистора, есть два транзистора:

- $T_{\text{И}}$ — инжектирующий транзистор p – n – p -типа, заменивший источник тока (сопротивление R в схеме — внутреннее сопротивление источника тока, то есть интегральное сопротивление тела эмиттера транзистора p – n – p -типа $T_{\text{И}}$ к логическому элементу не относится и может быть вынесено за его пределы);
- $T_{\text{Л}}$ — логический транзистор, оставшийся от старого инвертора (T_2).

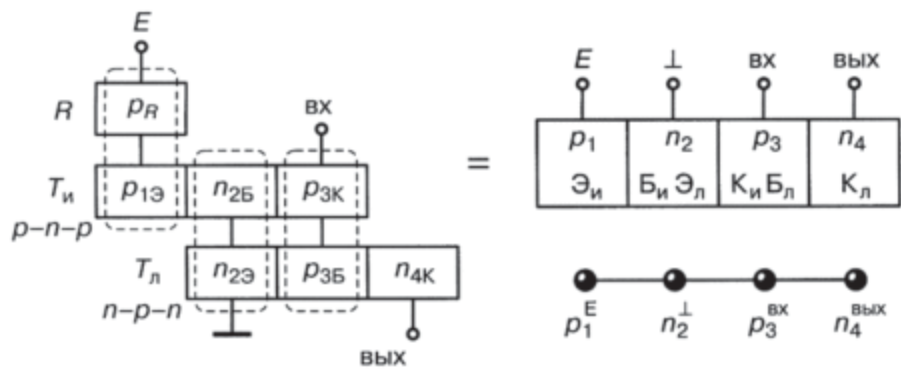


Рис. 6.23. Синтез общей модели ИИ

Примечание. Стоит отметить, что схемы с открытым коллектором (рис. 107) работоспособны только при наличии нагрузки на выходе. В качестве нагрузки может выступать аналогичная схема, а в последнем ИИ в длинной последовательной цепочке в качестве нагрузки можно использовать резистор или МОП-транзистор.

На следующем этапе на основе полученной принципиальной схемы синтезируем общую модель интегральной структуры (рис. 6.23).

Представим компоненты принципиальной схемы в транзисторной схемотехнике (рис. 6.22) в виде моделей их интегральных структур и применим принцип функциональной интеграции.

6.6.2. Принцип функциональной интеграции

Принцип функциональной интеграции заключается в следующем: если области одного типа разных компонентов имеют одинаковый потенциал (функцию), то их можно объединить в одну область.

Применив этот принцип к полученной схеме, можно объединить:

- внутреннее сопротивление источника тока p_R с эмиттерной областью инжектирующего транзистора $p_{1э}$;
- базу инжектирующего транзистора $n_{2б}$ — с эмиттером логического транзистора $n_{2э}$;
- коллектор инжектирующего транзистора $p_{3к}$ — с базой логического транзистора $p_{3б}$.

В результате трехкратного применения принципа функциональной интеграции мы получаем модель интегрального ИИ, содержащего меньшее количество полупроводниковых областей (всего четыре); по сути, мы получаем новый элемент инжекционной схемотехники.

Таблица 6.5

Древовидная модель ($N = 3$) для реализации биполярного транзистора, схемы И и ИЛИ на два входа

Схема/элемент	Транзисторная схемотехника	Переходная схемотехника
Биполярный транзистор		

Продолжение

Схема/элемент	Транзисторная схемотехника	Переходная схемотехника
Схема И (конъюнктор)		
Схема ИЛИ (дизъюнктор)		

Применяя принцип функциональной интеграции к элементам транзисторной схемотехники, получаем интересный результат: в переходной схемотехнике биполярный транзистор, схемы И и ИЛИ на два входа реализуются на структурах, имеющих одинаковую модель (табл. 6.5). Иначе говоря, на одинаковых структурах с различным функциональным управлением и назначением можно реализовать многие простейшие устройства.

6.7. Правила генерации структурных формул интегральных структур по математической модели ФИЭ

На основании технологических ограничений, анализа патентов и изобретений в области полупроводниковой микро- и нанoeлектроники были сформулированы [85] основные правила преобразования графовых моделей в структурные формулы функционально-интегрированных элементов (ФИЭ), отражающие переход от абстрактной математической модели к реальной физической реализации интегральной структуры. Генерация интегральных структур ФИЭ выполняется с учетом следующих правил.

Правило 1. Для ФИЭ, математическая модель которых представлена графом, интегральная структура и технология ее изготовления опре-

деляются выбором корня дерева x^* , соответствующего подложке интегрального элемента, заданием свойств вершин (материалов), свойств и направлений ребер (внутренний или поверхностный переход).

Правило 2. Если математическая модель ФИЭ является деревом с корнем x^* , множеством маршрутов от корня M_{x^*} и максимальной длиной маршрутов (определяемой максимальным числом дуг), не превышающей трех, то для реализации интегральной структуры ФИЭ достаточно простейшей ЭПТ, по которой элемент выполняется внутри полупроводниковой пластины.

Определение 1. Дуга a_k структурной формулы называется простой, если в интегральной структуре ей соответствует переход, сформированный с помощью операции диффузии внутри полупроводниковой пластины. Для структурных формул, содержащих только простые дуги, количество операций диффузии определяется максимальной длиной пути от корня.

Определение 2. Дуга a_m называется особой дугой, если в интегральной структуре элемента ей соответствует переход, образованный без помощи операции диффузии. Переходы, соответствующие особым дугам, расположены вне основной полупроводниковой пластины, в том числе на ее поверхности.

Определение 3. Вершина x_n называется внешней, если она инцидентна особой дуге. Внешней вершине соответствует область, образованная на поверхности другой области.

Правило 3. Если ФИЭ с математической моделью есть дерево с корнем x^* , множеством маршрутов от корня M_{x^*} и максимальной длиной маршрутов, превышающей три, то его интегральная структура может быть реализована с помощью технологических операций, формирующих переходы на поверхности полупроводниковой пластины, например эпитаксиального выращивания.

Структурные формулы таких интегральных структур содержат особые дуги и внешние вершины.

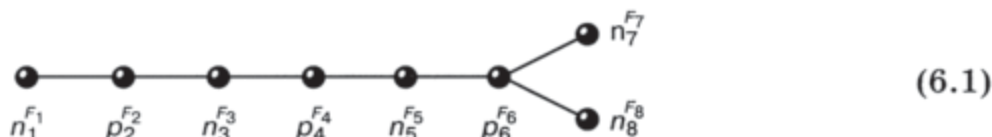
Правило 4. Если структурная формула содержит внешние вершины и особые дуги, то при восстановлении по структурной формуле интегральной структуры (для того чтобы различные области одного типа проводимости не объединялись в одну область, а области различного типа проводимости не образовывали лишние переходы) там, где это необходимо, должна быть введена диэлектрическая изоляция (как вертикальная, так и горизонтальная).

Правило 5. Для элемента, математическая модель которого содержит контуры, интегральная структура может быть реализована, когда в случае выполнения правил 1, 2, 3 и 4 каждый контур будет содержать хотя бы одну внешнюю вершину.

6.7.1. Пример. Генерация структур для моделей размерностью $N = 8$

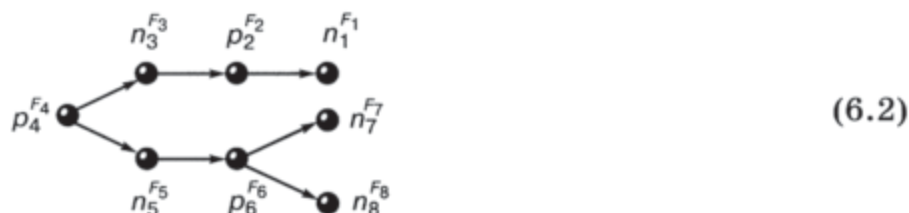
Генерацию структуры элемента, математическая модель которого имеет длину, превышающую три, можно продемонстрировать на следующем примере.

Пусть математическая модель комплементарного биполярного элемента имеет вид (6.1).



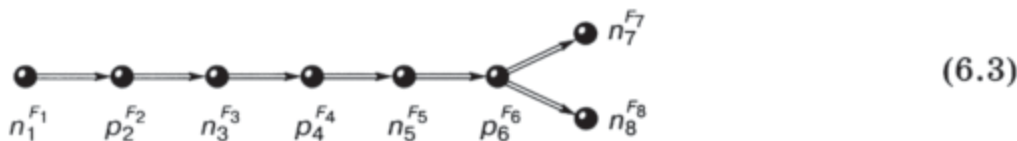
В работе [85] показано, что математическая модель комплементарного элемента может быть реализована в ЭПТ, если максимальная длина дерева не превышает шести. Поэтому у данной модели только одна реализация — в простейшей эпитаксиально-планарной технологии.

Если подложкой (областью, содержащей весь элемент) считать область $p_4^{F_4}$, структурная формула такого элемента (модель интегральной структуры) будет иметь вид (6.2). Подложке элемента соответствует корень дерева, от него во все стороны «распространяется волна».



Структурная формула (6.2) с корнем $p_4^{F_4}$ читается следующим образом: область $p_4^{F_4}$ содержит области $n_3^{F_3}$ и $n_5^{F_5}$. В свою очередь, область $n_3^{F_3}$ содержит область $p_2^{F_2}$, в которой расположена область $n_1^{F_1}$, а в области $n_5^{F_5}$ содержится область $p_6^{F_6}$, в которой расположены области $n_7^{F_7}$ и $n_8^{F_8}$. Все переходы в таком элементе являются диффузионными.

Если критерием является максимальная плотность компоновки, корнем дерева выбирается вершина в его основании (6.3).



Представленная структурная формула соответствует комплементарному биполярному элементу с вертикальной интеграцией. Здесь особые

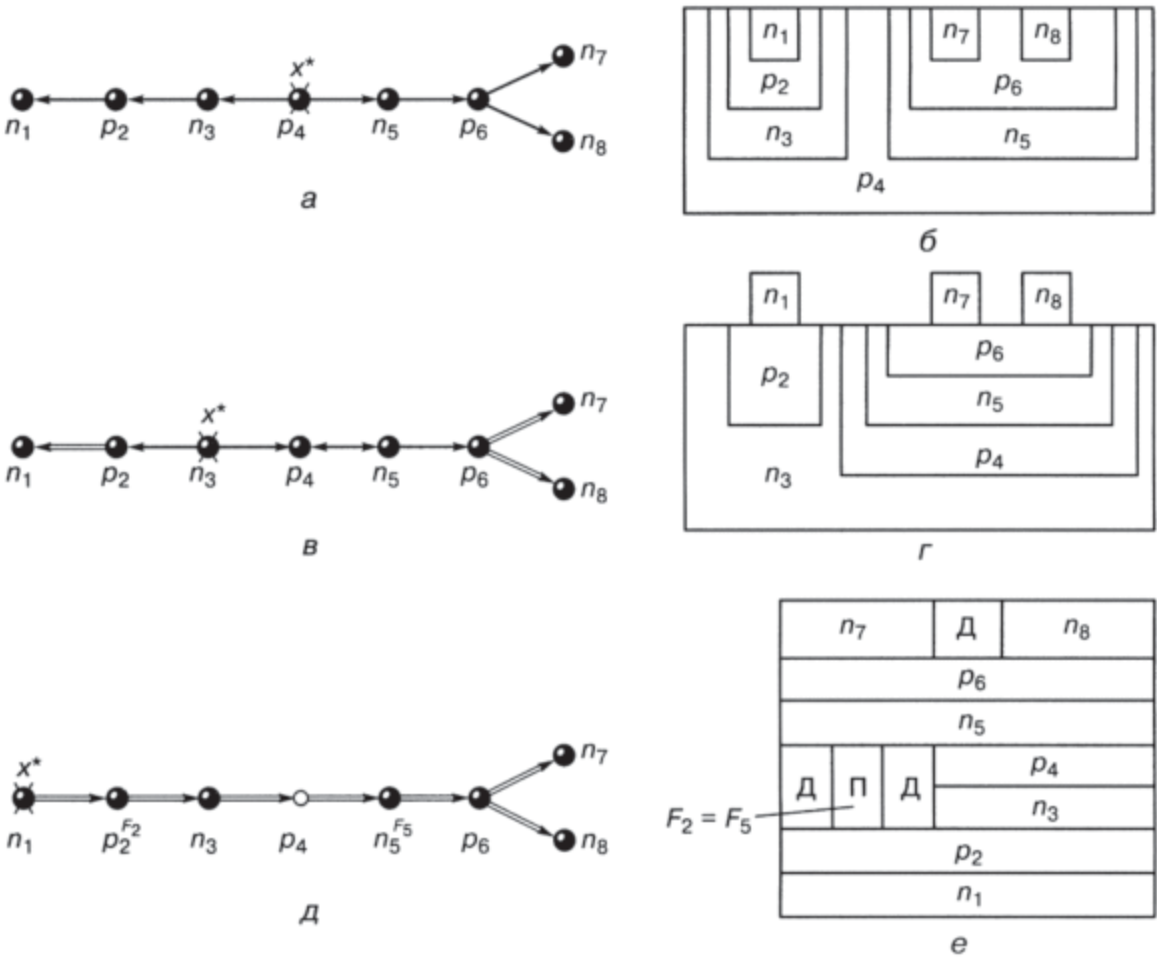


Рис. 6.24. Процедура генерации структурных формул интегральных структур по математической модели элемента переходной схемотехники: а) структурная формула элемента И–НЕ, б) структура элемента, выполненного по ЭПТ, в) структурная формула И–НЕ, г) структура элемента с локальными эпитаксиальными областями, д) структурная формула И–НЕ, е) структура элемента с многослойной (трехмерной) конструкцией

дуги расшифровываются так: «имеют непосредственный контакт». Такой элемент формируется с помощью технологических операций, создающих многослойные полупроводниковые области с различным типом проводимости.

Процедура генерации структурных формул полупроводниковых структур и соответствующие им структуры изображены на рисунке 6.24. Алгоритм генерации структурной формулы интегральной структуры по математической модели (с одним источником распространения волны) на ЭВМ строится следующим образом.

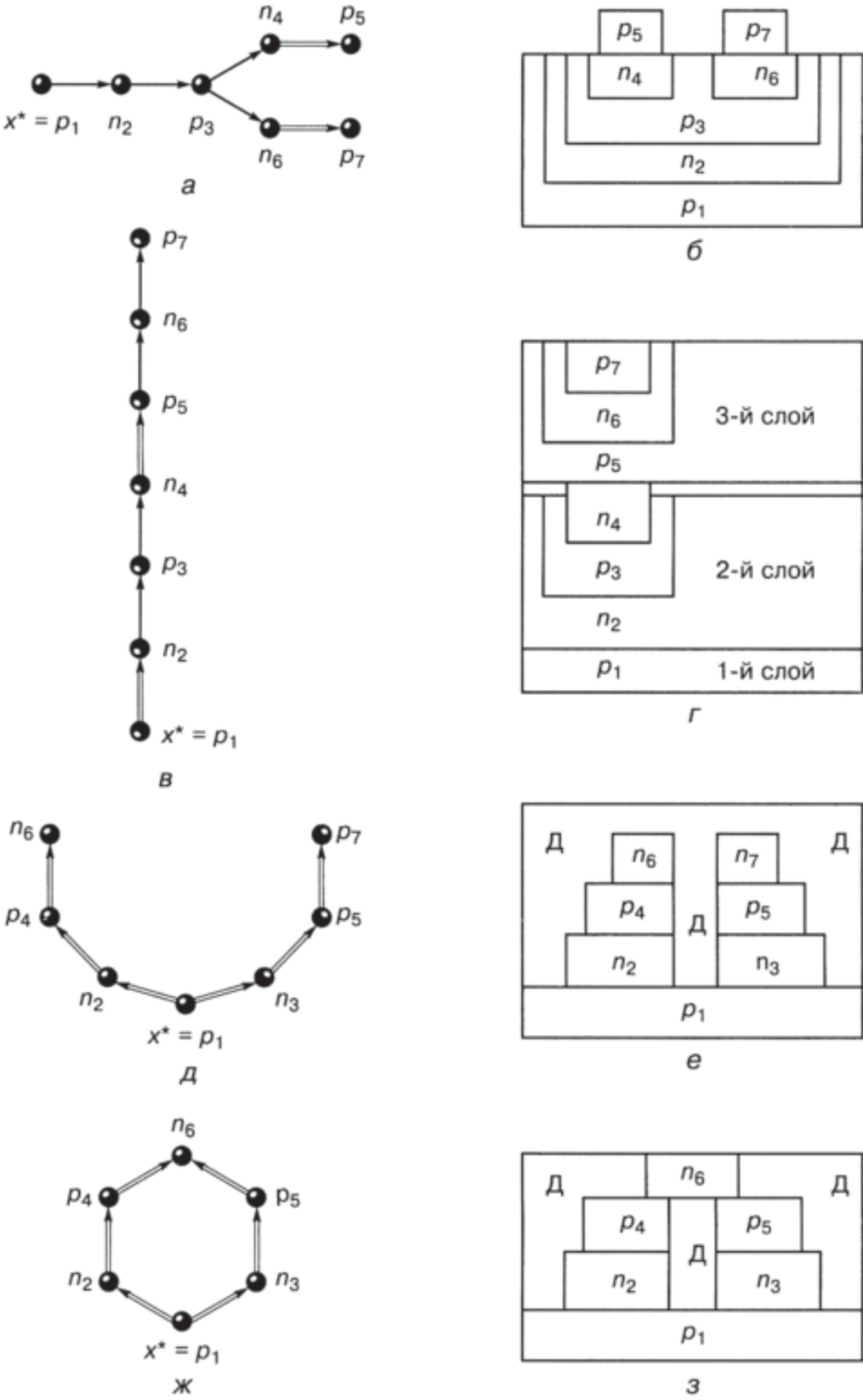


Рис. 6.25. Структурные формулы элементов p - n -схемотехники и соответствующие им интегральные структуры

1) Выбор (назначение) подложки (корня x^*). Для упрощения дальнейшего проектирования это, как правило, вершины с общими потенциалами:

- T_i^E — вершина, соответствующая полупроводниковой области, на которую подается напряжение питания E ;
- T_i^\perp — вершина, соответствующая полупроводниковой области, на которую подается нулевой потенциал ("земля", в дальнейшем нулевой потенциал будет обозначен либо F_0 , либо \perp).

Для реализации на проектируемых структурах дополнительных логических функций (И, ИЛИ) в качестве корня выбирается одна из двух вершин:

- $T_i^{F_{вх}}$ — вершина, соответствующая полупроводниковой области, на которую подается входной сигнал;
- $T_i^{F_{вых}}$ — вершина, соответствующая полупроводниковой области, с которой снимается выходной сигнал.

2) Распространение волны от заданного корня [преобразование неориентированного графа $G(X, A, \Gamma)$ в ориентированный $\bar{G}(X, A, \Gamma)$].

3) Назначение особых дуг (вывод полупроводниковых областей, соответствующих стокам особых дуг в следующий полупроводниковый слой).

4) Анализ на ЭВМ интегральной структуры, соответствующей полученной структурной формуле, с учетом параметров транзисторных структур различного типа.

Применение правил особых дуг и внешних вершин позволяет увеличить плотность компоновки элементов. Так, плотности компоновки структур (6.2) и (6.3) отличаются: у структуры с формулой (6.3) она больше. Примеры структурных формул ФИЭ и соответствующие им интегральные структуры представлены на рисунке 6.25.

Общий алгоритм генерации структурных формул основан на применении четвертичной системы счисления. Поставим в соответствие цифрам этой системы следующие переходы:

$$a_k = \begin{cases} 1, & \text{если } x_i \rightarrow x_j; \\ 2, & \text{если } x_i \leftarrow x_j; \\ 3, & \text{если } x_i \Rightarrow x_j; \\ 4, & \text{если } x_i \Leftarrow x_j. \end{cases}$$

Первому переходу соответствует диффузионный переход, причем область x_i содержит область x_j . Второму переходу также соответствует диффузионный переход, но здесь область x_j содержит область x_i . Третьему и четвертому переходам соответствуют переходы между различными полупроводниковыми слоями, для третьего перехода область x_j расположена над областью x_i , для четвертого — область x_i над областью x_j .

6.8. Реализации переходных схем на базе инжекционного инвертора

6.8.1. Инжекционный инвертор с торцевым инжектором (схема НЕ)

Транзисторная схема инжекционного инвертора (ИИ) состоит из двух транзисторов: логического транзистора $n-p-n$ -типа ($T_{\text{л}}$) (название следует из того, что он выполняет функцию инверсии) и инжектирующего транзистора $p-n-p$ -типа ($T_{\text{и}}$), осуществляющего «питающую» функцию источника тока (рис. 6.26, 6.27).



Рис. 6.26. Обозначения ИИ в функциональных схемах

Рис. 6.27. Эквивалентная транзисторная схема ИИ

Топология ИИ с торцевым инжектором очень проста и занимает значительно меньшую площадь на кристалле, чем обычный биполярный инвертор (рис. 6.28).

С точки зрения структуры или переходной схемотехники, ИИ с торцевым инжектором (рис. 6.28, а) представляет собой область p -типа, на которую подается входной сигнал, содержащая несколько областей n -типа, с которых снимается выходной сигнал.

Коллекторов логического транзистора $n-p-n$ -типа (выходных областей) столько, сколько подобных нагрузочных вентилях необходимо подключить к выходу ИИ (рис. 6.29, 6.30).

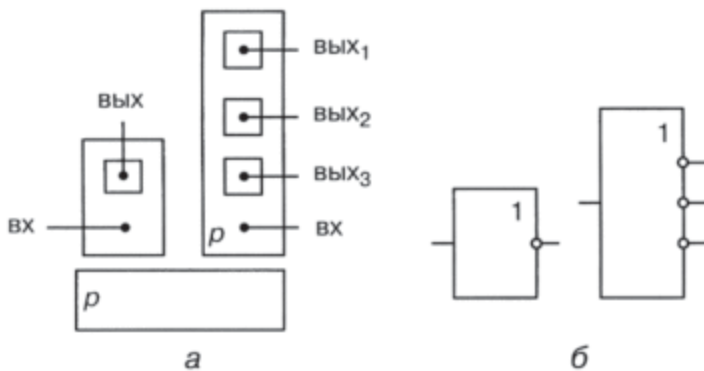


Рис. 6.28. ИИ с торцевым инжектором: а) топологии, б) обозначения на схемах

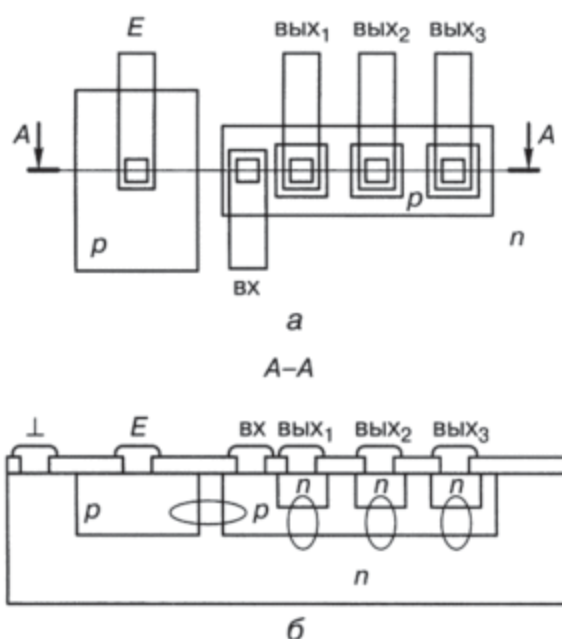


Рис. 6.29. Топология и структура ИИ с торцевым инжектором с тремя выходами, а) топология, б) интегральная структура

Обычно их количество не должно превышать шести. Питание обеспечивает инжектор p -типа (эмиттер инжектирующего транзистора), который является общим для нескольких инвертирующих транзисторов.

В ИИ с торцевым инжектором инжектирующий транзистор является горизонтальным (рис. 6.29), а логические транзисторы — вертикальными с инверсной структурой [эмиттерная область содержит базовую, в которой размещен(ы) коллектор(ы)].

Недостаток ИИ с торцевым инжектором заключается в том, что при увеличении количества выходов инвертора более удаленный от контакта нулевого потенциала логический транзистор n - p - n -типа работает в худших условиях (рис. 6.31).

Потенциал в области эмиттера под его базой все больше отличается от нуля, и при подаче на базу (вход) логической единицы соответствующий транзистор может просто не открыться, что приведет к нарушению работоспособности элемента — он не будет выполнять свою логическую функцию.

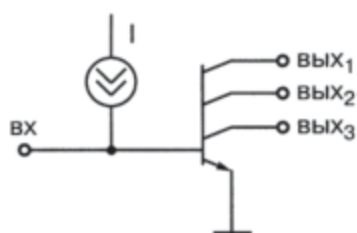


Рис. 6.30. Эквивалентная транзисторная схема ИИ с тремя коллекторами

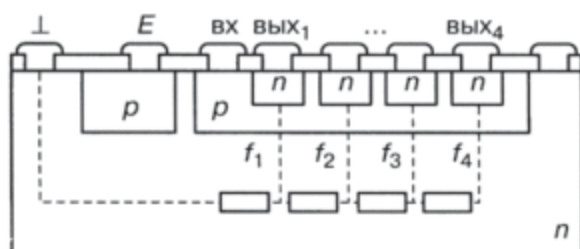


Рис. 6.31. Распределение потенциалов в эмиттерной области логического ИИ с торцевым инжектором

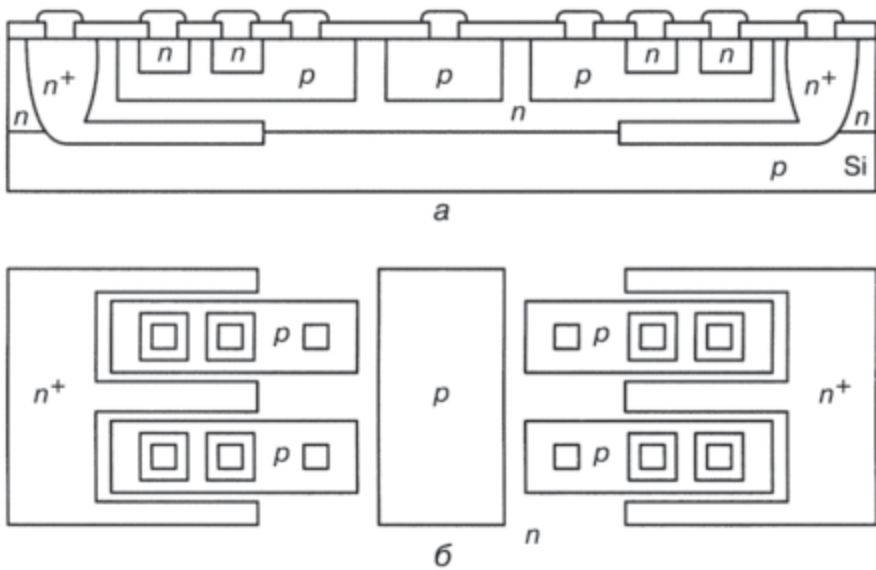


Рис. 6.32. Структура (а) и окончательная топология (б) и группы ИИ с торцевым инжектором

Чтобы устранить этот недостаток, потребуется дополнительная n^+ -область с низким сопротивлением. Это позволит обеспечить потенциал, равный 0 В вокруг и под каждой выходной областью ИИ (рис. 6.32).

6.8.2. НСТЛ: непосредственно связанная транзисторная логика (схема НЕ–Монтажное И)

В классической схемотехнике НСТЛ — вентиль, реализующий логическую функцию ИЛИ–НЕ, который получается в результате объединения по выходам нескольких обычных биполярных инверторов с коллекторной нагрузкой (рис. 6.33, а). Количество объединяемых инверторов определяет количество входов вентиля НСТЛ (рис. 6.33, б). В транзисторной схемотехнике биполярная схема НСТЛ представляет

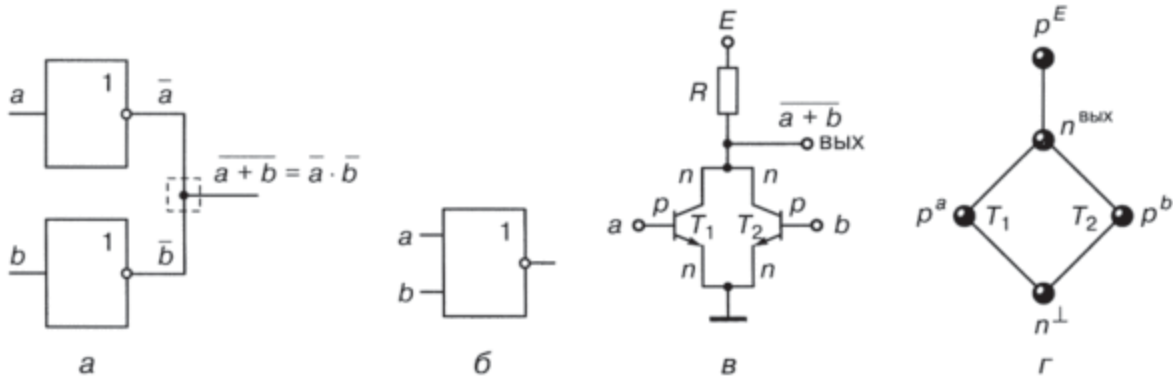


Рис. 6.33. Вентиль НСТЛ: а) синтез, б) обозначение в функциональных схемах, в) транзисторная схема, г) модель в переходной (структурной) схемотехнике

собой параллельное соединение биполярных транзисторов с резистивной нагрузкой в общей коллекторной цепи (рис. 6.33, в).

Входные сигналы подаются на базы транзисторов, выходной сигнал снимается с общего коллектора. В переходной схемотехнике, предназначенной для реализации в нанотехнологии, схема НСТЛ представляет собой граф, изображенный на рисунке 6.33, г. О технологической реализации такой схемы будет рассказано далее.

Работа НСТЛ без нагрузки. Рассмотрим работу вентиля НСТЛ на два входа без нагрузки. Работа вентиля НСТЛ описана в таблице 6.6.

Таблица 6.6

Работа вентиля НСТЛ

Вход	Состояние транзисторов	Выход
$U_A = U_B = U^0$	T_1, T_2 — закрыты	$U_{\text{вых}} \sim E (1)$
$U_A = U^0, U_B = U^1$	T_1 — закрыт, T_2 — открыт, должен быть насыщен.	$U_{\text{вых}} = U_{\text{кэн}} = 0,1 \div 0,3 \text{ В} (0)$
$U_A = U^1, U_B = U^0$	T_2 — закрыт, T_1 — открыт, должен быть насыщен.	$U_{\text{вых}} = U_{\text{кэн}} = 0,1 \div 0,3 \text{ В} (0)$
$U_A = U_B = U^1$	T_1, T_2 — открыты, должны быть насыщены.	$U_{\text{вых}} = U_{\text{кэн}} = 0,1 \div 0,3 \text{ В} (0)$

Работа НСТЛ с нагрузкой. Рассмотрим более подробно работу НСТЛ при подключении к ее выходу n нагрузочных схем (рис. 6.34).

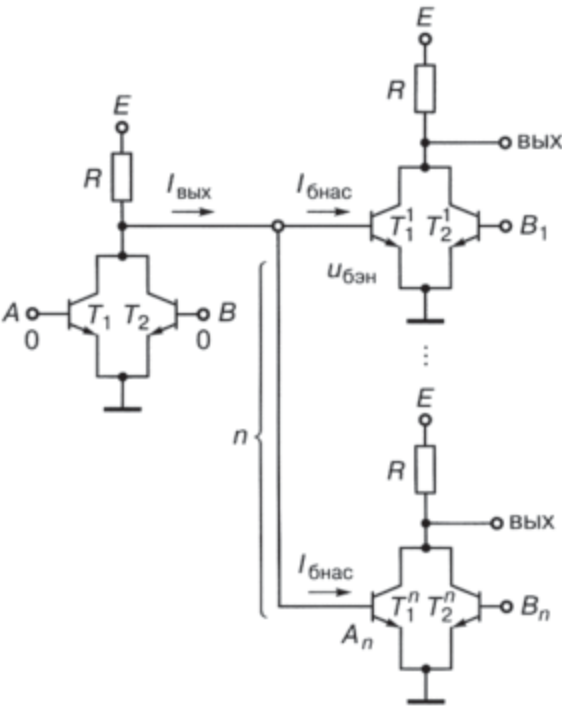


Рис. 6.34. НСТЛ с нагрузочными схемами

Подадим на оба входа A и B низкие уровни напряжения, соответствующие логическому нулю: $U_A = U^0$, $U_B = U^0$. Напряжения на переходах база–эмиттер транзисторов T_1 и T_2 равно нулю, оба транзистора закрыты. Ток от источника питания через резистор R течет в нагрузку. Этот ток поступает в базы нагрузочных транзисторов T_1^1, \dots, T_1^n и открывает эти транзисторы. При этом на выходе исследуемой схемы устанавливается высокий уровень напряжения (логическая единица):

$$U^1 = E - n I_{\text{бнас}} R = u_{\text{бэн}}.$$

Если хотя бы на один из входов исследуемой схемы подать высокий уровень напряжения, соответствующий транзистор будет открыт и насыщен, ток от источника питания потечет через открывшийся транзистор (ток коллектора насыщения), на выходе схемы установится низкий уровень напряжения (напряжение коллектор–эмиттер насыщения):

$$U^0 = u_{\text{кэн}} = u_{\text{к0}} + R_{\text{к}} I_{\text{кнас}}.$$

Достоинство НСТЛ: так как эта логика реализует логическую функцию ИЛИ–НЕ, то является функционально полным вентилем, то есть на нем можно реализовывать сколь угодно сложные логические схемы.

Недостатки НСТЛ:

- невысокий уровень логической единицы при наличии нагрузки и, как следствие, низкий запас помехоустойчивости по отрицательной помехе;
- избыточность изолирующих переходов транзисторов и резистора;
- если не применять принцип функциональной интеграции, схема имеет большую площадь, что приводит к увеличению задержки;
- с увеличением количества входов вентиля увеличивается его задержка из-за влияния параллельного соединения паразитных емкостей переходов база–коллектор транзисторов (сложение емкостей).

Задание. Попробуйте изобразить структуру НСТЛ с общим коллектором и с общим эмиттером, а также с m -базами.

6.8.3. Инжекционный вентиль НСТЛ

Чтобы провести схемотехническую оптимизацию вентиля НСТЛ, для объединения по выходам можно взять не обычные биполярные инверторы с резистивной нагрузкой в коллекторе, а инжекционные инверторы (рис. 6.35).

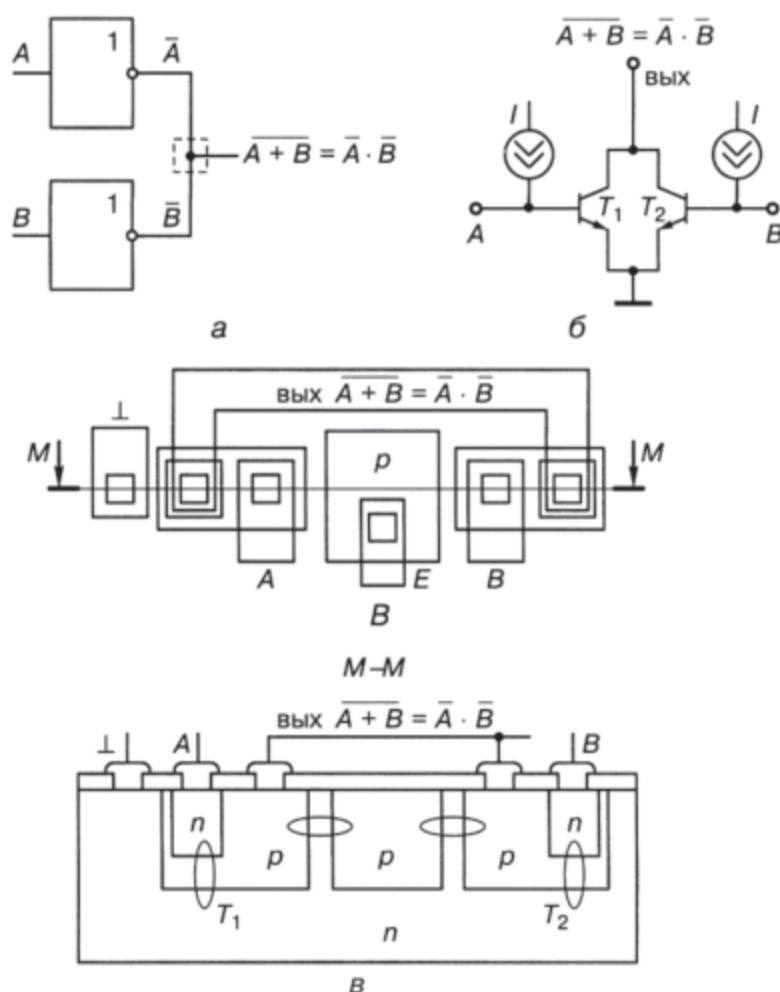


Рис. 6.35. Инжекционная схема НСТЛ: а) транзисторная схема, б) топология, в) интегральная структура

6.9. Схемотехника инжекционных схем

Для того чтобы спроектировать сложный компьютер, нужно иметь функционально полный схемотехнический базис. Вентили И–НЕ и ИЛИ–НЕ являются функционально полными. Обратите внимание: оба они реализуют функцию инверсии. Поэтому при создании любого нового схемотехнического базиса нужно начинать с синтеза инвертора, потом искать, как схемотехнически реализуется дизъюнкция и конъюнкция, и на основе полученных решений синтезировать функционально полные вентили ИЛИ–НЕ и И–НЕ, а уж потом на основании алгоритмов проектирования создавать сложные логические схемы.

Второй подход заключается в поиске альтернативных методов реализации дизъюнкции и конъюнкции при наличии инвертора. В схемотехнике И²Л как раз используется второй подход.

Рассмотрим основные вентили инжекционной схемотехники: инвертор, вентили ИЛИ–НЕ и И–НЕ и др.

6.9.1. Инжекционный инвертор

В инжекционных инверторах (рис. 6.36, 6.37) каждый логический транзистор питается от индивидуального источника тока в цепи его базы, а проблема равномерного распределения выходного сигнала между параллельно включенными нагрузками решается с помощью многоколлекторного транзистора, причем каждый коллектор в ИИ рассматривается как независимый источник выходного сигнала.

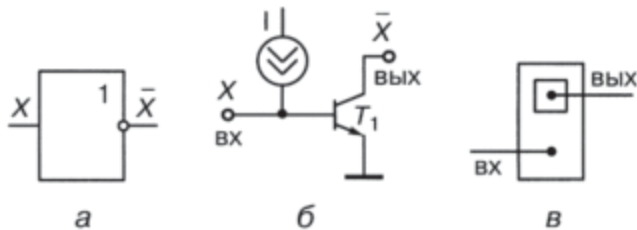


Рис. 6.36. ИИ с торцевым инжектором с одним выходом: а) обозначение, б) транзисторная схема, в) топология

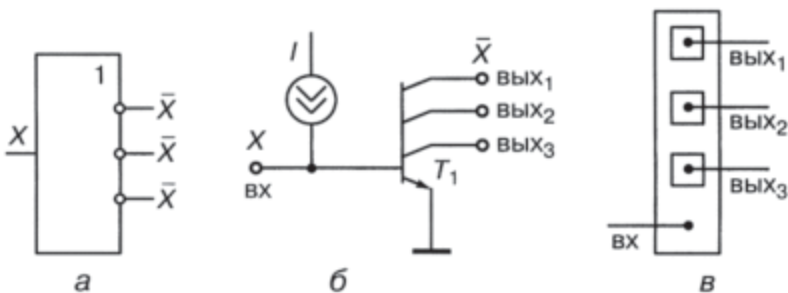


Рис. 6.37. ИИ с торцевым инжектором с тремя выходами: а) обозначение, б) транзисторная схема, в) топология

Наличие нескольких коллекторов позволяет получать развязанные логические выходы для одной ключевой схемы, что значительно облегчает построение сложных логических схем.

6.9.2. Реализация дизъюнкции. Инжекционная схема ИЛИ–НЕ/ИЛИ

Из схемы, представленной на рисунке 6.38, возникает понимание реализации логических функций на соединениях, в частности монтажной функции И (M_{II}).

С выхода каждого инвертора снимается инверсный входной сигнал, а при объединении выходов получается произведение этих инверсных входных сигналов. Так что именно на объединяющем выходы соедине-

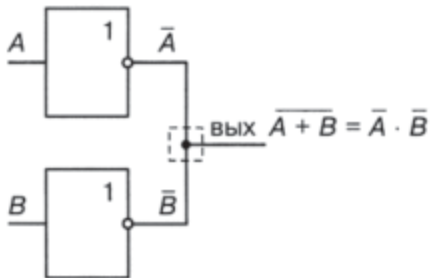


Рис. 6.38. Реализация функции Монтажное И

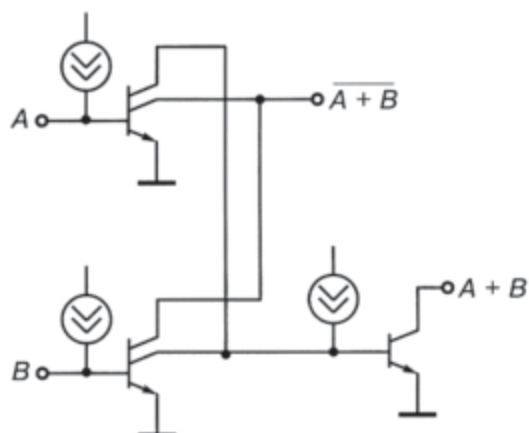


Рис. 6.39. Транзисторная схема И²Л вентиля ИЛИ-НЕ/ИЛИ

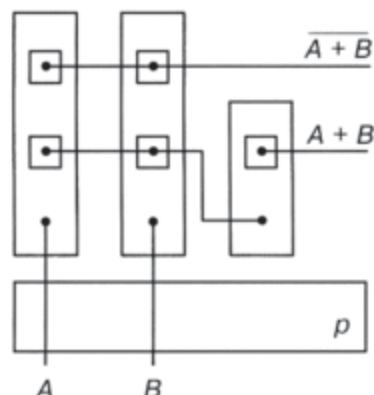


Рис. 6.40. Топология И²Л вентиля ИЛИ-НЕ/ИЛИ

нии реализуется дополнительная логическая функция, которая называется Монтажное И (M_{II}).

По сути, мы рассмотрели принцип создания функционально полного вентиля НСТЛ, реализующего функцию ИЛИ-НЕ. Используя тот прием, можно синтезировать инжекционную схему, реализующую функцию ИЛИ-НЕ/ИЛИ (рис. 6.39, 6.40).

Объединение выходов ИИ дает инверсию суммы входных сигналов, а если воспользоваться вторыми коллекторами и еще раз пропустить эту функцию через инвертор, то получится просто логическое сложение (дизъюнкция). Следовательно, для реализации сложения в инжекционном базисе требуется три ИИ.

6.9.3. Схемная реализация конъюнкции.

Инжекционная схема И-НЕ/И

В базисе И²Л конъюнкцию аргументов на соединениях можно получить только в том случае, когда аргументы снимаются с выходов ИИ (рис. 6.41) или с коллекторов логических транзисторов ИИ. Таким образом, для схемной реализации конъюнкции двух аргументов потребуется четыре ИИ.

Используя этот прием, можно синтезировать инжекционную схему, реализующую функцию И-НЕ/И (рис. 6.42, 6.43).

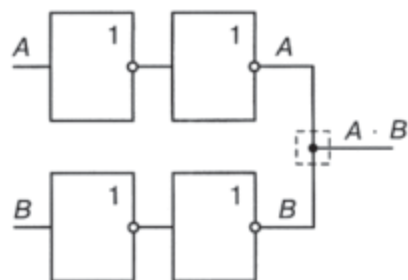


Рис. 6.41. Реализация конъюнкции

Функционально полный инжекционный вентиль И-НЕ более громоздкий, чем ИЛИ-НЕ, для его реализации требуется пять ИИ. В математической модели структуры, представленной на рисунке 6.44, наблюдается избыточность переходов. Компьютерный синтез моделей функционально полных вентилях показывает, что логичес-

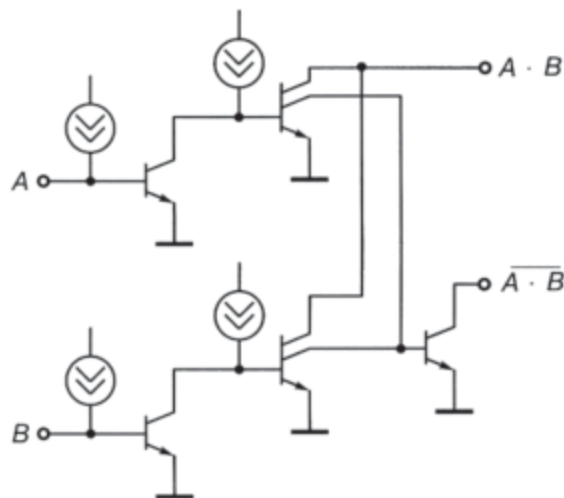


Рис. 6.42. Инъекционная схема И–НЕ/И. Транзисторная схема

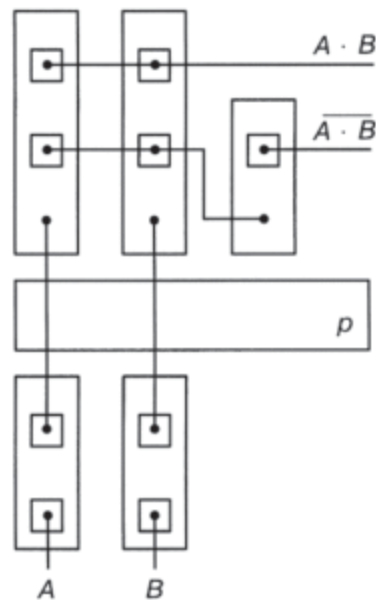


Рис. 6.43. Инъекционная схема И–НЕ/И. Топология

кую функцию И–НЕ с двумя аргументами можно реализовать уже на 8-и полупроводниковых областях.

Отметим *недостатки* вентильного проектирования инъекционных схем. В обоих инъекционных вентилях (И–НЕ, ИЛИ–НЕ) логический транзистор является инверсным, вследствие чего коэффициент усиления транзистора β , пропорциональный S_k/S_y , невелик (он равен 2–5). Поэто-

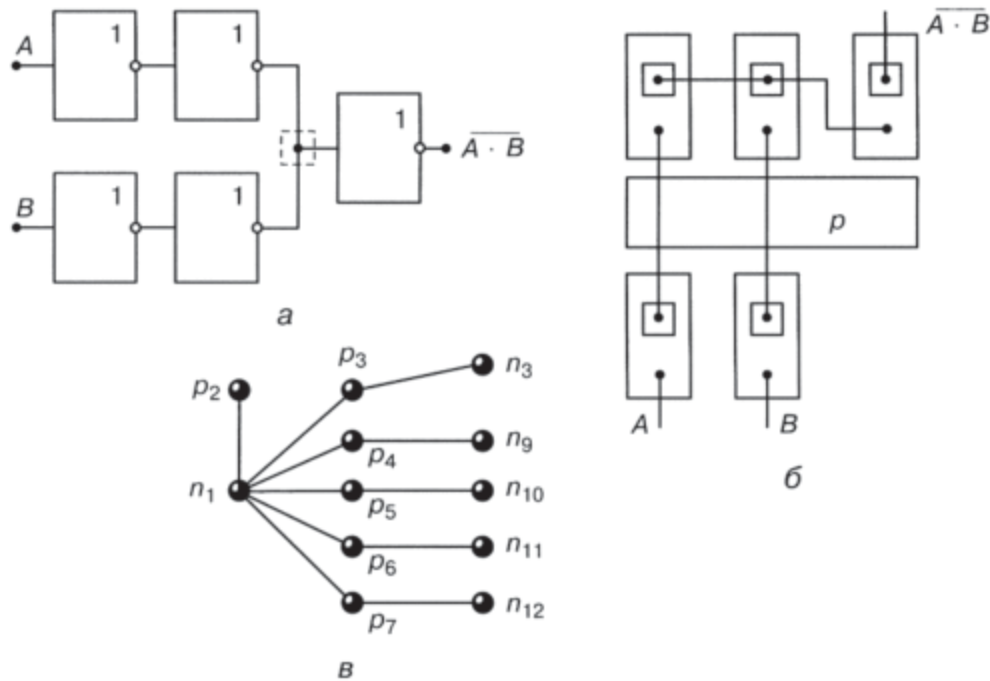


Рис. 6.44. Элемент И–НЕ в базисе И²Л: а) схема, б) топология, в) графовая модель интегральной структуры (N = 12)

му для каждой нагрузки приходится делать свой выход (дополнительный коллектор логического транзистора), что приводит к «раздуванию» площади схемы, увеличению паразитной емкости и, как следствие, к ухудшению ее быстродействия. Следует отметить неоптимальное количество p – n -переходов для реализации функционально полных вентилей в данной реализации.

Ввиду этих особенностей схемотехники И²Л при проектировании сложных схем, как правило, применяются не функционально полные вентили, а лишь дополнительная логическая функция, реализуемая на соединениях. Используемый алгоритм представлен далее.

6.10. Алгоритм проектирования сложных схем в схемотехнике И²Л

Алгоритм проектирования сложных схем в схемотехнике И²Л можно записать так:

$$\text{МКНФ}(\overline{\overline{F}})$$

Эта запись читается:

- взять МКНФ(F) — минимальную конъюнктивную нормальную форму функции F ;
- взять двойное почленное отрицание (над каждой суммой);
- раскрыть внутренние отрицания, используя закон Де Моргана, оставив внешнее отрицание. Иначе говоря, инверсии сумм необходимо превратить в произведение инверсий.

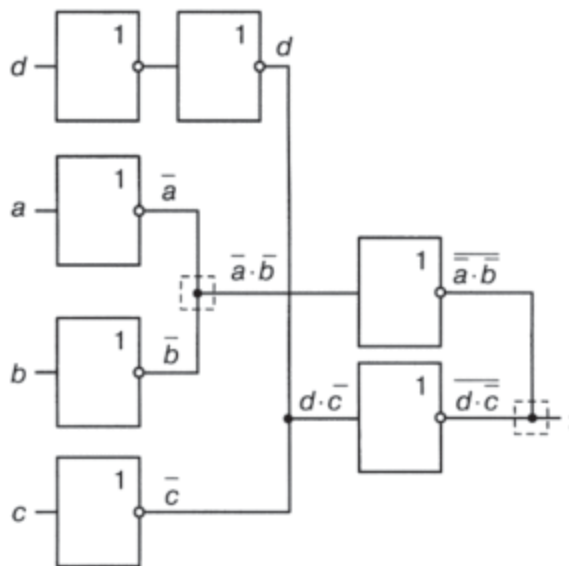


Рис. 6.45. Реализация функции $F = \overline{a}\overline{b} \cdot \overline{d}\overline{c}$ в схемотехническом базисе И²Л

Нужно привести логическое уравнение к виду, где присутствуют только конъюнкции и инверсии.

Рассмотрим использование алгоритма на примере. Спроектируем схему, реализующую функцию

$$F = (a + b)(c + \bar{d})$$

в базисе И²Л.

В соответствии с алгоритмом проектирования преобразуем правую часть равенства:

$$F = (a + b)(c + \bar{d}) = \overline{\overline{a + b}} \overline{\overline{c + \bar{d}}} = \overline{\overline{a} \overline{b}} \overline{\overline{c} \overline{\bar{d}}} = \overline{\overline{a} \overline{b}} \overline{\overline{c} d},$$

и реализуем это уравнение в базисе И²Л (рис. 6.45).

6.11. Другие типы инжекционных схем

Существенным преимуществом И²Л-элементов является то, что схемы, выполненные на их основе, могут работать в широком диапазоне токов. Это позволяет изменять их рабочую частоту за счет изменения тока инжектора и значительно, на четыре-пять порядков, уменьшать ток в схемах без нарушения их работоспособности. Инжекционные логические схемы способны работать при сверхмалых токах (1 нА), в связи с чем возникает необходимость токовой совместимости их с другими схемами.

Базовая схема И²Л типа может быть использована в качестве усилителя тока, если принять во внимание то обстоятельство, что выходной ток открытого вентиля пропорционален суммарной площади, занимаемой коллекторными переходами.

Поэтому усиление можно получить с помощью каскадирования элементов И²Л с соответствующим увеличением площади коллекторов от каскада к каскаду (рис. 6.46).

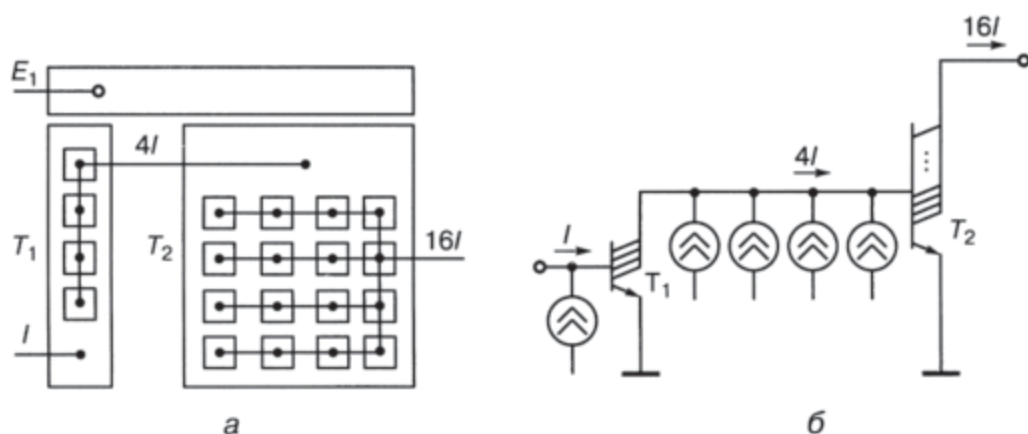


Рис. 6.46. Усилитель на элементах И²Л: а) топология, б) транзисторная эквивалентная схема

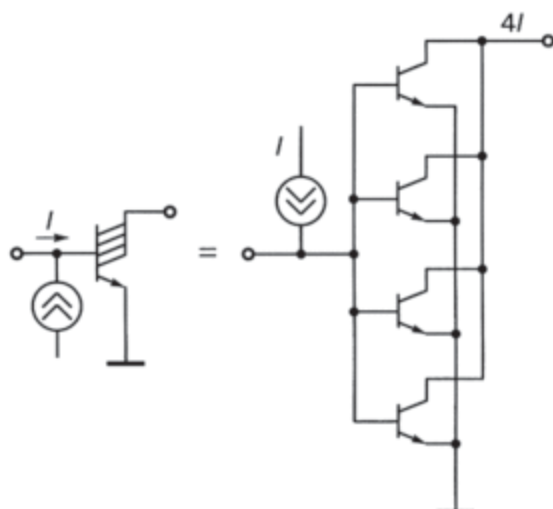


Рис. 6.47. Эквивалентная схема для моделирования 4-коллекторного транзистора инжекционного усилителя

Схема, описанная выше, используется тогда, когда необходимо в одном устройстве совместить, например, схемы И²Л и ТТЛ.

Этот принцип также можно использовать при проектировании преобразователей уровней и при проектировании аналогово-цифровых преобразователей. Для моделирования на компьютере составной 4-коллекторный транзистор из схемы, изображенной на рисунке 6.46, может быть представлен эквивалентной схемой (рис. 6.47) из четырех биполярных транзисторов, у которых объединены базы, эмиттеры и коллекторы.

Задание. Спроектируйте инжекционный усилитель (см. схему рис. 6.47) в трехмерной (вертикальной) реализации.

Глава 7

ПЕРЕХОДНАЯ СХЕМОТЕХНИКА. СИНТЕЗ МАТЕМАТИЧЕСКИХ МОДЕЛЕЙ

7.1. Операция объединения для синтеза моделей ФИЭ

Инжекционный инвертор — основа инжекционной схемотехники. Он был получен с использованием принципа функциональной интеграции при одновременном отказе от традиционной транзисторной схемотехники в пользу более углубленной схемотехники интегральных структур, в которой элементами являются не транзисторы как таковые, а их части — полупроводниковые переходы. Для описания элементов, подобных инжекционному инвертору, необходим иной математический аппарат, иные схемотехнические модели.

Основой принципа функциональной интеграции и наиболее часто употребляемой операцией над математическими (графовыми) моделями элементов переходной схемотехники, используемой как для компьютерного, так и обычного синтеза новых моделей, становится операция объединения.

Объединением (\cup) графов (моделей элементов) $G_i(X_i, A_i, \Gamma_i)$ называется граф (модель) $G(X, A, \Gamma)$, для которого

$$X = \bigcup_{i=1}^N X_i, \quad A = \bigcup_{k=1}^L A_k,$$

а предикат Γ индуцирован предикатами $\Gamma_i, i = 1, \dots, L$. При объединении вершин, в отличие от обычного способа получения функционально-интегрированных элементов (ФИЭ), вводится дополнительное условие: если

$$\exists T_j^{F_{ij}} = x_{ij} \in X_i \ \& \ T_k^{F_{mk}} = x_{mk} \in X_m, \ i \neq m, \ j \neq k$$

и выполняется условие $T_j = T_k \ \& \ F_{ij} = F_{mk}$, то $x_{ij} \cup x_{mk}$, или

$$T_j = T_k \ \& \ ((\varphi_j(F_{ij}) - \xi_k) < \varphi_j(F_{ij}) < (\varphi_j(F_{ij}) + \xi_k)) | \\ | ((\varphi_k(F_{mk}) - \xi_k) < \varphi_k(F_{mk}) < (\varphi_k(F_{mk}) + \xi_k)),$$

где: $\varphi_j(F_{ij}), \varphi_k(F_{mk})$ — значения параметров функциональных частей F_{ij} и F_{mk} , ξ_k — некоторая малая величина, представляющая собой допустимое абсолютное отклонение параметра функциональной части $\varphi_k(F_{mk})$.

Введение дополнительного условия может приводить к получению нескольких новых математических моделей, содержащих в результате

«склеивания» меньшее количество вершин (областей структуры), чем в случае объединения принципиальных схем согласно принципам транзисторной схемотехники.

Математическое моделирование ФИЭ естественно начинать с малых размерностей. Графу, состоящему из одной вершины ($N = 1$), соответствует область с определенными электрофизическими свойствами (например, подложка p -типа). Для $N = 2$ примерами могут служить графы вида p - n (переход между областями p - и n -типа, выполняющий функцию диода), p -SiO₂ (область p -типа, покрытая слоем двуокиси кремния) и т. д.

Для $N = 3$ граф p - n - p (модель полупроводниковой структуры транзистора) есть результат объединения моделей p - n -переходов:

$$\begin{array}{c} p^{F_1} \quad n^{F_2} \\ \bullet \quad \bullet \end{array} \cup \begin{array}{c} n^{F_3} \quad p^{F_4} \\ \bullet \quad \bullet \end{array} = \begin{array}{c} p^{F_1} \quad n^{F_{2,3}} \quad p^{F_4} \\ \bullet \quad \bullet \quad \bullet \end{array} \quad (7.1)$$

$F_2 = F_3$

Математические модели инжекционных инверторов ($N = 4$) получаются в результате объединения моделей разнотипных транзисторов с учетом необходимости токового питания F_1 базы n - p - n -транзистора и того факта, что потенциал базы p - n - p -транзистора F_6 должен быть меньше напряжения питания E на величину напряжения на открытом переходе U_{p-n} . Если потенциал на выходе структуры $F_{\text{вых}}$ не превышает U_{p-n} , а $F_0 = 0$ В, то при $E \geq (F_{\text{вых}} + U_{p-n})$ можно считать, что $n^{F_6} = n^{F_{\text{вых}}}$ (и равно n^\perp), то есть вершина n^{F_6} может «склеиваться» с вершинами n^\perp и $n^{F_{\text{вых}}}$.

В результате применения дополнительного условия объединения получаются две модели инжекционного инвертора [15, 85]:

$$\begin{array}{c} n^{F_{\text{вых}}} \quad p^{F_{\text{вых}} F_1} \quad n^\perp \\ \bullet \quad \bullet \quad \bullet \end{array} \cup \begin{array}{c} p^E \quad n^{E_6} \quad p^{F_1} \\ \bullet \quad \bullet \quad \bullet \end{array} = \left\{ \begin{array}{l} \begin{array}{c} p^E \quad n^\perp \quad p^{F_{\text{вых}}} \quad n^{F_{\text{вых}}} \\ \bullet \quad \bullet \quad \bullet \quad \bullet \end{array} \quad (G4.1) \\ \begin{array}{c} n^E \quad p^{F_{\text{вых}}} \quad n^{F_{\text{вых}}} \quad p^\perp \\ \bullet \quad \bullet \quad \bullet \quad \bullet \end{array} \quad (G4.2) \end{array} \right. \quad (7.2)$$

Для реализации логических функций И, ИЛИ в транзисторной схемотехнике используются многоэмиттерные (МЭТ) и многоколлекторные (МКТ) транзисторы, а также схема с непосредственно связанными транзисторами (НСТЛ), точнее, с общими эмиттерами и общими коллекторами (без коллекторной резистивной нагрузки); эта схема при наличии коллекторной нагрузки реализует функцию НЕ–Монтажное И, или функцию Пирса (ИЛИ–НЕ). Их математические модели ($N = 4$) получаются в результате объединения транзисторных структур ($N = 3$) и описываются уравнением (7.3).

Уравнение синтеза (7.4) описывает синтез ФИЭ НЕ-И, ИЛИ-НЕ. Они являются функционально полным логическим базисом, пригодным для построения сколь угодно сложных комбинационных схем ЭВМ.

Для синтеза использована первая модель ИИ (G4.1), полученная в уравнении (7.2).

$$\begin{array}{c}
 \begin{array}{ccc}
 p^{F_{\text{вых}1} F_{\kappa 1}} & \text{---} & p^{F_0 F_{\text{Э}1}} \\
 & \text{---} & \\
 & n^{F_{\text{вх}1} F_1} &
 \end{array}
 \quad \cup \quad
 \begin{array}{ccc}
 n^{F_{\text{вых}1} F_{\kappa 2}} & \text{---} & n^{\perp F_{\text{Э}2}} \\
 & \text{---} & \\
 & p^{F_{\text{вх}2} F_1} &
 \end{array}
 = \\
 \left\{
 \begin{array}{c}
 \begin{array}{ccc}
 & n^{F_{\text{вых}1} F_{\kappa 1}} & \\
 & \text{---} & \\
 n^{\perp F_{\text{Э}}} & \text{---} & p^{F_{\text{вх}}} \\
 & \text{---} & \\
 & n^{F_{\text{вых}2} F_{\kappa 2}} &
 \end{array}
 \quad
 \begin{array}{ccc}
 & n^{F_{\text{Э}1}} & \\
 & \text{---} & \\
 n^{F_{\text{вых} F_{\kappa}}} & \text{---} & p^{F_{\text{вх}}} \\
 & \text{---} & \\
 & n^{F_{\text{Э}2}} &
 \end{array}
 \quad
 \begin{array}{ccc}
 & p^{F_{\text{вых}}} & \\
 & \text{---} & \\
 p^{F_{\text{вх}1}} & \text{---} & p^{F_{\text{вх}2}} \\
 & \text{---} & \\
 & n^{\perp} &
 \end{array}
 \end{array}
 \right.
 \quad (7.3)
 \end{array}$$

$$\begin{array}{c}
 \begin{array}{cccc}
 p^E & n^{\perp} & p^{F_{\text{вх}1}} & n^{F_{\text{вых}1}} \\
 \bullet & \bullet & \bullet & \bullet
 \end{array}
 \quad \cup \quad
 \begin{array}{cccc}
 p^E & p^{\perp} & p^{F_{\text{вх}2}} & n^{F_{\text{вых}2}} \\
 \bullet & \bullet & \bullet & \bullet
 \end{array}
 = \\
 \left\{
 \begin{array}{c}
 \begin{array}{cccc}
 p^E & n^{\perp} & p^{F_{\text{вх}}} & n^{F_{\text{вых}1}} \\
 \bullet & \bullet & \bullet & \bullet
 \end{array}
 \quad
 \begin{array}{ccc}
 & p^{F_{\text{вх}1}} & \\
 & \text{---} & \\
 p^E & n^{\perp} & p^{F_{\text{вых}}} \\
 & \text{---} & \\
 & p^{F_{\text{вх}2}} &
 \end{array}
 \end{array}
 \right.
 \quad (7.4)
 \end{array}$$

НЕ-И

ИЛИ-НЕ

$$\begin{array}{c}
 \begin{array}{cccc}
 p^E & n^{F_{\text{вых}1}} & p^{F_{\text{вх}1}} & n^{\perp} \\
 \bullet & \bullet & \bullet & \bullet
 \end{array}
 \quad \cup \quad
 \begin{array}{cccc}
 p^E & n^{F_{\text{вых}2}} & p^{F_{\text{вх}2}} & n^{\perp} \\
 \bullet & \bullet & \bullet & \bullet
 \end{array}
 = \\
 \left\{
 \begin{array}{c}
 \begin{array}{ccc}
 & p^{F_{\text{вых}2}} & \\
 & \text{---} & \\
 p^E & \text{---} & p^{F_{\text{вых}}} \text{---} n^{\perp} \\
 & \text{---} & \\
 & p^{F_{\text{вх}1}} &
 \end{array}
 \quad
 \begin{array}{ccc}
 & p^{F_{\text{вх}2}} & \\
 & \text{---} & \\
 p^E & \text{---} & n^{F_{\text{вых}2}} \text{---} n^{\perp} \\
 & \text{---} & \\
 & p^{F_{\text{вх}1}} &
 \end{array}
 \end{array}
 \right.
 \quad (7.5)
 \end{array}$$

НЕ-И

ИЛИ-НЕ

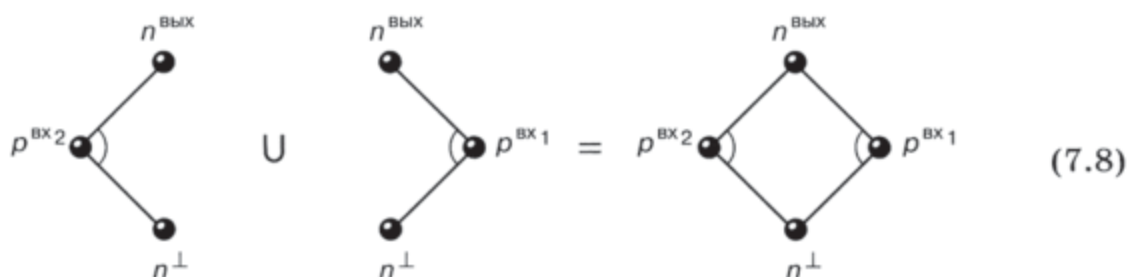
Результатом синтеза являются двенадцать математических моделей, обладающих большим разнообразием параметров мощности, помехоустойчивости, задержки переключения. Среди этих элементов есть элементы, работающие по принципу КМОП-схем: они не потребляют мощности в одном из статических режимов. Элементы данного класса содержат на три p – n -перехода меньше, чем их транзисторный аналог — ТТЛ с простым инвертором. Подробно данный класс описан в схемотехнике ТТЛ.

Аналогичным образом получают неизбыточные модели ФИЭ ИЛИ–НЕ, работающие по принципу переключения тока (переходной аналог ЭСЛ), специальные и запоминающие элементы ЭВМ. Эти элементы также будут подробно рассмотрены в соответствующих главах.

Если рассмотренный подход применять при объединении математических моделей логических элементов И–НЕ, ИЛИ–НЕ и т. д. в комбинационные устройства по правилам алгебры логики, а также объединении запоминающих ячеек в запоминающие устройства, то возможна дополнительная функциональная интеграция и оптимизация физической структуры устройства по количеству переходов.

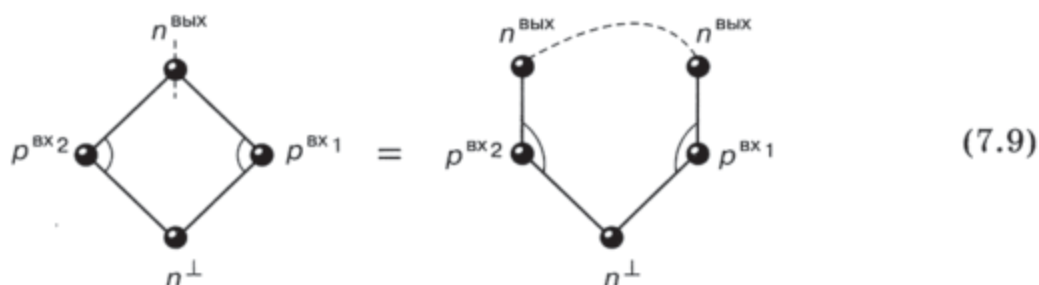
7.2. Пример проектирования схемы размерностью $N = 4$ в переходной (интегральной) схемотехнике

Синтез математической модели (операция объединения). При объединении по выходам математических моделей двух n – p – n -транзисторов [НСТЛ без питания или «зависимое» ИЛИ (ИЛИ, реализуемое только при наличии нагрузки)] области, имеющие одинаковые потенциалы, объединяются в одну, и мы получаем циклическую модель ФИЭ с размерностью, равной 4:



При объединении вершин образуются паразитные транзисторы с базой в вершине объединения. Этот факт необходимо учитывать как при синтезе интегральных структур, так и при их анализе на компьютере (при моделировании).

Преобразование математической модели для конкретной технологии (операция разбиения). Если математическая модель содержит циклы, ее нельзя реализовать напрямую в ЭПТ. «Подгоняя» модель под конкретные технологии, в случае необходимости, циклы графа можно «рассредоточить», вводя взамен одной вершины нужное количество идентичных вершин [операция разбиения (7.9)].



При этом нельзя забывать, что они должны иметь одинаковый потенциал, например за счет общего соединения. «Разбиение» циклов моделей приводит к увеличению количества областей и соединений между ними.

Синтез интегральной структуры схемы. С учетом вышеописанных правил и принципов у одной математической модели может быть множество технологических реализаций, доступных или недоступных (не разработанных) в настоящее время (рис. 7.1).

При синтезе интегральной структуры необходимо помнить о двух важных вещах.

1. Создание рабочих транзисторных структур (базы этих транзисторов на рисунке 7.1, а отмечены круглой скобкой). В нашем случае это:

$$n^{\text{Вых}} - p^{\text{Вх1}} - n^{\perp} \quad \text{и} \quad n^{\text{Вых}} - p^{\text{Вх2}} - n^{\perp}.$$

Транзисторный эффект достигается необходимыми концентрациями носителей в конкретных областях и определенной толщиной базовых областей $p^{\text{Вх1}}$ и $p^{\text{Вх2}}$;

2. Устранение влияния паразитных транзисторов. На рис. 7.1, а соответствует:

$$p^{\text{Вх1}} - n^{\perp} - p^{\text{Вх2}} \quad \text{и} \quad p^{\text{Вх1}} - n^{\text{Вых}} - p^{\text{Вх2}}.$$

Их влияние можно устранить, либо увеличивая расстояние между p -областями, либо разбивая циклы только на рабочие транзисторы, как это делается в транзисторной схемотехнике. Но уход в транзисторную схемотехнику приводит к увеличению числа подобных вершин математических моделей элементов, то есть к дополнительному количеству полупроводниковых областей и соединений, что делает этот элемент неоптимальным и непригодным для максимальной плотности упаковки интегральных структур наносхем.

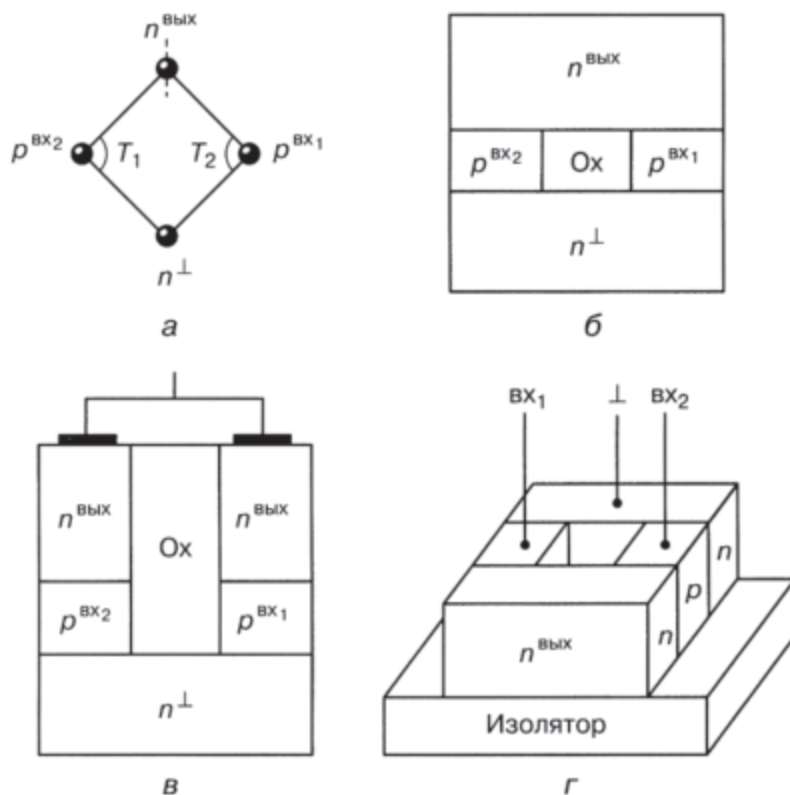


Рис. 7.1. Пример проектирования ФИЭ: а) математическая модель (объединение двух p – p – n –транзисторов по эмиттерам и коллекторам $n^{\text{вых}} = n_1^{\text{вых}} \cup n_2^{\text{вых}}$, б) вертикальная оптимальная интегральная структура, в) вертикальная структура с разбиением вершины, г) горизонтальная структура на изоляторе

7.3. Синтез интегральных структур схем НЕ размерностью $N = 4$

В режиме синтеза математических моделей уже были получены две общие модели ИИ G4.1 и G4.2 размерностью $N = 4$ (20). Используя общий алгоритм генерации интегральных структур по математической модели, для каждой можно получить по 64-е интегральных варианта.

Часть результатов генерации структур вышеописанным методом приведена в таблицах 7.1 и 7.2 (разд. 7.5). Из них следует, что в некоторых интегральных структурах p – n –переходы ИИ содержатся в полупроводниковых областях, на которые либо подается входной сигнал, либо они являются выходными, то есть с них снимается выходной сигнал. Это очень удобно для проектирования на ИИ элементов с более сложными логическими функциями (например, объединение выходных сигналов в одной полупроводниковой области — как в транзисторном аналоге для НСТЛ). Однако для таких структур требуется дополнительная изоляция (наиболее приемлемая здесь диэлектрическая изоляция, но не для одного инвертора, а для группы инверторов, объединенных для реализации сложной функции, как показано на рисунке 7.2 в разд. 7.5).

Приведенные далее в таблицах 7.1 и 7.2 (разд. 7.5) структуры ИИ содержат p - n - p - и n - p - n -транзисторы различных типов (вертикальные нормальные, вертикальные инверсные, горизонтальные, вертикально-горизонтальные и т. д.), поэтому все они имеют различные массово-габаритные, статические и динамические параметры.

В таблице 7.3 приведен сравнительный анализ 10 инжекционных инверторов (разд. 7.5). Видно, что наиболее широко применяемые в настоящее время инжекционные структуры G4.1.1 и G4.1.2 с известной математической моделью G4.1, у которых мощность и плотность компоновки на порядок лучше, чем у обычного инвертора, обладают худшими параметрами, чем аналогичные структуры с другой математической моделью. Плотность компоновки СБИС увеличивается почти на порядок при переходе к технологии, предусматривающий более, чем один полупроводниковый слой, то есть при переходе к многослойным, или трехмерным, технологиям. Уменьшение габаритов приводит к снижению суммарной паразитной емкости элемента и, как следствие, — к увеличению быстродействия.

Из приведенных таблиц видно, что наибольшего эффекта в улучшении параметров элементной базы микро- и наноэлектроники и вычислительной техники можно добиться при одновременном изменении схемотехники и технологии изготовления ИС.

7.4. Анализ ФИЭ с математической моделью G4.2 на примере интегральной структуры G4.2.2 и ее сравнение с инжекционным инвертором G.4.1.2

Улучшение показателей ИС наблюдается при переходе к модели G4.1.2 (табл. 7.1) с аналогичным инвертором G4.2.2 (табл. 7.2). ИИ со структурой G4.1.2 содержит инжектирующий p - n - p - и инвертирующий логический n - p - n -транзисторы. Интегральная структура ФИЭ G4.1.2, изображенная на рисунке 7.2, а, кроме ориентированного графа G4.1.2 может быть описана формулой:

$$n_2^{\perp}(p_1^E, p_3^{F_{\text{вх}}}(n_4^{F_{\text{вых}}})) ,$$

где n_2^{\perp} — полупроводниковая область n -типа, на которую подается нулевой потенциал \perp , содержащая две области p -типа. На одну из них (p_1^E) подается напряжение питания, на другую ($p_3^{F_{\text{вх}}}$) — входной сигнал. В последней содержится область n -типа ($n_4^{F_{\text{вых}}}$), с которой снимается выходной сигнал. Скобки в приведенной только что формуле «говорят» о вложенности областей, причем открывающая скобка интерпретируется как знак «содержит», а запятая — как логическое И.

7.5. Правила описания интегральных структур

Как видно из приведенного выше примера, возможна запись структурных формул интегральных структур с использованием следующих правил:

- первый член формулы слева соответствует полупроводниковой области, содержащей весь элемент (корень находится в структурной формуле — ориентированном графе);
- элемент формулы определяет качественный состав части интегральной структуры (p - или n -тип области для p – n -схемотехники);
- верхние индексы определяют систему функционального управления (E , \perp) и систему назначения входов и выходов интегрального элемента ($F_{\text{вх}}$, $F_{\text{вых}}$);
- нижние индексы соответствуют нумерации частей интегральной структуры и математической модели элемента; если нет дублирования номеров, а также их пропусков, то максимальное значение нижнего индекса определяет размерность ФИЭ;
- открывающая круглая скобка расшифровывается как «содержит» и соответствует внутреннему переходу структуры.

Если формула содержит только круглые скобки, то степень их вложения определяет количество операций диффузии. Открывающая квадратная скобка соответствует поверхностному переходу и расшифровывается как «имеет непосредственный контакт». Степень вложения квадратных скобок соответствует числу полупроводниковых слоев ФИЭ. При записи структурных формул, имеющих контуры, возможно дублирование элементов в формуле, записанной с помощью этих правил.

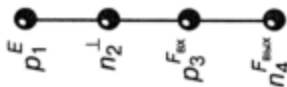
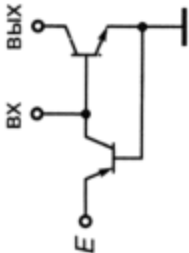
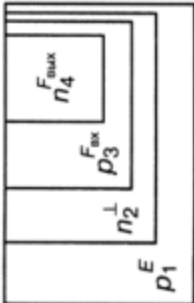
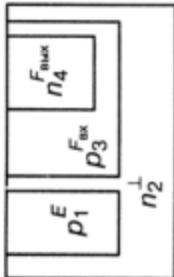
В интегральной структуре ФИЭ G4.1.2 областью, с которой снимается выходной сигнал, является область n_4 , содержащаяся в области p_3 . Поэтому для реализации логической функции НЕ–И (ИЛИ–НЕ) при объединении выходных сигналов требуются шины металлизации (рис. 7.2, б), проходящие через каждый объединенный инвертор.

Недостатками интегральной структуры ФИЭ G4.1.2 являются:

- наличие металлизированных соединений, объединяющих изолированные выходы инверторов для реализации дополнительной логической функции; эта объединяющая металлизация составляет примерно 25–30% всей металлизации и уменьшает быстродействие, надежность и плотность компоновки СБИС;
- наличие n^+ -областей между ИИ, используемых для увеличения коэффициента усиления по току (всего 1,5–2). Это ограничивает нагрузочную способность инвертора [42], а кроме того, увеличивает площадь элемента, длину соединений, что уменьшает плотность компоновки СБИС и их быстродействие.

Таблица 7.1

Часть интегральных структур инжекционных инверторов с математической моделью G4.1

Математическая модель ИИ	Принципиальная схема в транзисторной схемотехнике	Структурная формула ФИЭ	Интегральная структура ФИЭ	Транзистор р-п-р-типа	Транзистор п-р-п-типа	Примечание	Номер ФИЭ		
1		2		3	4	5	6	7	8
		$p_1^E \rightarrow n_2^\perp \rightarrow p_3^{F_{\text{вх}}} \rightarrow n_4^{F_{\text{вых}}}$		Вертикальный, инверсный	Вертикальный, инверсный		G4.1.1		
		$p_1^E \uparrow n_2^\perp \rightarrow p_3^{F_{\text{вх}}} \rightarrow n_4^{F_{\text{вых}}}$		Горизонтальный	Вертикальный, инверсный		G4.1.2		

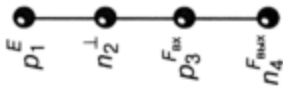
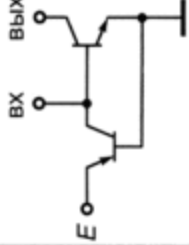
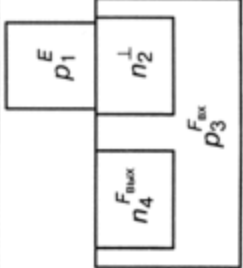
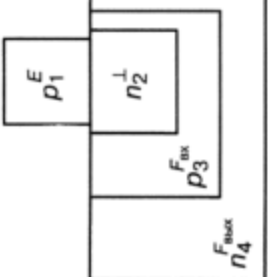
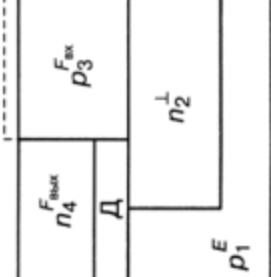
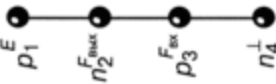
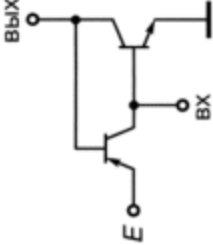
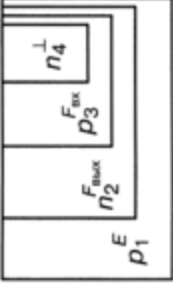
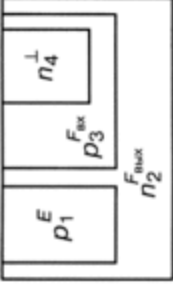
Математическая модель ИИ	Принципиальная схема в транзисторной схемотехнике	Структурная формула ФИЗ	Интегральная структура ФИЗ	Транзистор <i>р-п-р</i> -типа	Транзистор <i>п-р-п</i> -типа	Примечание	Номер ФИЗ
1	2	3	4	5	6	7	8
		$\begin{matrix} F_{\text{вых}} \\ n_4 \\ \uparrow \\ F_{\text{вых}} \rightarrow n_2^{\perp} \rightarrow p_1^E \end{matrix}$		Вертикальный, инверсный	Горизонтальный	Требуется диэлектрическая изоляция	G4.1.3
		$F_{\text{вых}} \rightarrow p_3^E \rightarrow n_2^{\perp} \rightarrow p_1^E$		Вертикальный, инверсный	Вертикальный, инверсный	Требуется диэлектрическая изоляция	G4.1.4
		$p_1^E \rightarrow n_2^{\perp} \Rightarrow p_3^E \Rightarrow F_{\text{вых}} n_4$		Вертикальный, инверсный	Вертикальный, инверсный		G4.1.5

Таблица 7.2

Часть интегральных структур инжекционных инверторов с математической моделью G4.2

Математическая модель ИИ	Принципиальная схема в транзисторной схемотехнике	Структурная формула ФИЭ	Интегральная структура ФИЭ	Транзистор р-п-типа	Транзистор п-р-п-типа	Примечание	Номер ФИЭ
1	2	3	4	5	6	7	8
		$p_1^E \rightarrow n_2^{F_{\text{вых}}} \rightarrow p_3^{F_{\text{вх}}} \rightarrow n_4^{\perp}$		Вертикальный, инверсный	Вертикальный, нормальный		G4.2.1
		$p_1^E \uparrow n_2^{F_{\text{вых}}} \rightarrow p_3^{F_{\text{вх}}} \rightarrow n_4^{\perp}$		Горизонтальный	Вертикальный, нормальный		G4.2.2


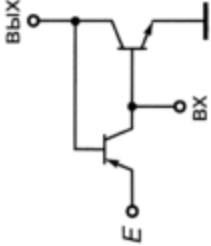
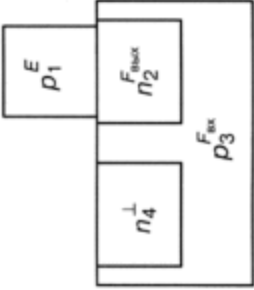
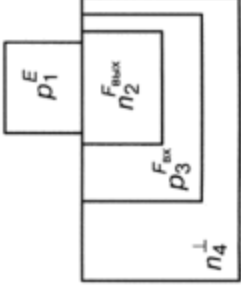
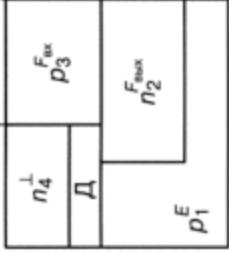
Математическая модель ИИ	Принципиальная схема в транзисторной схемотехнике	Структурная формула ФИЭ	Интегральная структура ФИЭ	Транзистор <i>р-п-р</i> -типа	Транзистор <i>п-р-п</i> -типа	Примечание	Номер ФИЭ
1	2	3	4	5	6	7	8
		$\begin{matrix} n_4^\perp \\ \uparrow \\ p_3^{F_{\text{вх}}} \rightarrow n_2^{F_{\text{вых}}} \Rightarrow p_1^E \end{matrix}$		Вертикальный, нормальный	Горизонтальный	Требуется диэлектрическая изоляция	G4.2.3
		$n_4^\perp \rightarrow p_3^{F_{\text{вх}}} \rightarrow n_2^{F_{\text{вых}}} \Rightarrow p_1^E$		Вертикальный, нормальный	Вертикальный, нормальный	Требуется диэлектрическая изоляция	G4.2.4
		$p_1^E \rightarrow n_2^{F_{\text{вых}}} \Rightarrow p_3^{F_{\text{вх}}} \Rightarrow n_4^\perp$		Вертикальный, инверсный	Вертикальный, нормальный		G4.2.5

Таблица 7.3

Сравнительный анализ интегральных структур
инжекционных инверторов

Номер ФИЭ ИИ	Распределение мест*					Сумма мест	Общее место
	Плотность компоновки	Запасы помехоустойчивости		Мощность	Задержка		
		положительной помехе	отрицательной помехе				
G4.1.1	10	8	8	7	4	37	10
G4.1.2	9	3	3	6	1	22	4
G4.1.3	5,6	9	7	8,9	5	35	8
G4.1.4	3,4	5	9	8,9	10	36	9
G4.1.5	1,2	10	10	10	3	34,5	7
G4.2.1	7	6,7	4	3	8	28,5	6
G4.2.2	5,6	6,7	1	2	6	21	2,3
G4.2.3	3,4	4	2	1	2	12,5	1
G4.2.4	8	1	5	4,5	9	27,5	5
G4.2.5	1,2	2	6	4,5	7	21	2,3

* Лучший параметр

Переход к модели G4.2 позволяет увеличить плотность компоновки, быстродействие и надежность элемента (табл. 7.3). Преимущества структуры G4.2.2 достигаются за счет изменения систем функционального управления и назначения частей интегральной структуры инжекционного инвертора. Если нулевой потенциал подавать в область n_4 , а выходной сигнал снимать с области n_2 , то выходной областью будет полупроводниковая область, содержащая сам ИИ. Инвертирующий логический транзистор n - p - n -типа в этой структуре имеет нормальную, а не инверсную структуру, что приводит к значительному возрастанию коэффициента усиления по току и увеличению нагрузочной способности. Это положительно сказывается на параметрах схем, скомпонованных из этих элементов.

ИИ G4.2.2 содержится в полупроводниковой области, которая является n -коллектором инвертирующего логического транзистора n - p - n -типа, а эмиттером инвертирующего логического транзистора является область n_4 , минимальная по объему и расположенная внутри области p_3 . Объединение выходных сигналов для таких инверторов при реализации более сложных логических функций не требует металлиза-

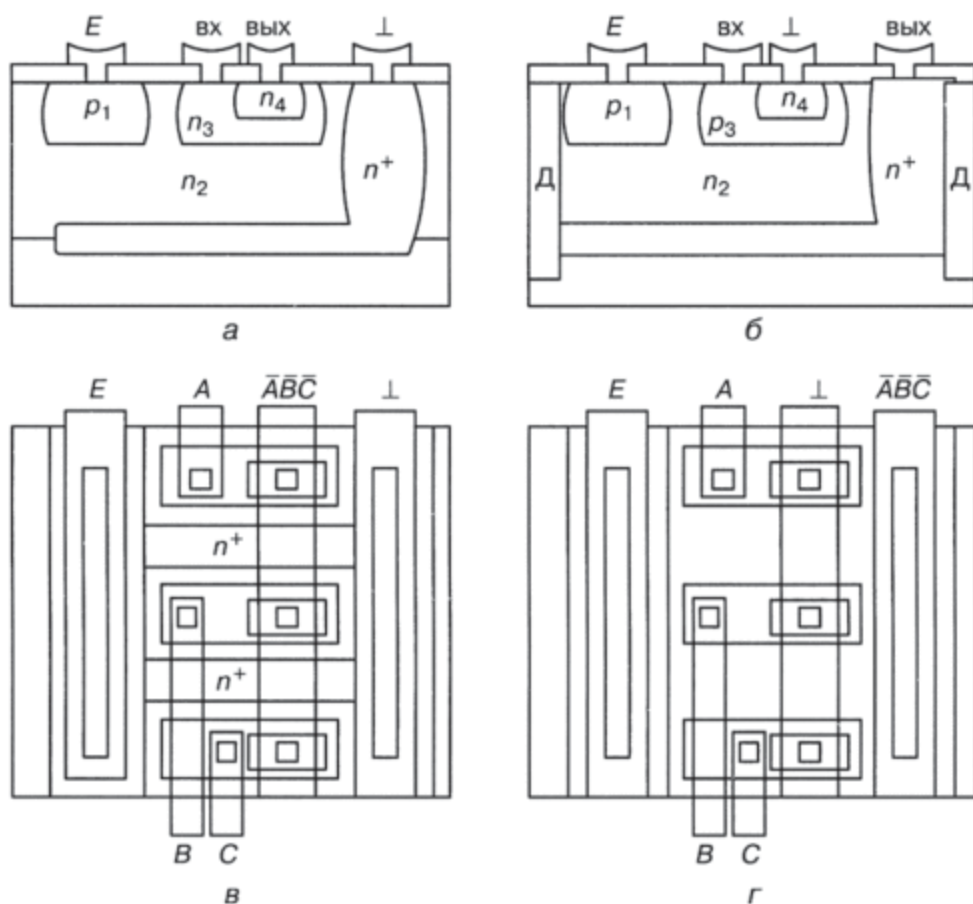


Рис. 7.2. Сравнение ФИЭ G4.1.2 и G4.2.2: а) интегральная структура ФИЭ G4.1.2, б) элемент НЕ–И (ИЛИ–НЕ) на ФИЭ G4.1.2, в) интегральная структура ФИЭ G4.2.2, г) элемент НЕ–И (ИЛИ–НЕ) на ФИЭ G4.2.2

ции при объединении коллекторов n - p - n -транзисторов, так как коллектор (область n_2) является общим для объединяемых инверторов. Совокупность таких объединенных инверторов, по сути, является новым логическим элементом ИЛИ–НЕ, и для использования его в СБИС требуется изоляция общего коллектора, в котором расположены инжекционные инверторы G4.2.2.

Для уменьшения сопротивления тела коллектора, необходимого для снижения напряжения логического нуля и увеличения запаса помехоустойчивости, возможны различные технологические приемы, в частности использование скрытого слоя под объединяемыми инверторами (рис. 7.2, в).

На рисунке 7.2 представлены: а) ФИЭ (ИИ G4.1.2); б) топология элемента, реализующего функцию НЕ–И с тремя входами на ИИ G4.1.2; в) ФИЭ (ИИ G4.2.2); г) топология элемента НЕ–И (ИЛИ–НЕ) на три входа на ФИЭ G4.2.2, где

- p_1 — область p -типа, являющаяся эмиттером инжектирующего p - n - p -транзистора;
- n_2 — область n -типа в ФИЭ G.2.2.2, являющаяся базой инжектирующего транзистора p - n - p -типа и коллектором инвертирующего логического транзистора n - p - n -типа, а в ФИЭ G4.1.2 — базой инжектирующего p - n - p -транзистора и эмиттером инвертирующего логического n - p - n -транзистора;
- p_3 — область p -типа, являющаяся коллектором инжектирующего p - n - p -транзистора и базой инвертирующего логического n - p - n -транзистора;
- n_4 — область n -типа, в ФИЭ G4.2.2 являющаяся эмиттером, а в ФИЭ G4.1.2 — коллектором инвертирующего логического n - p - n -транзистора.

Работает ФИЭ G4.2.2 следующим образом. Напряжение питания подается в область эмиттера инжектирующего p - n - p -транзистора, напряжение нулевого потенциала (\perp) — в минимальную по объему область n_4 , являющуюся эмиттером инвертирующего логического n - p - n -транзистора. Напряжение E должно быть больше на напряжение открытого p - n -перехода, чем максимальное напряжение на выходе, тогда переход p_1 - n_2 (эмиттер-база) инжектирующего p - n - p -транзистора всегда будет смещен в прямом направлении. Из области p_1 в область n_2 инжектируются дырки. Электроны из области n_2 поступают в область p_3 . Переход n_2 - p_3 открыт. При подаче на вход низкого уровня напряжения (0,1 В) с коллектора насыщенного n - p - n -транзистора управляющей схемы переход p_3 - n_4 (база-эмиттер) инвертирующего логического n - p - n -транзистора будет закрыт, и ток инжектирующего p - n - p -транзистора через вход пойдет в управляющую схему. На выходе будет высокий уровень напряжения, определяемый напряжением на переходе база-эмиттер закрытого n - p - n -транзистора нагрузочной схемы.

Если на вход подавать высокий уровень напряжения, откроется переход p_3-n_4 , инвертирующий логический транзистор $n-p-n$ -типа будет насыщен, и на его коллекторе (n_2) по отношению к эмиттеру (n_4) будет низкий уровень напряжения (0,1 В).

Ток инжектирующегося $p-n-p$ -транзистора потечет в шину нулевого потенциала, куда с выхода будет также поступать ток $p-n-p$ -транзистора нагрузочной схемы.

Из приведенного описания можно сделать вывод, что данная интегральная структура выполняет функцию инверсии. С помощью вышеизложенных правил интегральная структура ФИЭ G4.2.2 может быть описана выражением:

$$n_2^{F_{\text{вых}}} (p_1^E, p_3^{F_{\text{вых}}} (n_4^\perp)).$$

Отличия от формулы ФИЭ G4.1.2 заключаются в том, что область с большей площадью перехода является не эмиттером, а коллектором. Кроме того, внешняя область n_2 является выходной, а это позволяет:

- уменьшить объем и площадь ФИЭ за счет устранения низкоомных областей вокруг ИИ для увеличения нормального коэффициента усиления по току инвертирующего логического $n-p-n$ -транзистора, а также устранения металлизированных соединений для реализации дополнительной логической функции;
- уменьшить суммарные паразитные емкости, что, в свою очередь, приводит к увеличению плотности компоновки, а также к росту быстродействия и надежности СБИС, построенных на ФИЭ с моделью G4.2.2.

Следует отметить очень важную особенность проектирования СБИС при использовании математической модели G4.2.2: меняется логический базис проектирования с НЕ–И на ИЛИ–НЕ [42].

7.6. Моделирование переходных наноструктур НЕ ($N = 4$). Моделирование наноструктуры вертикального инжекционного инвертора

Было проведено моделирование вертикального И²Л-инвертора с минимальным топологическим размером 20 нм и толщиной базы 3 нм [116–119]. Сравнивались количественные и качественные показатели 2D и 3D структур. Тем самым воспроизводилась ситуация «нанофабрики»: разработчик без изготовления полупроводникового прибора (структуры элемента переходной схемотехники) оценивает его характеристики, работоспособность, использует интерактивное физическое моделирование для оптимизации его параметров.

7.6.1. Уравнение синтеза абстрактной модели вертикального И²Л-инвертора в переходной схемотехнике (этап 1)

Уже рассмотренное уравнение синтеза (7.2) можно представить в виде объединения формул. При объединении формул двух биполярных транзисторов и применении принципа функциональной интеграции для двух различных условий ($F_1 = \text{Grd}$ и $F_2 = \text{out}$) получаются две модели И²Л-инвертора (7.10).

$$\begin{array}{c} p_1^E \\ | \\ n_2^{F_1} \\ | \\ p_3^{\text{in}} \end{array} \cup \begin{array}{c} n_4^{\text{Gnd}} \\ | \\ p_5^{\text{in}} \\ | \\ n_6^{\text{out}} \end{array} = \begin{cases} p_1^E - n_{2,4}^{\text{Gnd}} - p_{3,5}^{\text{in}} - n_6^{\text{out}} & (\text{если } F_1 = \text{Grd}) \\ p_1^E - n_{2,6}^{\text{out}} - p_{3,5}^{\text{in}} - n_6^{\text{Gnd}} & (\text{если } F_1 = \text{out}) \end{cases} =$$

$$= \begin{cases} p_1^E - n_2^{\text{Gnd}} - p_3^{\text{in}} - n_4^{\text{out}} & (\text{модель G4.1}) \\ a_1 \quad a_2 \quad a_3 \\ p_1^E - n_{2,6}^{\text{out}} - p_{3,5}^{\text{in}} - n_6^{\text{Gnd}} & (\text{модель G4.2}) \end{cases} \quad (7.10)$$

Обозначения:

E — напряжение источника питания,
 Gnd (Grd) — напряжение шины «Земля» (0 В),
 in — вход,
 out — выход,
 F_1 — функция, способная принимать значения из $E, \text{Gnd}, \text{in}, \text{out}$.

Для того чтобы в результате объединения получилось дерево и «склеилось» максимально возможное количество вершин, функции F_1 присвоим только то значение, которое есть у вершин того же типа, что и вершина F_1 .

7.6.2. Генерация вертикальной наноструктуры И²Л-инвертора ($N = 4$) как схемы переходной схемотехники

Модели G4.1 и G4.2 представляют собой деревья размерностью $N = 4$ и содержат по три ребра ($R = 3$). Для подобных моделей (табл. 7.1) существует 64 структурные формулы, и им соответствуют 64 интегральные структуры инжекционного инвертора размерностью $N = 4$.

Если в качестве критерия выбора модели структуры вертикального И²Л-инвертора выбрать информационную плотность, то предпочтение отдается вертикальным структурам И²Л-инвертора, например модели:

$$p_1^E \Rightarrow n_2^{\text{Gnd}} \Rightarrow p_3^{\text{in}} \Rightarrow n_4^{\text{out}}.$$

7.6.3. 2D моделирование вертикального переходного инвертора

$$p_1^E \Rightarrow n_2^{\text{Grd}} \Rightarrow p_3^{\text{in}} \Rightarrow n_4^{\text{out}}$$

Создадим работоспособную наноструктуру с конкретными геометрическими и физическими параметрами для последующего физического моделирования. Моделирование будем проводить исходя из минимального топологического размера в 20 нм (ширина эмиттера и расстояние между линиями маски) и минимальной толщины баз, равной 3 нм.

На рисунке 7.3 показаны этапы подготовки данных для 2D моделирования вертикального И²Л-инвертора в TCAD Synopsys; определена 2D конструкция (сечение) ступенчатого вертикального И²Л-инвертора. Логический n - p - n -транзистор формируется в области n_4 (коллектор), узкой зоне области p_3 (база), высокой части области n_2 (эмиттер). Инжектирующий p - n - p -транзистор формируется высокой частью области p_3 (коллектор), узкой частью области n_2 (база) и областью p_1 (эмиттер). Для изоляции контактов использован оксид Ox (SiO_2). Контакты для подачи напряжений: c_Grd, c_in, c_out.

На рисунке 7.4 показана расчетная сетка. Максимальный размер ячейки сетки 20 нм, минимальный — 5 нм, там, где это необходимо по профилю, система может еще сильнее уменьшать минимальный размер расчетной сетки. Исходя из выбранных топологических ограничений максимальный размер ИИ не превышает 100 нм.

Для определения работоспособности наноструктуры в составе макросхемы был использован смешанный режим моделирования вертикального И²Л-инвертора (рис. 7.5).

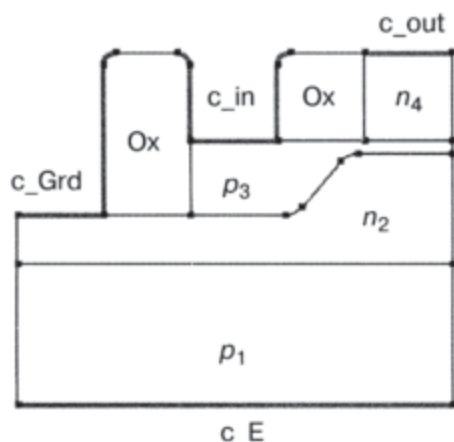


Рис. 7.3. Задание 2D конструкции ступенчатого вертикального И²Л-инвертора: сечение, размеры, материалы, контакты

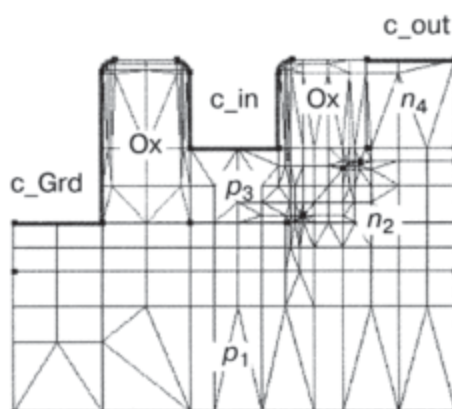


Рис. 7.4. Задание расчетной сетки для 2D моделирования сечения ступенчатого вертикального И²Л-инвертора

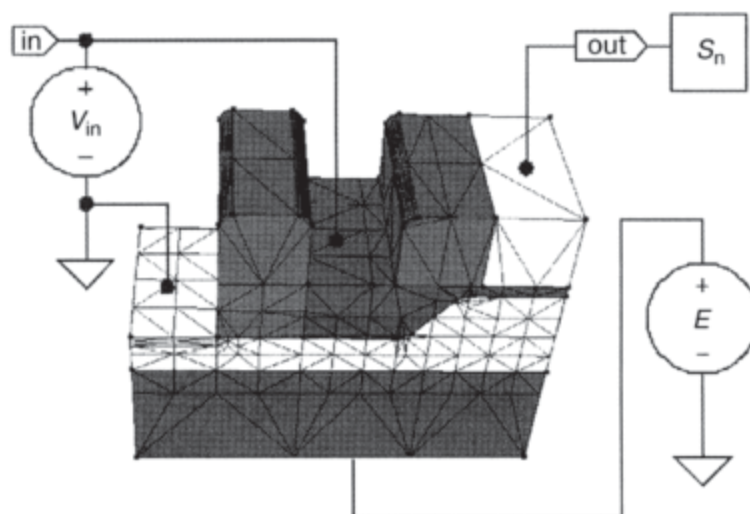


Рис. 7.5. Физическая наноструктура моделируется в составе электрической схемы

На передаточной характеристике (рис. 7.6), зависимости выходного напряжения от входного (напряжения), четко просматривается два устойчивых состояния наноструктуры, что говорит о ее работоспособности и реализации ею функции инверсии.

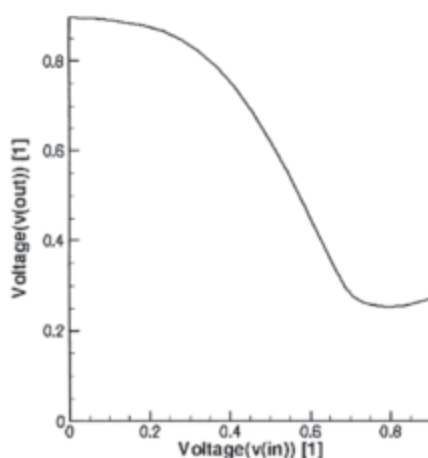


Рис. 7.6. Передаточная характеристика наноструктуры вертикального И²Л-инвертора

7.6.4. Результаты 2D моделирования вертикальной наноструктуры И²Л-инвертора

Результаты моделирования можно разделить на две части: значения функций в сечении наноструктуры вертикального И²Л инвертора (рис. 7.7, 7.8) и графики функций (рис. 7.9).

На рис. 7.7 представлены результаты моделирования в сечении ступенчатого вертикального И²Л-инвертора для функций:

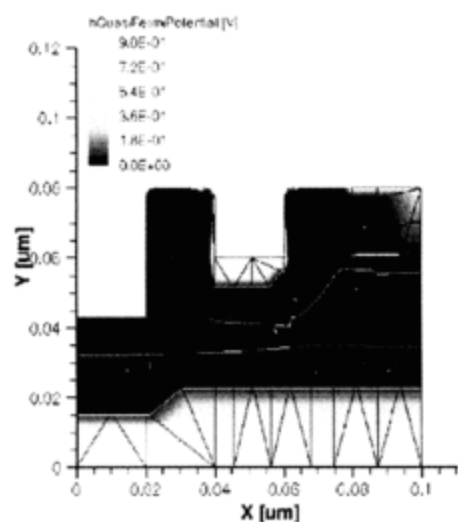
- а) квазипотенциал Ферми для дырок;
- б) квазипотенциал Ферми для электронов;
- в) скорость дырок;
- г) скорость электронов;
- д) подвижность дырок;
- е) подвижность электронов.

На рисунке 7.8 представлены результаты моделирования в сечении ступенчатого вертикального И²Л-инвертора для функций:

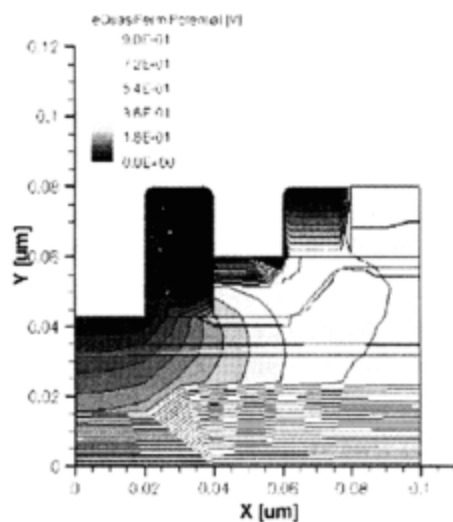
- а) плотность дырок;
- б) плотность электронов;
- в) плотность тока дырок;
- г) плотность тока электронов;
- д) пространственный заряд;
- е) электростатический потенциал.

На рисунке 7.9 представлены следующие графики зависимости от входного напряжения (линейно от времени меняющегося напряжения на базе n - p - n -транзистора):

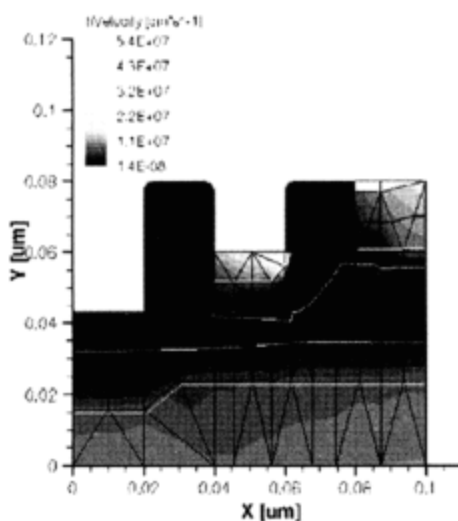
- а) тока дырок в области контакта c_out ;
- б) тока дырок в области контакта c_in ;
- в) тока электронов в области контакта c_out ;
- г) тока электронов в области контакта c_in ;
- д) тока электронов в области контакта c_Grd ;
- е) тока электронов в области контакта c_E ;
- ж) заряда в области контакта c_out ;
- з) заряда в области контакта c_in ;
- и) заряда в области контакта c_Grd .



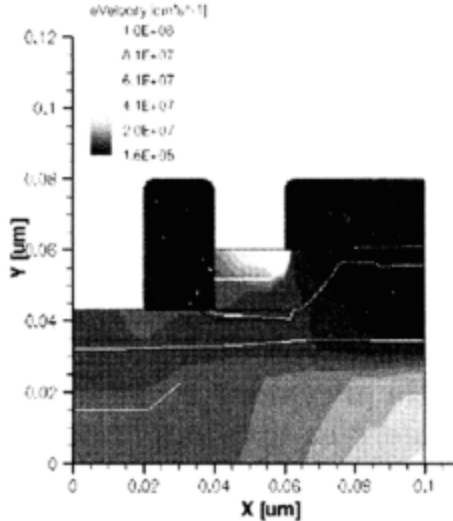
а



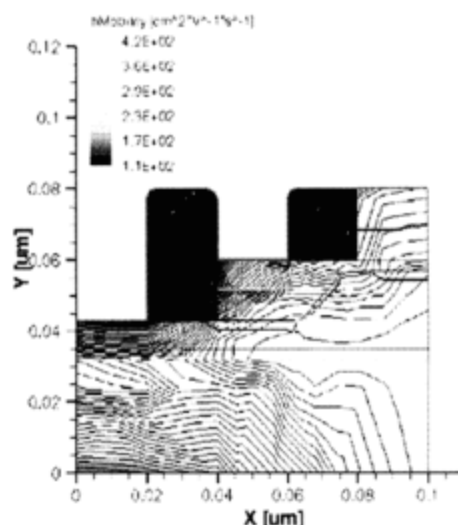
б



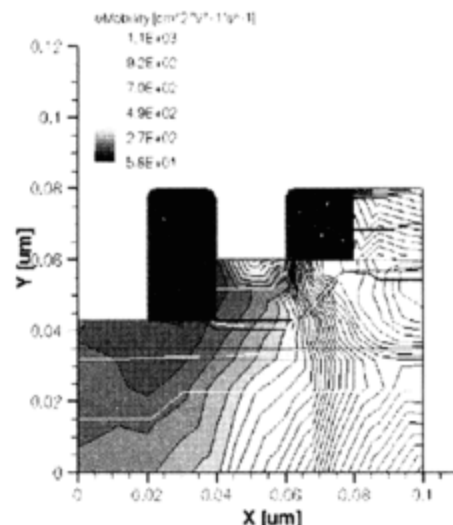
в



г



д



е

Рис. 7.7. Результаты 2D моделирования наноструктуры вертикального ИИ: а) квази-потенциал Ферми для дырок, б) квази-потенциал Ферми для электронов, в) скорость дырок, г) скорость электронов, д) подвижность дырок, е) подвижность электронов

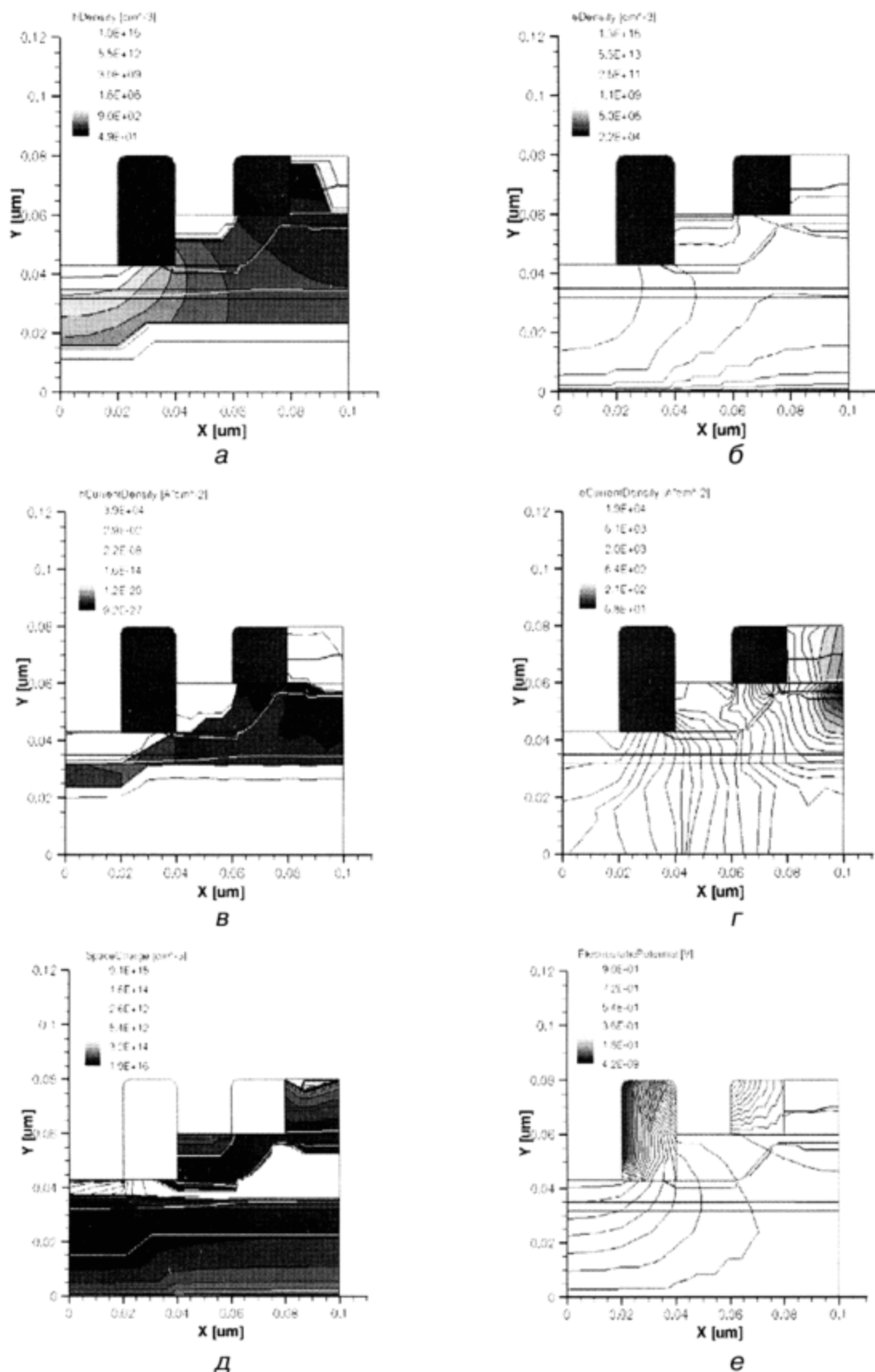
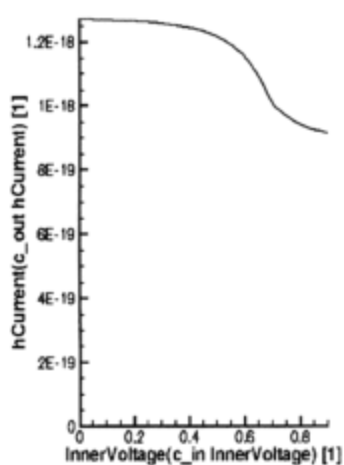
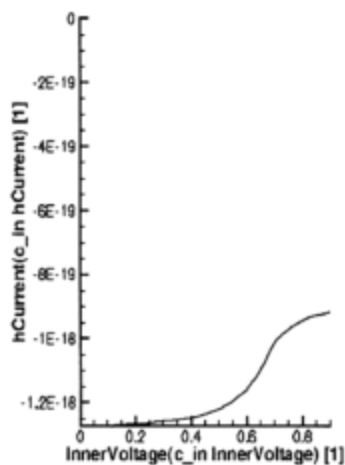


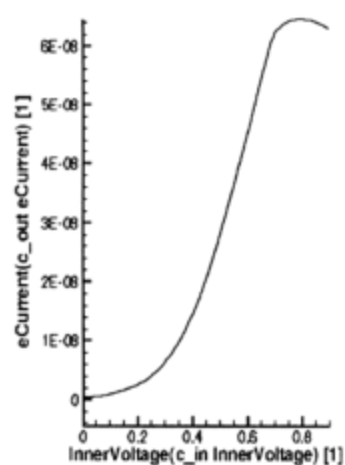
Рис. 7.8. Результаты 2D моделирования наноструктуры вертикального инжекционного инвертора (продолжение): *а*) плотность дырок, *б*) плотность электронов, *в*) плотность тока дырок, *г*) плотность тока электронов, *д*) пространственный заряд, *е*) электростатический потенциал



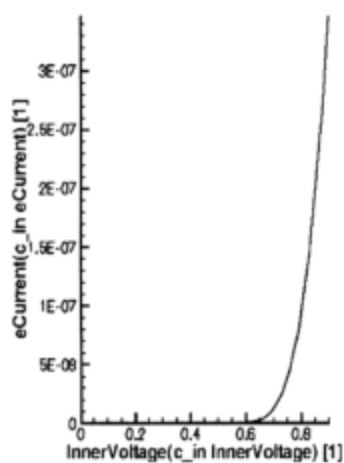
а



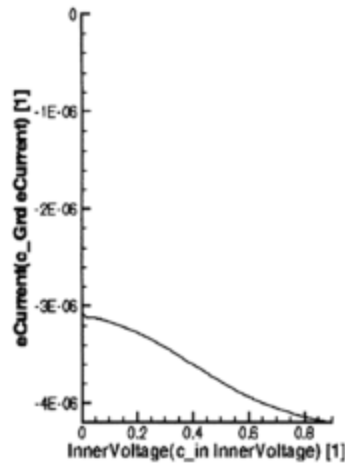
б



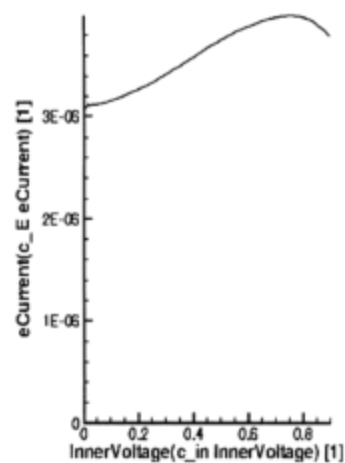
в



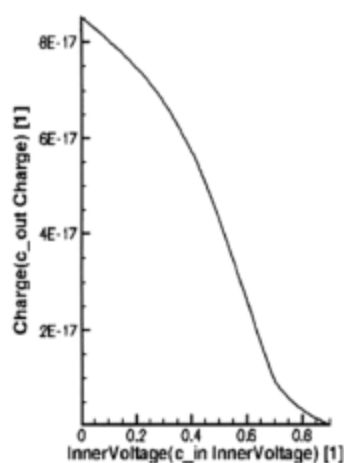
г



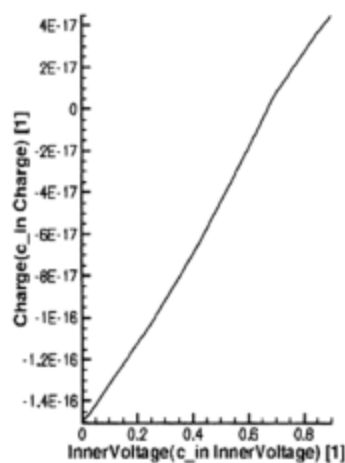
д



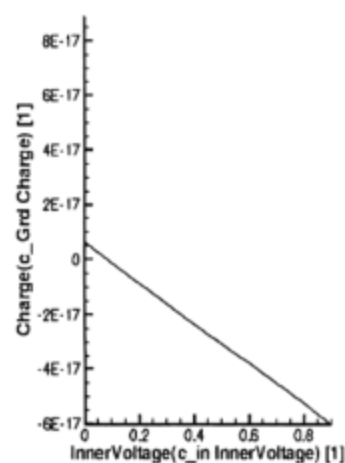
е



ж



з



и

Рис. 7.9. Результаты 2D моделирования наноструктуры вертикального ИИ, графики функций: а) ток дырок в области контакта c_out , б) ток дырок в области контакта c_in , в) ток электронов в области контакта c_out , г) ток электронов в области контакта c_in , д) ток электронов в области контакта c_Grd , е) ток электронов в области контакта c_E , ж) заряд в области контакта c_out , з) заряд в области контакта c_in , и) заряд в области контакта c_Grd

7.6.5. 3D моделирование наноструктуры вертикального инжекционного инвертора

Трехмерную структуру слоистого инвертора получаем, используя процедуру Extrude и добавляя сечению третье измерение (рис. 7.10–7.12). Показаны: 3D наноструктура вертикального слоистого инжекционного инвертора; этап, когда осуществляется назначение материалов, концентраций и контактов; расчетная сетка.

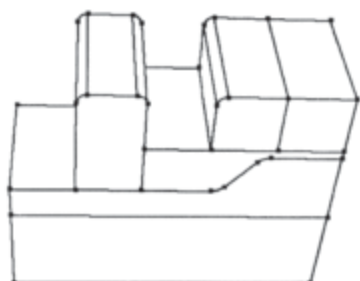


Рис. 7.10. 3D наноструктура вертикального слоистого ИИ

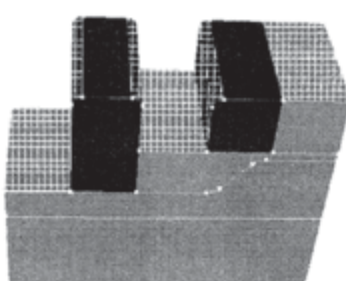


Рис. 7.11. Назначение материалов, концентраций и контактов

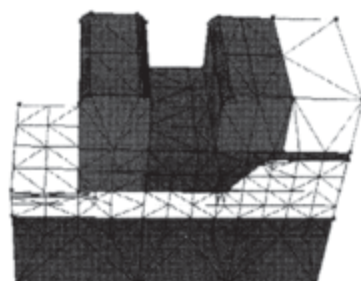


Рис. 7.12. Расчетная сетка для 3D моделирования наноструктуры вертикального ИИ

При переходе от 2D к 3D моделированию с помощью процедуры Extrude сохраняются старые значения концентраций областей и параметры расчетной сетки.

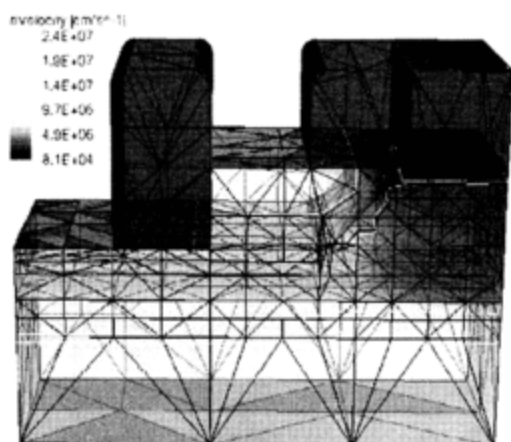
На рисунке 7.13 представлены результаты 3D моделирования наноструктуры вертикального инжекционного инвертора для следующих функций:

- а) скорость электронов;
- б) скорость дырок;
- в) квазипотенциал Ферми для электронов;
- г) квазипотенциал Ферми для дырок;
- д) подвижность электронов;
- е) подвижность дырок.

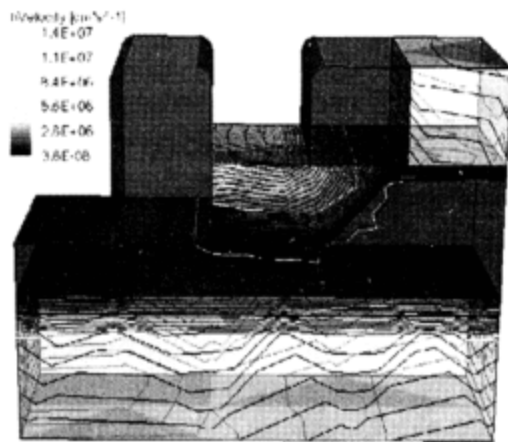
Рисунок 7.14 иллюстрирует результаты 3D моделирования для функций:

- а) плотность электронов;
- б) плотность дырок;
- в) плотность тока электронов;
- г) плотность тока дырок;
- д) пространственный заряд;
- е) электростатический потенциал.

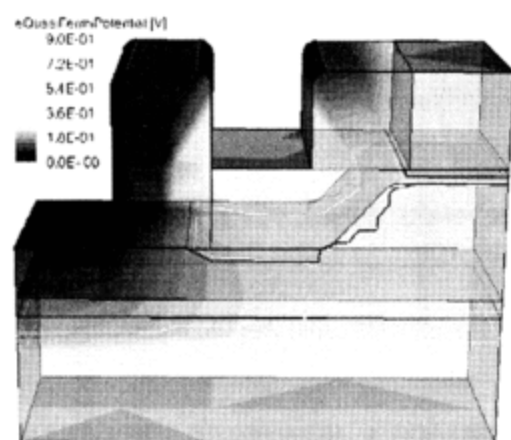
Результаты моделирования подтверждают работоспособность наноструктуры инвертора с формулой $p_1^E \Rightarrow n_2^{\text{Grd}} \Rightarrow p_3^{\text{in}} \Rightarrow n_4^{\text{out}}$.



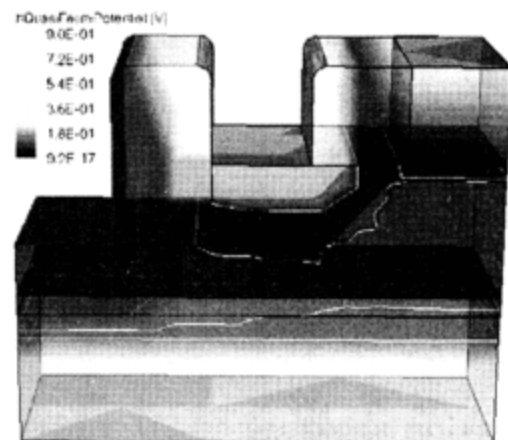
a



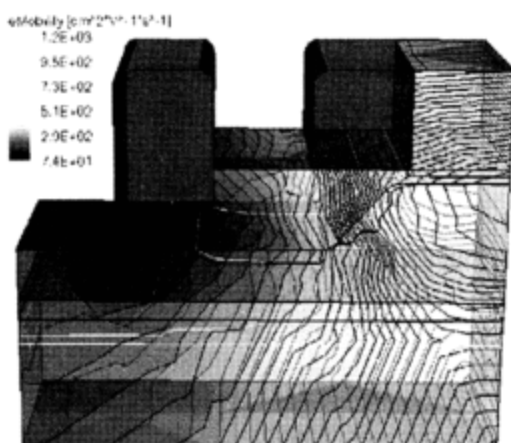
б



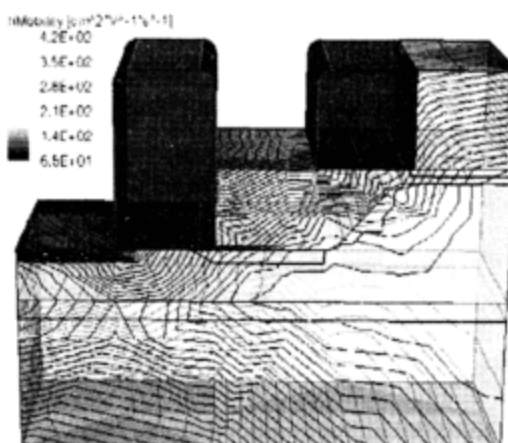
в



г



д



е

Рис. 7.13. Результаты 3D моделирования наноструктуры вертикального ИИ для следующих функций: а) скорость электронов, б) скорость дырок, в) квазипотенциал Ферми для электронов, г) квазипотенциал Ферми для дырок, д) подвижность электронов, е) подвижность дырок

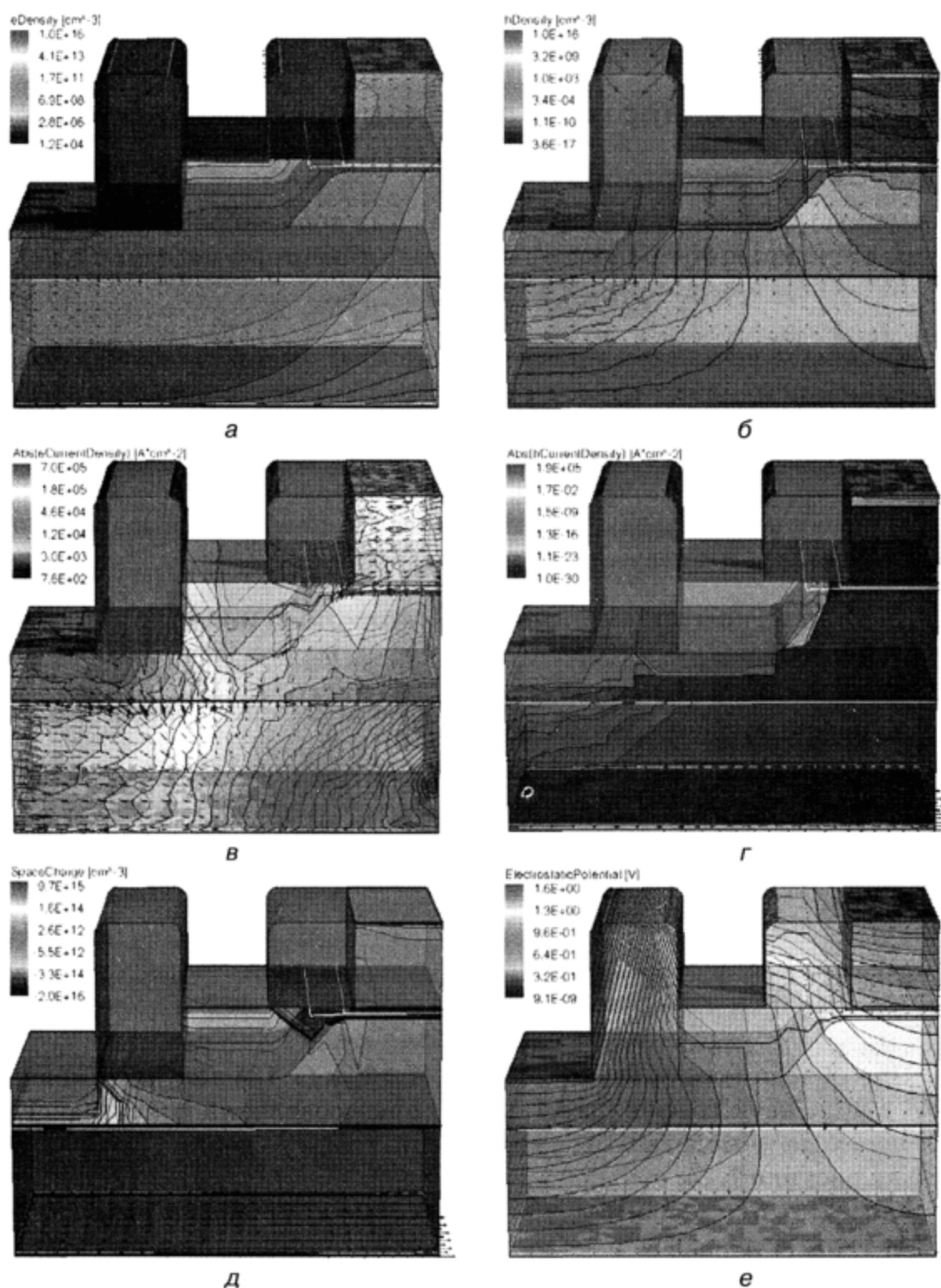


Рис. 7.14. Результаты 3D моделирования наноструктуры вертикального ИИ (продолжение) для следующих функций: *а*) плотность электронов, *б*) плотность дырок, *в*) плотность тока электронов, *г*) плотность тока дырок, *д*) пространственный заряд, *е*) электростатический потенциал

7.7. Другие инверторы переходной схемотехники

7.7.1. Синтез инверторов ($N = 5$)

С помощью уже рассмотренных методов был получен ряд p – n -инверторов размерностью $N = 5$ [84, 85], например инвертор с моделью (7.11):

$$n_1^{F_{\text{вх}}} - p_2^E - n_3^\perp - p_4^{F_{\text{вх}}} - n_5^{F_{\text{вых}}}. \quad (7.11)$$

Как видно из модели, инвертор состоит из математической модели инжекционного инвертора ($N = 4$) и лишнего, с точки зрения логической функции или режимов работы, всегда открытого перехода

$$n_1^{F_{\text{вх}}} - p_2^E,$$

увеличивающего потребляемую мощность элемента. Наиболее интересным является p – n -инвертор размерностью $N = 6$.

7.7.2. Синтез комплементарных биполярных инверторов ($N = 6$)

Комплементарный биполярный инвертор (КБИ) с размерностью $N = 6$ можно получить двумя способами:

- синтез принципиальной схемы в транзисторной схемотехнике по аналогии с КМОП-инвертором;
- синтез с помощью операции объединения математических моделей n – p – n -транзистора обычного биполярного инвертора:

$$n_3^{F_{\text{вых}}} - p_2^{F_{\text{вх}}} - n_1^\perp \quad (7.12)$$

и дерева (p – n – p), увеличивающего размерность ФИЭ:

$$p_6^E - n_5^{F_{\text{вх}}} - p_4^{F_{\text{вых}}}. \quad (7.13)$$

При объединении только моделей (7.12) и (7.13) получаем модель КБИ в виде двух графов (рис.7.15, а), при добавлении склеивающего p – n -перехода — модель КБИ в виде одного графа — дерева, изображенного на рисунке 7.15, б.

КБИ ($N = 6$) с максимальной плотностью компоновки имеет математическую модель:

$$p_6^E - n_5^{F_{\text{вх}}} - p_4 - n_3^{F_{\text{вых}}} - p_2^{F_{\text{вх}}} - n_1^\perp, \quad (7.14)$$

а его вертикальная структура:

$$n_1^\perp [p_2^{F_{\text{вх}}} [n_3^{F_{\text{вых}}} [p_4 [n_5^{F_{\text{вх}}} [p_6^E]]]]]. \quad (7.15)$$

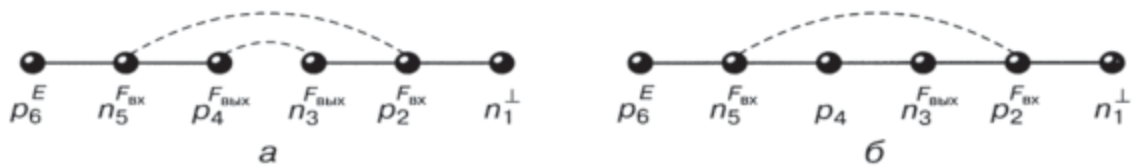
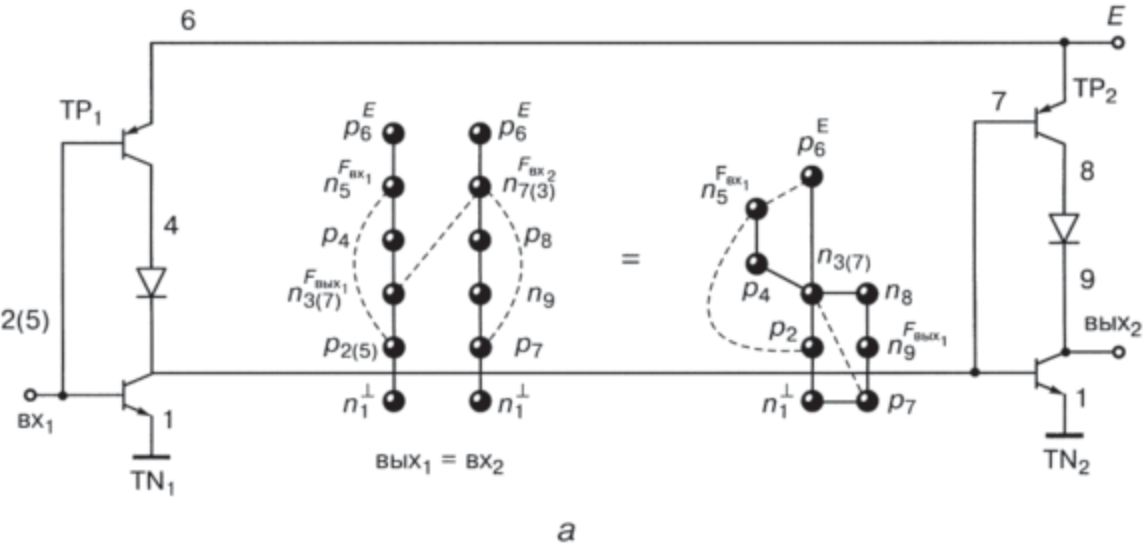


Рис. 7.15. Модели КБИ: а) модель в виде двух графов ($N = 6$), б) модель в виде одного графа ($N = 6$).

Результаты моделирования КБИ с формулой (7.14) представлены в таблице на рисунке 7.16, б. При наличии аналогичной нагрузки КБИ работает следующим образом: при подаче на вход схемы напряжения логического нуля (0,1 В) переход база–эмиттер n - p - n -транзисто-



Если	Тран- зистор	Напряжение на переходе, В		Режим
		база–эмиттер	база–коллектор	
$U_{вх} = U^0 = 0,1 \text{ В}$	TN ₁	p_2-n_1 0,1	p_2-n_3 -0,43	Закрыт
	TP ₁	p_6-n_5 0,6	p_4-n_5 0,69	Насыщен
	TN ₂	p_7-n_1 0,53	p_7-n_9 0,46	На грани насыщения
	TP ₂	$p_6-n_{7(3)}$ 0,43	$p_8-n_{7(3)}$ 0,25	Закрыт
$U_{вх} = U^1 = 1,0 \text{ В}$	TN ₁	p_2-n_1 1	p_2-n_3 1	Насыщен
	TP ₁	p_6-n_5 0,46	p_4-n_5 -0,36	Закрыт
	TN ₂	p_7-n_1 0	p_7-n_9 -0,37	Закрыт
	TP ₂	$p_6-n_{7(3)}$ 0,6	$p_8-n_{7(8)}$ 0,7	Насыщен

Рис. 7.16. Синтез и моделирование КБИ ($N = 6$): а) принципиальные схемы КБИ с нагрузкой в транзисторной и переходной схемотехнике, б) режимы работы КБИ с нагрузкой

ра (TN_1) КБИ закрыт, переход база–эмиттер p – n – p -транзистора (TP_1) — открыт. Транзистор TN_1 закрыт, транзистор TP_1 — открыт и насыщен. Если к выходу КБИ не подключена нагрузка, то напряжение на выходе определяется как

$$U_{\text{вых}}^1 = E - U_{\text{ко}},$$

где E — напряжение питания, $U_{\text{ко}}$ — остаточное напряжение насыщенного транзистора при отсутствии тока коллектора насыщения. При наличии нагрузочной схемы ток p – n – p транзистора (TP_1) поступает в базу n – p – n -транзистора нагрузочной схемы. Тогда напряжение логической единицы на выходе КБИ определится по формуле:

$$U_{\text{вых(н)}}^1 = E - U_{\text{кэн}} - U_{D(p-n)},$$

где $U_{\text{кэн}}$ — напряжение коллектор–эмиттер насыщенного p – n – p -транзистора с учетом тока коллектора насыщения, $U_{D(p-n)}$ — напряжение на открытом p – n -переходе. Этого напряжения должно быть достаточно для отпирания транзистора TN_2 нагрузочной схемы.

При подаче на вход напряжения логической единицы (высокого уровня напряжения) переход база–эмиттер n – p – n -транзистора КБИ открыт, переход база–эмиттер p – n – p -транзистора КБИ — закрыт; транзистор TN_1 — открыт и насыщен, транзистор TP_1 — закрыт. В этом режиме КБИ так же, как и комплементарный МОП-инвертор, не потребляет мощности от цепи питания.

На выходе получаем низкий уровень напряжения, определяемый напряжением на коллекторе насыщенного n – p – n -транзистора по отношению к его эмиттеру:

- без нагрузочной схемы $U_{\text{вых}}^0 = U_{\text{ко}}$;
- при наличии нагрузочной схемы $U_{\text{вых(н)}}^0 = U_{\text{кэн}}$.

Для увеличения запасов помехоустойчивости КБИ необходимо минимизировать сопротивления областей, определяющих увеличение напряжений $U_{\text{кэн}}$ и U_D . Запас помехоустойчивости по отрицательной помехе [84] у КБИ (рис. 7.15, а) выше, но для этого требуется введение металлизации между слоями p_4 и n_3 , которая устраняла бы диод перехода p_4 – $n_3^{F_{\text{вых}}}$ (рис. 7.15, б).

На рисунке 7.16, а кроме принципиальной схемы КБИ с нагрузкой приводится уравнение синтеза ФИЭ КБИ с нагрузкой. Решением уравнения является математическая модель ФИЭ КБИ с нагрузкой размерностью не двенадцать, а девять, за счет дополнительной функциональной интеграции при синтезе более сложных элементов интегральных схем. ФИЭ КБИ с нагрузкой $N=9$ содержит два цикла. Чтобы избежать повышения размерности, его необходимо реализовать с учетом правил генерации интегральных структур элементов, имеющих математическую модель с циклами.

Глава 8

РЕАЛИЗАЦИЯ ФУНКЦИИ И–НЕ В ТРАНЗИСТОРНОЙ И ПЕРЕХОДНОЙ СХЕМОТЕХНИКАХ

8.1. Реализация функции И–НЕ в транзисторной схемотехнике в базе диодно-транзисторной логики

В транзисторной схемотехнике схема диодно-транзисторной логики (ДТЛ) выглядит, как показано на рисунке 8.1. Схема ДТЛ состоит из трех подсхем:

- конъюнктор, реализованный диодной сборкой D_1, D_2, R_1 , количество диодов равно количеству входов вентиля;
- инвертор с коллекторной резистивной нагрузкой T, R_2 ;
- схема сопряжения между ними D_3, D_4 , которая необходима из-за разности напряжений логических уровней; сопротивление R_3 , подключенное к источнику отрицательного напряжения питания, используется для рассасывания заряда из базы транзистора, когда он начинает закрываться, что ускоряет переходные процессы в вентиле и повышает его быстродействие.

Схема ДТЛ работает на положительной логике и выполняет логическую функцию И–НЕ.

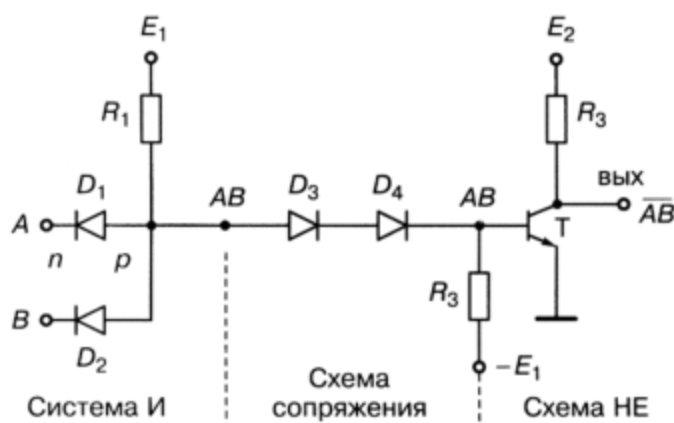


Рис. 8.1. Схема ДТЛ транзисторной схемотехники

Работа ДТЛ. Напомним, что для положительной логики логическая единица стремится к максимальному положительному потенциалу

схемы (напряжению питания), а логический ноль — к минимальному потенциалу схемы (нулевой потенциал шины «земля»).

К узлу *C* подсоединен резистор R_1 , подключенный к источнику питания E_1 , то есть у точки *C* есть некоторый положительный потенциал, назовем его φ_c . Необходимо подобрать питание E_1 таким образом, чтобы клапан был работоспособен — чтобы при подаче на вход напряжения логического нуля диод в конъюнкторе мог открыться. Пусть на открытом диоде падение напряжения составляет 0,7 В. Тогда, если на вход подавать логический ноль, равный примерно 0,2 В (этот уровень напряжения снимается с выхода управляющей логической схемы ДТЛ), потенциал φ_c должен быть как минимум 0,9 В.

Первое ограничение: $E_1 > 0,9$ В (это напряжение логического нуля плюс падение напряжения на открытом входном диоде).

Второе ограничение: $E_1 > 2,3$ В (это сумма падений напряжений на открытых диодах D_3 и D_4 (0,7 В) и на переходе база–эмиттер насыщенного транзистора *T*).

При подаче на входы напряжений логического нуля оба диода (D_1 и D_2) будут открыты. Если диоды открыты, то от источника питания через резистор R_1 течет ток в транзистор управляющей схемы. Работа клапана ДТЛ описана в таблице 8.1.

Таблица 8.1

Анализ работы клапана ДТЛ на два входа

A	B	D₁	D₂	D₃	D₄	T	Выход	
0	0	Открыт	Открыт			Закрыт	1	E_2
0	1	Открыт	Закрыт			Закрыт	1	E_2
1	0	Закрыт	Открыт			Закрыт	1	E_2
1	1	Закрыт	Закрыт			Насыщен	0	$U_{кзн}$

В первом режиме, соответствующем первой значащей строке таблицы 8.1, весь ток от цепи питания E_1 направлен в левую часть схемы. Диоды D_1 и D_2 открыты. Потенциал φ_c — минимум 0,9 В. На открытых диодах D_3 и D_4 падение напряжения составляет $2 \cdot 0,7 = 1,4$ В. Потенциал базы транзистора недостаточен, чтобы открыть его, так что транзистор *T* закрыт.

Если бы не было схемы сопряжения (диодов D_3 и D_4), то потенциал базы равнялся бы $\varphi_c^1 = 0,9$ В, транзистор открывался и насыщался, что противоречит логике клапана И–НЕ, то есть схема была бы неработоспособной.

При наличии диодов D_3 и D_4 или только одного D_3 транзистор *T* закрыт и при отсутствии нагрузки напряжение на выходе будет примерно равно E_2 .

Для положительной логики очевидно, что это соответствует логической единице.

Второй режим (вторая строка табл. 8.1). Напряжение логического нуля подается на вход A , напряжение логической единицы — на вход B . Там, где на входе «ноль», входной диод открыт, там, где «единица», — входной диод закрыт (на него подается обратное смещение). Тем не менее, если в параллельной цепочке открыт хотя бы один компонент, вся цепочка открыта. Ток от цепи питания E_1 опять пойдет в левую часть, в управляющую схему, на выходе которой «ноль». Поэтому транзистор будет по-прежнему закрыт, то есть опять на выходе схемы будет логическая единица.

Третий режим (третья строка табл. 8.1). Логический ноль подается на диод D_2 , он будет открыт, а диод D_1 — закрыт. В параллельной цепочке по-прежнему открыт один диод, поэтому вся цепочка открыта. Ток от цепи питания ответвляется налево, в управляющую схему, с которой подается логический ноль. Диоды D_3 и D_4 закрыты, закрыт выходной транзистор: на выходе — логическая единица.

Три первые строки соответствуют режиму, когда на выходе схемы логическая единица, то есть схема закрыта.

Четвертый режим (четвертая строка табл. 8.1). При подаче на все входы напряжения логической единицы входные диоды D_1 и D_2 закрыты. Определим, каким должен быть потенциал у точки C , чтобы в соответствии с логикой работы вентиля И–НЕ на выходе был логический ноль. Для этого транзистор необходимо ввести в насыщение. Это значит, что в его базу должен поступать ток, достаточный для насыщения транзистора. То есть должны быть открыты диоды D_3 , и D_4 и на базе транзистора должен быть потенциал $U_{бэ\text{ нас}}$ (0,9 В).

Потенциал точки C в режиме, когда на выходе логический ноль, должен быть равен

$$\varphi_c^0 = U_{бэ\text{ нас}} + 2U_D.$$

Исходя из этого и учитывая падение напряжения на резисторе IR_1 , получаем, что напряжение питания E_1 приблизительно должно быть равно 3 В. Из этих соображений и выбирается номинал источников питания вентиля ДТЛ. Анализ реальной работы вентиля ДТЛ подтверждает выполнение им функционально полной логической функции И–НЕ.

Передаточная характеристика ДТЛ. Передаточная характеристика, то есть зависимость выходного напряжения $U_{\text{вых}}$ от входного $U_{\text{вх}}$, определяет тип элемента и некоторые его технические параметры, такие как уровни логических нуля и единицы, а также запасы помехоустойчивости по положительной и отрицательной помехам.

При подаче на один из входов меняющегося напряжения $U_{\text{вх}}$ (на все остальные входы подаются напряжения логической единицы, закры-

вая соответствующие диоды конъюнктора) и анализе работы схемы можно построить передаточную характеристику вентиля ДТЛ (рис. 8.2). Из рисунка видно, как меняется передаточная характеристика, если убрать один из диодов схемы сопряжения, например D_4 .

К достоинствам схемы ДТЛ можно отнести:

- большой запас помехоустойчивости по положительной помехе при наличии двух диодов в схеме сопряжения;
- высокую, по сравнению с МОП- и КМОП-схемами, радиационную стойкость.

Недостатков у этой схемы заметно больше:

- число источников питания огромно, что неприемлемо для сверхбольших интегральных схем;
- большое количество резисторов, которые в транзисторной схемотехнике требуют дополнительных изолирующих областей;
- большая площадь, занимаемая на кристалле, так как в качестве диодов $\text{—}\nabla\text{—}$ в интегральных схемах используется обычный транзистор с закороченным база–коллекторным переходом. Функцию

диода выполняет база–эмиттерный переход транзистора



с минимальной паразитной емкостью перехода среди двух его переходов (если транзистор имеет нормальную, а не инверсную структуру) и минимальным сопротивлением полупроводниковой n -области;

- площадь элемента находится в сильной зависимости от количества его входов, так как в схеме ДТЛ каждому новому входу соответствует новый транзистор.

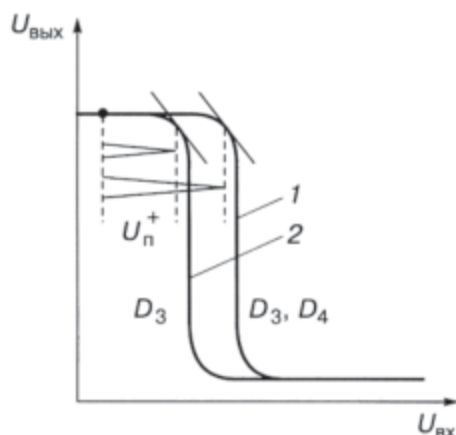


Рис. 8.2. Передаточная характеристика ДТЛ с двумя (1) и одним (2) диодами в схеме сопряжения

8.2. Оптимизация элемента ДТЛ. Преобразование схемы ДТЛ в ТТЛ с простым инвертором

Алгоритм оптимизации схем прост: определив недостатки и достоинства схемы, устраняем недостатки, сохраняя достоинства. Рассмотрим этапы оптимизации.

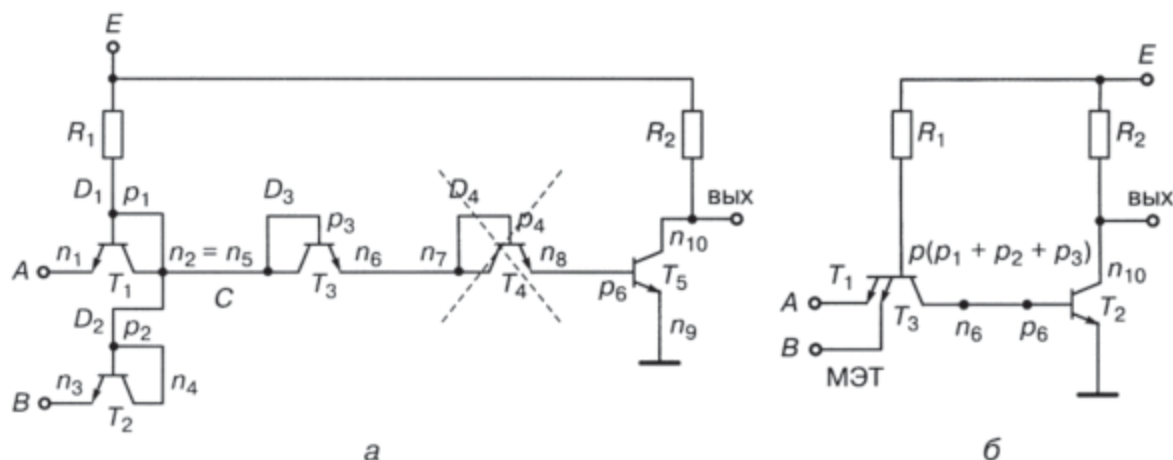


Рис. 8.3. Преобразование схемы ДТЛ в ТТЛ с простым инвертором: а) схема ДТЛ, б) схема ТТЛ с простым инвертором

Первый этап: откажемся от трех источников питания, оставим один: $E_3 = 0$, $E = E_1 = E_2$. Получаем схему с одним положительным питанием (рис. 8.3, а).

Второй этап: уменьшим количество компонентов, без которых можно обойтись — «выбросим» R_3 и D_4 . В связи с этим снизится помехоустойчивость, а площадь значительно сократится. Дальнейшая оптимизация возможна только с применением принципов функциональной интеграции.

Третий этап: функциональная интеграция.

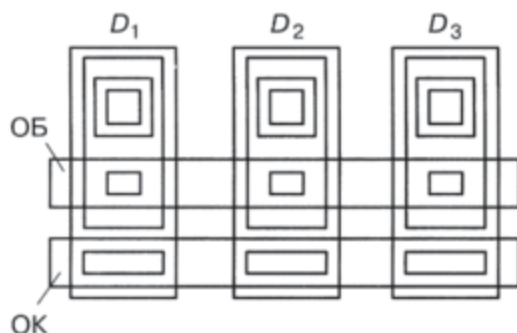


Рис. 8.4. Топология диодной сборки в схеме ДТЛ (ОБ — металлизация, формирующая общую базу, ОК — металлизация, формирующая общий коллектор)

Диоды на базе транзисторных переходов база–эмиттер имеют независимые коллекторные и базовые области транзисторов (рис. 8.4). В транзисторной принципиальной схеме аноды входных диодов D_1 , D_2 и диода D_3 схемы сопряжения объединены, так как имеют один и тот же потенциал.

Последовательно применив принцип функциональной интеграции, получим сначала структуру с одним коллектором (n_3), а потом и с одной базой (p_4). Это не что иное, как многоэмиттерный транзистор (рис. 8.5, б, в) в новой схеме — ТТЛ с простым инвертором (рис. 8.5, а).

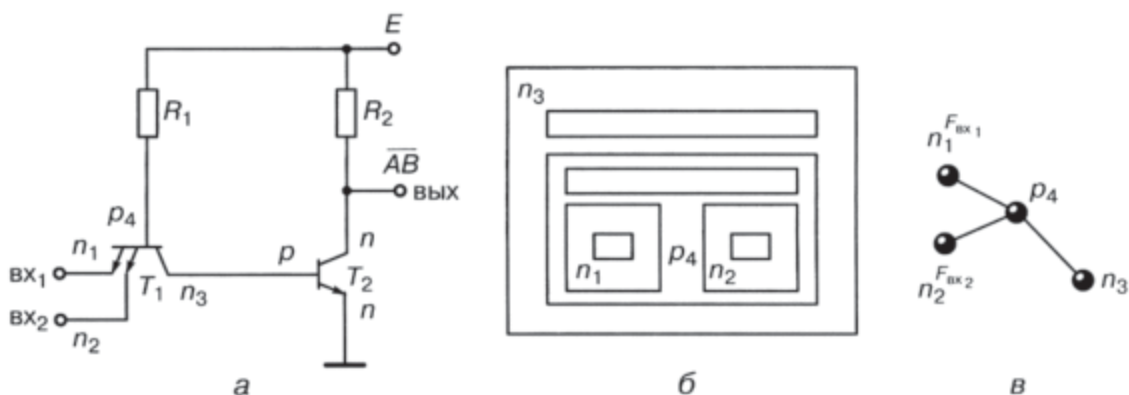


Рис. 8.5. ТТЛ с простым инвертором: а) схема, б) многоэмиттерный транзистор, в) модель многоэмиттерного транзистора

Правило функциональной интеграции: если полупроводниковые области одного типа разных компонентов имеют одинаковый потенциал, они могут быть объединены в одну область.

Таким образом, проведя оптимизацию, мы избавляемся от громоздкой схемы ДТЛ и получаем компактную схему ТТЛ с одним питанием, двумя резисторами и с двумя транзисторами.

8.3. Транзисторно-транзисторная логика с простым инвертором

Работа ТТЛ с простым инвертором. Занимаясь оптимизацией схемы И–НЕ, мы стремились сохранить ее логическую функцию. Проверим, удалось ли нам это. Составим таблицу работы нового вентиля (табл. 8.2).

Таблица 8.2

Анализ работы ТТЛ на два входа

А	В	Т ₁	Т ₂	Выход		
				без нагрузки	с нагрузкой	
0	0	база–эмиттер ₁ открыт база–эмиттер ₂ открыт	Закрит	Е	Е – I R ₂	1
0	1	база–эмиттер ₁ открыт база–эмиттер ₂ закрыт	Закрит	Е	Е – I R ₂	1
1	0	база–эмиттер ₁ закрыт база–эмиттер ₂ открыт	Закрит	Е	Е – I R ₂	1
1	1	база–эмиттер ₁ закрыт база–эмиттер ₂ закрыт	Насыщен	U _{кзн}	U _{кзн}	0

Первая строка. На входы A и B подается напряжение логического нуля. Переходы база–эмиттер и база–эмиттер транзистора T_1 открыты. Ток от цепи питания через резистор R_1 и открытые переходы база–эмиттер будет уходить в управляющую схему. Необходимо, чтобы транзистор T_2 был закрыт. На выходе должна быть логическая единица. Это соответствует участку $[0-2]$ передаточной характеристики (рис. 8.6).



Рис. 8.6. Передаточная характеристика ТТЛ с простым инвертором

Вторая строка. На вход A подается логический ноль — переход база–эмиттер₁ открыт; на вход B подается логическая единица — переход база–эмиттер₂ закрыт. Следовательно, транзистор T_1 открыт (так как один из переходов база–эмиттер открыт). Для транзистора T_2 режим аналогичен предыдущему, он закрыт. На выходе получаем логическую единицу.

Третья строка. Она аналогична второй строке, только переходы меняются местами. На выходе — логическая единица.

Четвертая строка. На обоих входах — логическая единица. Все эмиттерные переходы закрыты. Ток от цепи питания, идущий через резистор R_1 и открытый переход база–коллектор транзистора T_1 , должен быть достаточным, чтобы ввести транзистор T_2 в насыщение. На выходе $U_{\text{кэн}}$ — логический ноль (участок $[3-4]$ передаточной характеристики). Участок $[2-3]$ соответствует отпиранию выходного транзистора T_2 .

Анализ работы подтверждает выполнение схемой ТТЛ с простым инвертором логической функции И–НЕ.

Топология ТТЛ с простым инвертором. На рисунке 8.7 изображена топология ТТЛ с простым инвертором. Видно, что значительно сократилась площадь схемы в сравнении со схемой ДТЛ, выполняющей ту же логическую функцию. Вместо $(m + 1)$ транзисторов (m — количество входов вентиля) — всего один многоэмиттерный транзистор. Данная топология соответствует эпитаксиально-планарной технологии и транзисторной биполярной схемотехнике.

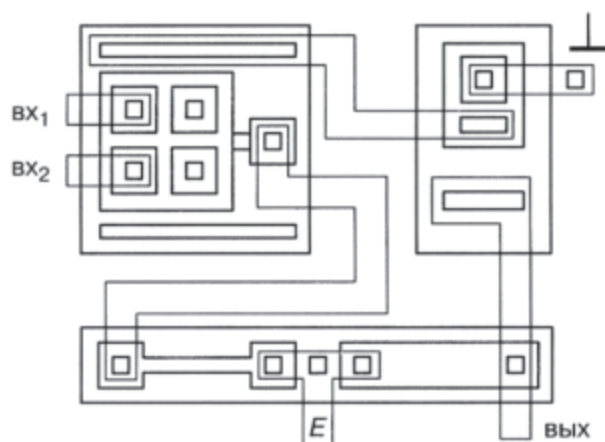


Рис. 8.7. Топология ТТЛ с простым инвертором

В транзисторной биполярной интегральной схемотехнике четко прослеживается принцип дискретности, так как в топологии четко видны отдельные транзисторы и резисторы. Дискретизация является следствием необходимости изоляции транзисторов и резисторов с помощью изолирующих карманов (блочный принцип построения схем), которые, в принципе, при другой схемотехнике (переходной) являются лишними. Таким образом, данная топологическая схема и, соответственно, структура элемента также являются неоптимальными.

Рассмотрим достоинства и недостатки схемы ТТЛ в сравнении со схемой ДТЛ. К *достоинствам* стоит отнести:

- один источник питания;
- уменьшение количества резисторов;
- уменьшение площади элемента;
- улучшение быстродействия.

Недостатки:

- уменьшение запасов помехоустойчивости;
- низкая нагрузочная способность (порядка 3–4), которая практически не применяется в больших схемах;
- наличие паразитного транзистора;
- наличие резисторов, существенно увеличивающих площадь элемента и снижающих информационную плотность СБИС, построенных на этих элементах;
- наличие паразитного транзистора, в структуре многоэмиттерного транзистора (рис. 8.8), где $W_{\text{бп}}$ — толщина базы паразитного $p-n-p$ -транзистора, потребляющего дополнительную мощность.

На рисунке 8.9 показано расположение паразитного транзистора в транзисторной схеме ТТЛ с простым инвертором.

Плохо уже то, как паразитный транзистор оказывается включенным в схему. Ток, который должен поступать в базу транзистора T_2 ,

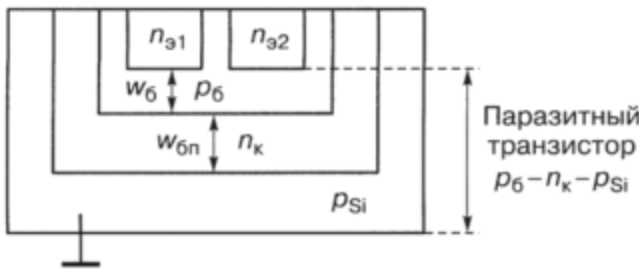


Рис. 8.8. Паразитный транзистор в структуре многоэмиттерного транзистора

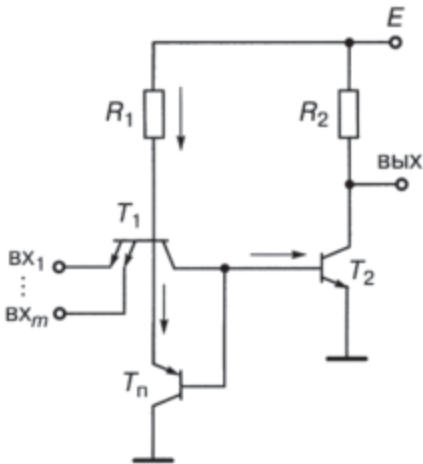


Рис. 8.9. Учет влияния паразитного транзистора

уменьшается из-за того, что паразитный транзистор «отбирает» часть этого тока, заставляет разработчиков увеличивать мощность схемы.

Можно устранить влияние паразитного транзистора, углубляя коллекторный переход, то есть увеличивая толщину базы паразитного транзистора, но тогда мы «проиграем» в динамических характеристиках схемы (из-за увеличения емкости коллекторного перехода).

Для уменьшения влияния паразитного транзистора можно применить топологию МЭТ, как показано на рисунке 8.10. Базовый контакт выделен в отдельную область, которая узким перешейком связана с базой, содержащей эмиттеры. Это приводит к тому, что мы вводим в цепь

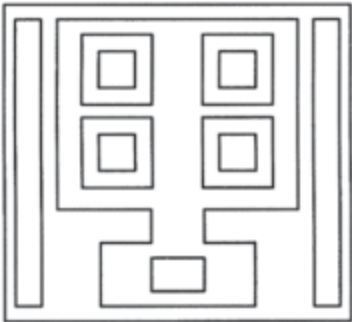


Рис. 8.10. Топология многоэмиттерного транзистора

база–коллектор дополнительный диод, который обеспечивает прохождение тока через резистор R_1 непосредственно в базу транзистора T_2 , минуя паразитный транзистор.

8.4. Модификации ТТЛ с простым инвертором

Первая модификация — ТТЛ с открытым коллектором. На рисунке 8.11 показана первая модификация ТТЛ с простым инвертором с открытым коллектором. Если в стандартной схеме ТТЛ с простым инвертором убрать резистор R_2 , мы получим схему с открытым коллектором. Без нагрузки схема с открытым коллектором работать не будет, обязательно нужна нагрузка, в качестве которой, например, может выступать вход или выход аналогичной схемы.

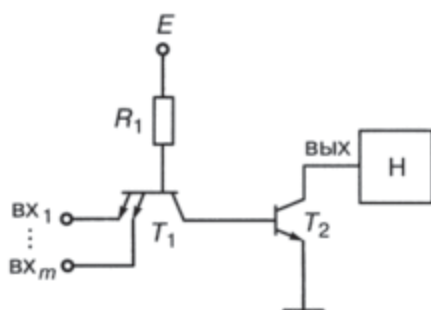


Рис. 8.11. ТТЛ с открытым коллектором требуется нагрузка

Рассмотрим подробнее варианты подключения нагрузки.

1. Подключена обычная схема ТТЛ с простым инвертором.

2. К выходу схемы подсоединен вход аналогичной схемы (рис. 8.12).

Задание. Рассчитайте напряжение логической единицы для схемы, изображенной на рисунке 8.12.

3. К выходу схемы подключен выход точно такой же схемы (рис. 8.13).

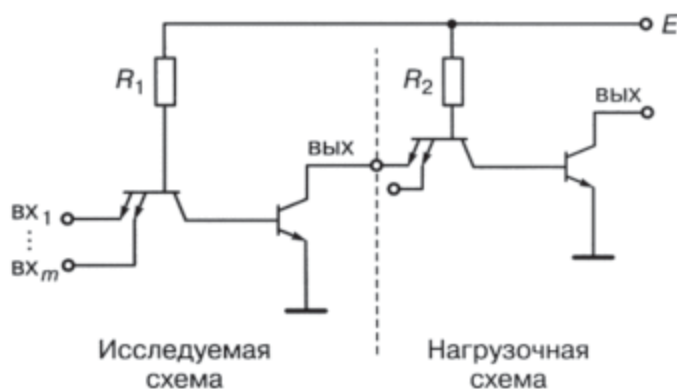


Рис. 8.12. Схема для расчета напряжения логической единицы ТТЛ с простым инвертором с открытым коллектором

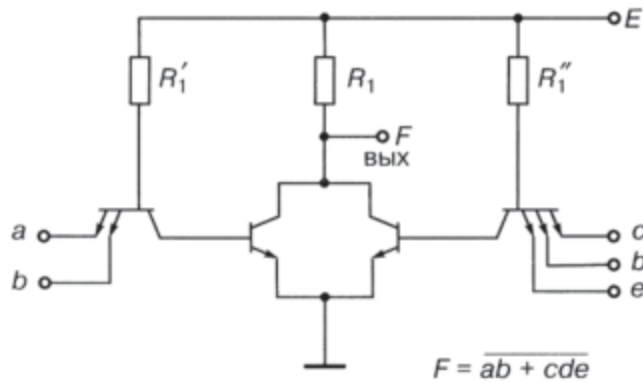


Рис. 8.13. Реализации функции И-ИЛИ-НЕ на ТТЛ с простым инвертором

В центре получаем схему НСТЛ, на входы которой поступают сигналы с конъюнкторов (конъюнктор в данной схеме — соединение многоэмиттерного транзистора и резистора R_1). Параллельное соединение транзисторов при наличии нагрузки R_1 реализует функцию ИЛИ-НЕ. В итоге мы получаем функционально полный вентиль И-ИЛИ-НЕ.

Вторая модификация ТТЛ с простым инвертором — ТТЛ с одним инжектирующим транзистором. Заменяем резистор R_1 $p-n-p$ -транзистором $T_{и1}$, включенным так, как показано на рисунке 8.14 ($r_э$ — сопротивление эмиттера, его необходимо учитывать при моделировании).

На первом шаге мы уже исключили из схемы резистор R_2 , так что получаем схему вообще без резисторов.

Что касается базы питающего $p-n-p$ -транзистора, то ее можно подключать к любому узлу, кроме четвертого. Получается инжекционная схема ТТЛ с открытым коллектором, за исключением того случая, когда база питающего $p-n-p$ -транзистора подключена к выходу схемы (к узлу 2, рис. 8.14). В этом случае формируется путь подключения выхода к цепи питания, через переход база-эмиттер питающего $p-n-p$ -транзистора и сопротивление тела эмиттера $r_э$, при котором возможна работа схемы без нагрузки.

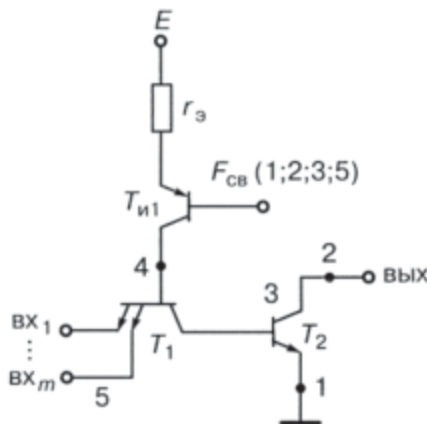


Рис. 8.14. ТТЛ с инжекционным питанием базы многоэмиттерного транзистора

Третья модификация ТТЛ с простым инвертором — комплементарная ТТЛ (КТТЛ). Третья модификация получается в результате замены обоих резисторов стандартной схемы ТТЛ с простым инвертором с инжектирующими p – n – p -транзисторами. Разделив схему на две части (как показано штриховой линией на рис. 8.15), можно сказать, что в левой части — инжекционная схема И, а в правой — инжекционная схема НЕ.

Схема И реализуется с помощью многоэмиттерного транзистора T_1 , питание которого осуществляется с помощью инжектирующего p – n – p -транзистора $T_{и1}$.

Функцию НЕ реализует логический транзистор n – p – n -типа T_2 , питание которого осуществляет подключенный к его базе второй инжектирующий транзистор $T_{и2}$.

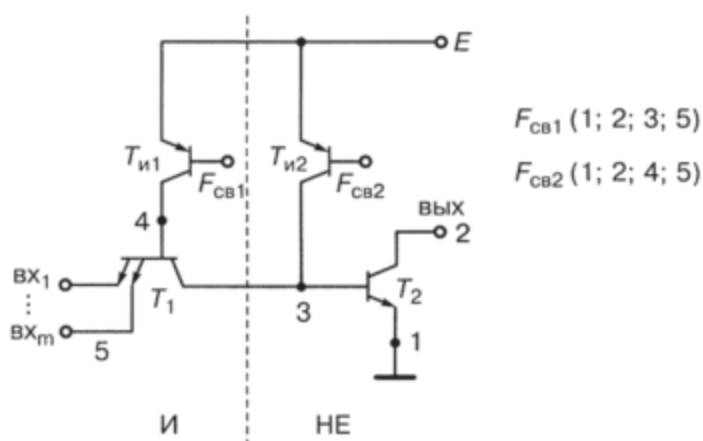


Рис. 8.15. Комплементарная ТТЛ с простым инвертором

Имеется несколько вариантов подключения баз инжектирующих транзисторов $T_{и1}$ и $T_{и2}$:

$$F_{св} = (1, 2, 3, 5);$$

$$F_{св} = (1, 2, 4, 5).$$

В скобках указаны номера узлов схемы, к которым может подключаться база инжектирующего транзистора. Поскольку эта биполярная схема содержит как n – p – n -, так и p – n – p -транзисторы, она называется комплементарной ТТЛ.

Не всегда технологическая база развита до уровня реализации этих схем. Чтобы создать такую схему в трех измерениях, потребуются достаточно сложные, а иногда и новые технологии. Новые технологии нужно отрабатывать, а это требует денежных затрат и времени. Более подробно эти элементы переходной схемотехники будут рассмотрены в разд. 8.9.1.

Применительно к ТТЛ-элементам, выполненным в обычной ЭПТ, разрешить проблему открытого коллектора (необходимость нагрузки) можно, используя диоды, которые устранят разрывы в выходных цепях элемента.

Модификации ТТЛ с диодами. Для того чтобы при закрытом выходном транзисторе T_2 можно было определить напряжение логической единицы, не подключая нагрузку к открытому коллектору, необходимо создать цепь к коллектору транзистора T_2 от цепи питания. Это можно сделать с помощью диодов, как показано на рисунке 8.16.

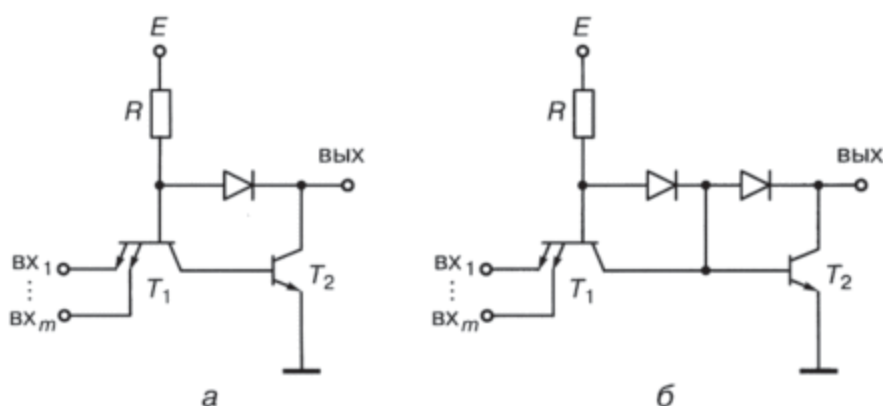


Рис. 8.16. Модификации ТТЛ с простым инвертором: а) с одним диодом, б) с двумя диодами

Если для схемы (рис. 8.16, б) взять не обычные диоды, а диоды Шоттки (рис. 8.17, а), то получится схема маломощной ТТЛ с транзисторами Шоттки (МТТЛШ) (рис. 8.17, б).

Недостатком всех схем ТТЛ с простым инвертором является небольшая нагрузочная способность, что неприемлемо для схем больших степеней интеграции. Для увеличения нагрузочной способности была разработана схема ТТЛ со сложным инвертором [42].

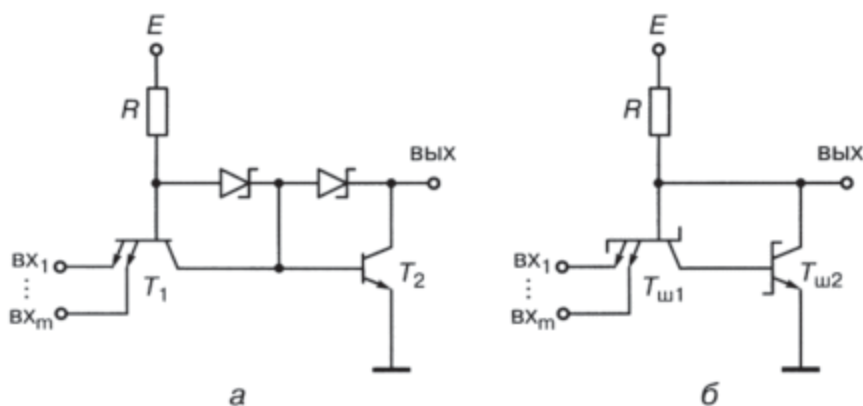


Рис. 8.17. МТТЛ Шоттки: а) эквивалентная схема с диодами Шоттки, б) схема в транзисторной схемотехнике

Таблица 8.3

Работа ТТЛ со сложным инвертором

Вх ₁	Вх ₂	Т ₁		Т	Т	Т	Выход	
А	В	переход база–эми- ттер ₁	переход база–эми- ттер ₁					
0	0	Открыт	Открыт	Закрыт	Закрыт	Открыт	U ¹	1
0	1	Открыт	Закрыт	Закрыт	Закрыт	Открыт	U ¹	1
1	0	Закрыт	Открыт	Закрыт	Закрыт	Открыт	U ¹	1
1	1	Закрыт	Закрыт	Насыщен	Насыщен	Закрыт	U _{кзн}	0

Схема ТТЛ работает на положительной логике: логический ноль соответствует низкому потенциалу (потенциалу шины «земля», то есть 0 В), логическая единица — высокому потенциалу (напряжению питания).

Первая строка. Напряжения на входах А и В соответствуют напряжению логического нуля, самого низкого потенциала в схеме. Потенциал точки С определяется напряжением источника питания. Мы должны подобрать напряжение питания таким образом, чтобы переходы база–эмиттер были открыты, и ток через открытые переходы от цепи питания и резистор R₁ «уходил» в управляющую схему. Транзистор Т₂ закрыт, в нем текут токи утечки, падение напряжения на резисторе R₃ практически 0 В, и это напряжение подается на базу транзистора Т₃. На переходе база–эмиттер транзистора Т₃ нулевое смещение, транзистор Т₃ закрыт. Ток утечки дает на резисторе R₂ маленькое падение напряжения, поэтому на базе транзистора Т₄ оно практически равно Е, транзистор Т₄ открыт. На выходе — напряжение логической единицы U¹:

$$U^1 \approx E - u_{\text{ба}_4} - u_{\text{д}}.$$

Вторая строка. На вход А подается напряжение логического нуля, а на вход В — напряжение логической единицы. Первый переход база–эмиттер₁ открыт, второй переход база–эмиттер₂ закрыт. В параллельной цепочке если хотя бы один переход открыт, то вся цепочка тоже открыта. Режим работы компонентов сложного инвертора аналогичен предыдущему. На выходе — напряжение логической единицы U¹.

Третья строка. Она аналогична предыдущей, только переходы как бы меняются местами. На вход А подается напряжение логической единицы, переход база–эмиттер₁ закрыт, зато открыт переход база–эмиттер₂, так как на вход В подано напряжение логического нуля.

Параллельная цепочка переходов база–эмиттер открыта. Режим работы компонентов сложного инвертора аналогичен предыдущему. На выходе — напряжение логической единицы U^1 .

Четвертая строка. На оба входа подается напряжение логической единицы. Запираются все переходы база–эмиттер. Ток от цепи питания через резистор R_1 и открытый переход база–коллектор транзистора T_1 поступает в базу транзистора T_2 . Транзистор T_2 должен быть введен в насыщение. Тогда в цепочке $R_2-T_2-R_3$ потечет большой ток коллектора насыщения. Из-за падения напряжения на резисторе R_3 на базе транзистора T_3 по отношению к его эмиттеру увеличится напряжение, и оно должно быть таким, чтобы ввести транзистор T_3 в насыщение. Из-за большого тока, идущего через резистор R_2 , падает потенциал на базе транзистора T_4 , в результате чего он закрывается. Надежное запирающее обеспечивает диод D , включенный в цепь его эмиттера. Потенциал на выходе определяется напряжением коллектор–эмиттер насыщенного транзистора $T_3-U_{кэп3}$ (примерно 0,1–0,2 В), то есть на выходе получаем напряжение логического нуля U^0 .

Из таблицы 8.3 и анализа режимов работы четко видны пары транзисторов: T_2-T_3 и T_3-T_4 .

Пара T_2-T_3 всегда работает в одинаковых режимах. С точки зрения схемотехники, это один транзистор, у которого напряжение база–эмиттер удвоено. В результате устраняется недостаток ТТЛ с простым инвертором, а именно невысокий запас помехоустойчивости.

Транзисторы T_3 и T_4 всегда находятся в противоположных состояниях. Транзистор T_4 был введен в схему для уменьшения выходного сопротивления схемы, что приводит к увеличению ее выходного тока и, как следствие, к увеличению нагрузочной способности.

Поскольку в закрытом режиме схемы выходное сопротивление определяет не резистор, а открытый транзистор T_4 , емкости нагрузочных схем перезаряжаются не через килоомное сопротивление резистора, а через омные сопротивления транзистора. Следовательно, вводя транзистор T_4 , мы повышаем быстродействие схемы в сравнении с ТТЛ с простым инвертором.

Оценим достоинства и недостатки этого вентиля в сравнении с ТТЛ с простым инвертором. К *достоинствам* можно отнести:

- уменьшение задержки вентиля И–НЕ за счет уменьшения выходного сопротивления (это теперь не килоомный резистор, а сопротивление открытого транзистора T_4);
- достаточно хороший запас помехоустойчивости (как у ДТЛ) за счет составного транзистора T_2-T_3 ;
- большую нагрузочную способность (достаточную для СВИС) за счет увеличения выходного тока.

К недостаткам относятся:

- большое количество резисторов;
- большая площадь, занимаемая вентиляем на кристалле, снижающая информационную плотность СВИС на этих элементах;
- неидеальная передаточная характеристика, что критично для работы в цепях с помехами.

Рассмотрим передаточную характеристику схемы ТТЛ. Подключим к одному из входов ТТЛ со сложным инвертором источник меняющегося напряжения $U_{вх}$, а на остальные $(m - 1)$ входов дадим напряжение логической единицы, закрыв тем самым остальные переходы база–эмиттер транзистора T_1 (рис. 8.19).

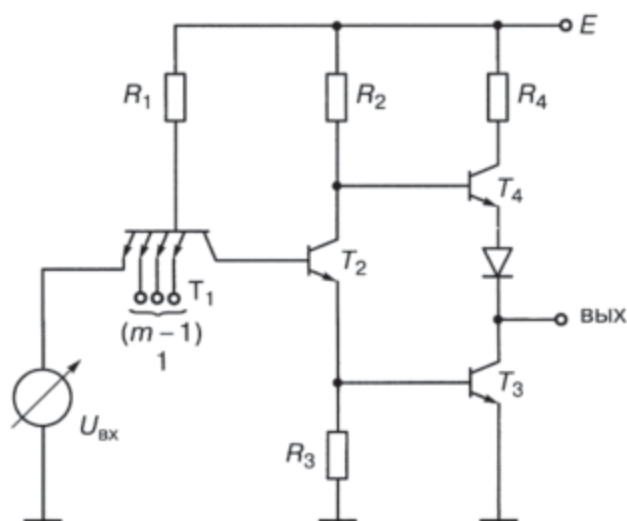


Рис. 8.19. Схема для определения передаточной характеристики ТТЛ со сложным инвертором

Увеличивая напряжение $U_{вх}$, определим напряжение на выходе. Передаточная характеристика выглядит, как показано на рисунке 8.20, а.

На передаточной характеристике: A — рабочая точка, когда на входе напряжение логического нуля, B — рабочая точка, когда на входе напряжение логической единицы. Напряжение логической единицы — это не только уровень U^1 , но и любое значение $U_{вых}$ на участке $[1-2]$. Этот участок передаточной характеристики между точками 1 и 2 является существенным недостатком схем ТТЛ. Выпрямление этого участка — одна из основных задач, которые необходимо решить при оптимизации этой схемы.

На рисунке 8.20 показано, что если на вход нагрузочной схемы ТТЛ₂ поступит напряжение логической единицы с участка $[1-2]$ передаточной характеристики, то рабочая точка B для этой схемы «съедет» влево, и запас помехоустойчивости по отрицательной помехе нагрузоч-

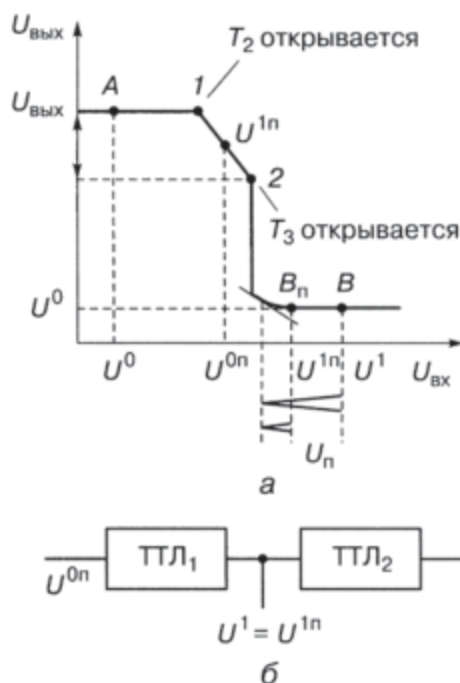


Рис. 8.20. Анализ запаса помехоустойчивости по отрицательной помехе ТТЛ со сложным инвертором: а) передаточная характеристика, б) схема включения

ной схемы уменьшится, что является существенным недостатком этого класса схем.

8.6. Модификации схем ТТЛ со сложным инвертором

Модификация схемы наблюдается, как правило, в результате схемного устранения того или иного ее недостатка. Рассмотрим несколько модификаций схем ТТЛ со сложным инвертором, а вместе с ними — приемы оптимизации схем.

8.6.1. ТТЛ с диодом в базовой цепи нагрузочного транзистора

Перемещение диода из эмиттерной цепи транзистора T_4 в базовую повышает запас помехоустойчивости схемы вследствие увеличения напряжения логической единицы.

Так как ток, протекающий через диод в базовой цепи I_{D_b} , меньше тока через диод в эмиттерной цепи I_{D_e} примерно в β раз (где β — коэффициент усиления транзистора), то в соответствии с вольт-амперной характеристикой диода (рис. 8.21, б) напряжение на открытом диоде в базовой цепи U_{D_b} меньше напряжения на открытом диоде в эмиттерной цепи транзистора U_{D_e} . Благодаря этому в формуле определения напряжения логической единицы $U^1 \approx E - u_{\text{баз}} - u_D$ «вырастет» значение U^1 . В передаточной характеристике уровень логической единицы повысит-

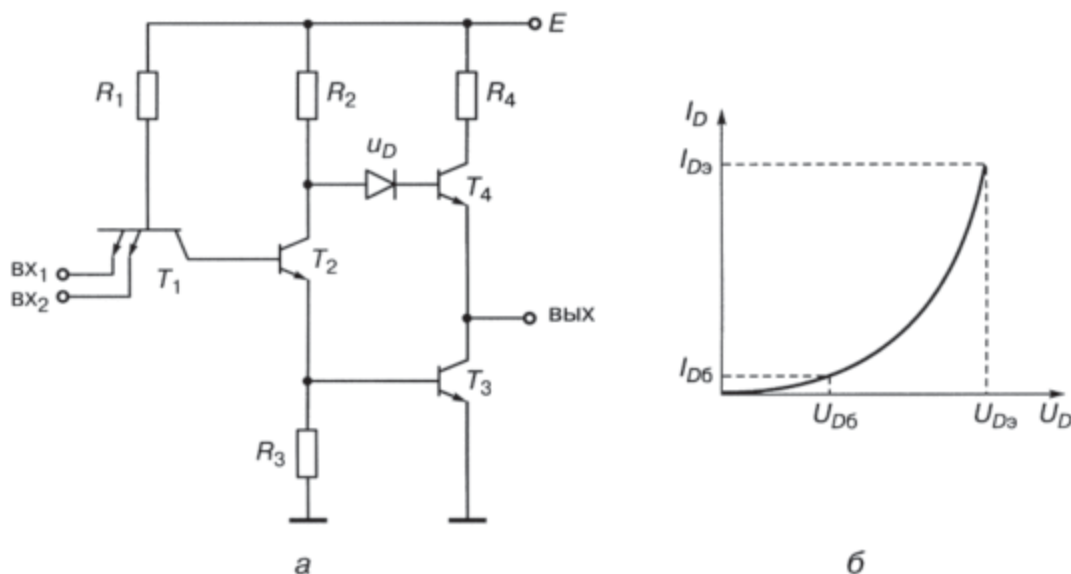


Рис. 8.21. Перенесение диода из эмиттерной в базовую цепь транзистора T_4 : а) схема ТТЛ, б) вольт-амперная характеристика диода

ся, рабочая точка B сдвинется вправо, запас помехоустойчивости по отрицательной помехе возрастет.

Недостатком «перемещения» диода в базовую цепь транзистора T_4 является снижение быстродействия схемы вследствие увеличения паразитной емкости, подключенной к базе этого транзистора.

8.6.2. ТТЛ с ключом в базовой цепи выходного транзистора

На рисунке 8.22 изображена модификация ТТЛ со сложным инвертором, исправляющая ее передаточную характеристику (выпрямляющая участок $[1-2]$, делающая его параллельным оси $U_{вх}$). Схема отличается от базовой тем, что к базе выходного транзистора T_3 подключен ключ — подсхема $R_5-T_5-R_3$.

Ключ открывается вместе с транзисторами T_2 и T_3 тогда, когда напряжение на переходе база–эмиттер транзистора T_3 становится равным напряжению отпирания $U_{бэз}$ (0,5–0,6 В) — точка 2' на рисунке 8.22, б. Только в этом случае в транзисторе T_2 появляется ток, то есть уровень единицы не будет изломан на участке $[A-2]$. В результате передаточная характеристика будет выпрямлена и станет практически идеальной.

Недостаток. Мы ввели лишнее сопротивление и транзистор, то есть, улучшив передаточную характеристику, мы увеличили площадь и снизили быстродействие схемы ТТЛ со сложным инвертором.

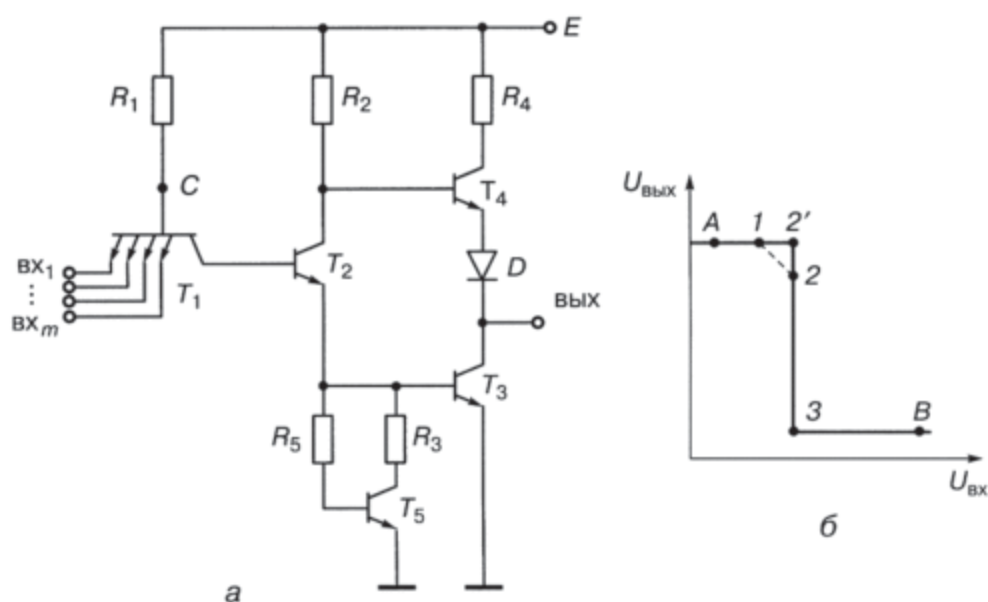


Рис. 8.22. ТТЛ с ключом в базе выходного транзистора: а) схема, б) передаточная характеристика

8.6.3. ТТЛ с использованием пары Дарлингтона

Эта модификация отличается от базовой ТТЛ тем, что вместо транзистора T_4 и диода используются последовательно включенная пара $n-p-n$ -транзисторов, называемая парой Дарлингтона (рис. 8.23).

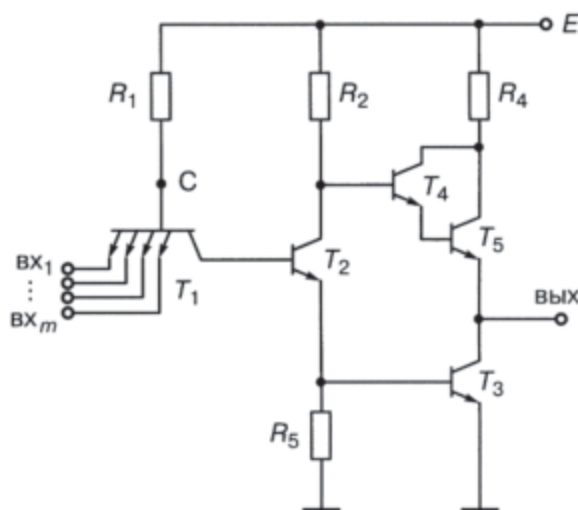


Рис. 8.23. ТТЛ с парой Дарлингтона

Выходной ток $I_{ВЫХ}$ примерно в β раз больше, чем в базовой схеме. Так как нагрузочная способность определяется по формуле:

$$n = \frac{I_{ВЫХ}}{I_{ВХ}},$$

то, соответственно, она (n) возрастает в то же количество раз (β), что и выходной ток. Этот прием позволяет использовать данную модификацию в схемах, требующих большую нагрузочную способность ТТЛ.

8.6.4. Повышение быстродействия схемы ТТЛ со сложным инвертором

В режиме, когда на выходе напряжение логического нуля, транзисторы T_2 и T_3 насыщены (рис. 8.24), в их базах соответственно накапливаются заряды. В базе транзистора T_2 будет накоплен заряд Q_2 , в базе T_3 — заряд Q_3 . Как только на одном из входов напряжение поменяется на ноль, транзисторы начнут закрываться, поэтому потребуется время для рассасывания накопленных в базах зарядов.

Время задержки этого процесса t^{01} (перехода из нуля в единицу) будет определяться по формуле:

$$t^{01} = t_{p_2} + t_{отп_4} + t_{p_3} + t_{\phi}^+.$$

При оптимизации схемы по быстродействию основной задачей является уменьшение времени рассасывания зарядов из баз транзисторов T_2 и T_3 .

Возможны различные варианты решения. Рассмотрим модификации ТТЛ со сложным инвертором, которые частично или полностью решают эту задачу.

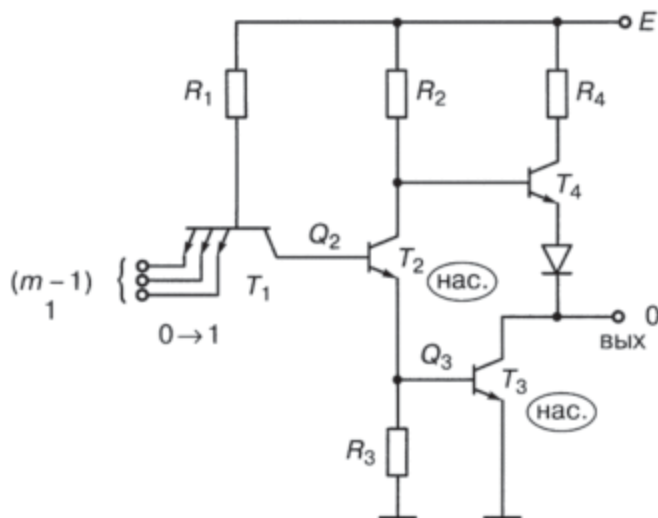


Рис. 8.24. ТТЛ со сложным инвертором. Режим логического нуля на выходе

ТТЛ с использованием медленного диода (первый алгоритм). Схема, изображенная на рисунке 8.25, отличается от стандартной тем, что параллельно переходу база–эмиттер транзистора T_2 включен медленный диод D_m .

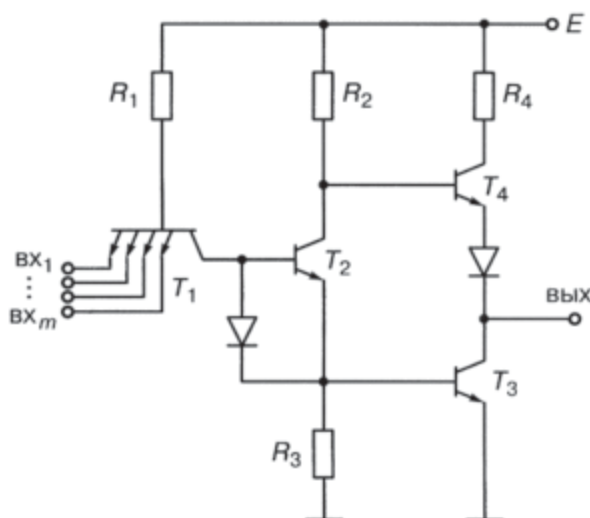


Рис. 8.25. ТТЛ с медленным диодом

Сначала рассмотрим случай, когда на какой-либо из входов подается логический ноль, тогда ток от цепи питания через резистор R_1 и открытый переход база–эмиттер поступает в управляющую схему. В какой-то момент времени на вход, где был логический ноль, подается логическая единица, ток от цепи питания идет в правую часть схемы.

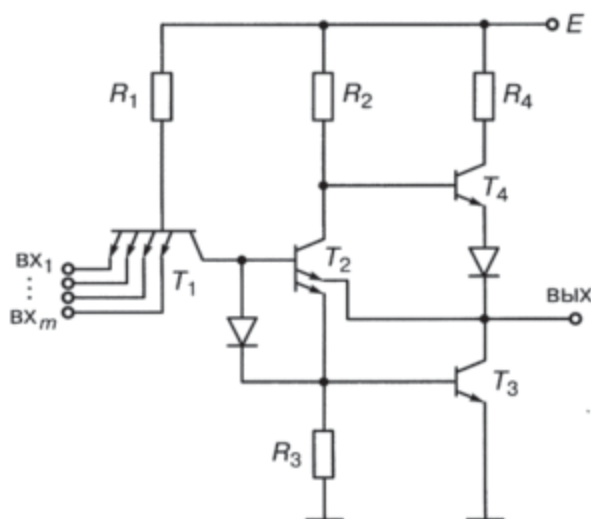
Так как диод включен параллельно переходу транзистора T_2 , на саму работу схемы это не повлияет. Когда транзистор T_2 открывается, открывается медленный диод, и они работают синхронно. В момент времени, когда должен закрываться транзистор T_3 , медленный диод еще открыт. В этот момент он работает как низкоомное сопротивление, и через него в управляющую схему заряд Q_3 рассасывается быстрее.

Этот схемотехнический прием называется «созданием низкоомного пути».

ТТЛ с использованием двухэмиттерного транзистора T_2 (второй алгоритм). Схема, представленная на рисунке 8.26, отличается от базовой тем, что в ней используется двухэмиттерный транзистор T_2 , второй эмиттер которого подключен к выходу схемы.

Рассмотрим случай, когда на выходе логическая единица. Транзисторы T_3 и T_2 закрыты, поэтому на одном из входов логический ноль, ток идет налево в управляющую схему. В какой-то момент времени вместо нуля на вход будет подана единица, и ток пойдет в правую часть схемы. Транзистор T_2 начнет открываться и входить в насыщение.

Ток второго эмиттера транзистора T_2 , минуя базу транзистора T_3 , будет поступать сразу в коллектор и транзистор T_3 и вводить его в режим насыщения, не создавая заряда в базе. Заряд Q_3 становится минимальным. При уменьшении таким путем заряда Q_3 , соответственно, уменьшается время на его рассасывание. Таков метод быстрого уменьшения заряда в базе насыщенного транзистора.

Рис. 8.26. ТТЛ с использованием двухэмиттерного транзистора T_2

ТТЛ с диодами Шоттки. В модификации схемы ТТЛ с диодами Шоттки на входах (рис. 8.27) количество диодов равно количеству входов вентиля. В этой схеме использован прием создания низкоомного пути для быстрого отвода заряда Q_2 из базы транзистора T_2 .

Рассмотрим случай, когда на все входы сначала поданы единицы, то есть база-эмиттерные переходы многоэмиттерного транзистора закрыты, ток течет в правую часть схемы. Транзисторы T_2 и T_3 насыщаются, в их базах накапливаются заряды Q_2 и Q_3 соответственно. В какой-то момент времени на один из входов с выхода управляющей схемы подается логический ноль.

На катоде соответствующего диода Шоттки понижается потенциал, он открывается. Там, где подаются логические нули, открываются дио-

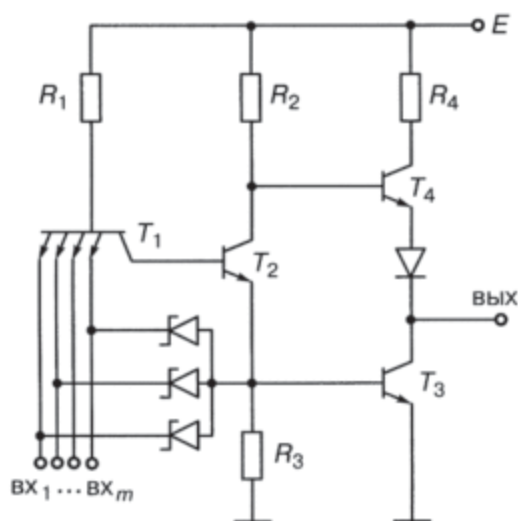


Рис. 8.27. ТТЛ с диодами Шоттки

ды Шоттки. Заряд Q_3 «рассасывается» через диоды Шоттки, подключенные ко входам с нулевым сигналом, в управляющие схемы, с выходов которых подается логический ноль. Открывшиеся диоды создают низкоомные пути для «рассасывания» заряда Q_3 . Это еще один пример того, как можно повысить быстродействие схемы.

Частный случай метода уменьшения зарядов Q_2 и Q_3 — это случай, когда заряды Q_2 и Q_3 изначально равны нулю.

ТТЛШ — схемы ТТЛ с транзисторами Шоттки. Этот случай возможен, если использовать транзисторы Шоттки (ТШ) (рис. 8.29).

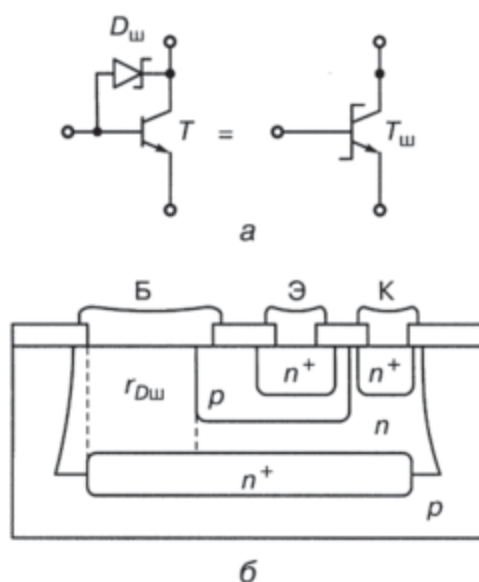


Рис. 8.28. Транзистор Шоттки: а) схема, б) структура

С точки зрения транзисторной схемотехники, ТШ — это обычный транзистор, с диодом Шоттки, включенным параллельно переходу база–коллектор транзистора (рис. 8.28, а). Структура ТШ отличается от структуры обычного биполярного транзистора тем, что базовый контакт размещен не только над областью базы, но и над областью коллектора (рис. 8.28, б).

Благодаря диоду Шоттки, напряжение отпираания которого равно 0,3–0,4 В, когда в базу поступают носители для формирования избыточного заряда, они, минуя базу, будут уходить в коллектор, и в базе транзистора заряд накапливаться не будет. Поэтому в режиме насыщения у транзистора Шоттки заряд в базе равен нулю.

Таким образом, в схемах ТТЛШ (рис. 8.29 и 8.30) используется второй алгоритм улучшения быстродействия, когда заряды в базах транзисторов уменьшаются (в схемах Шоттки) до нуля. В сравнении с обычной ТТЛ, ТТЛШ дают примерно в три раза меньшую задержку.

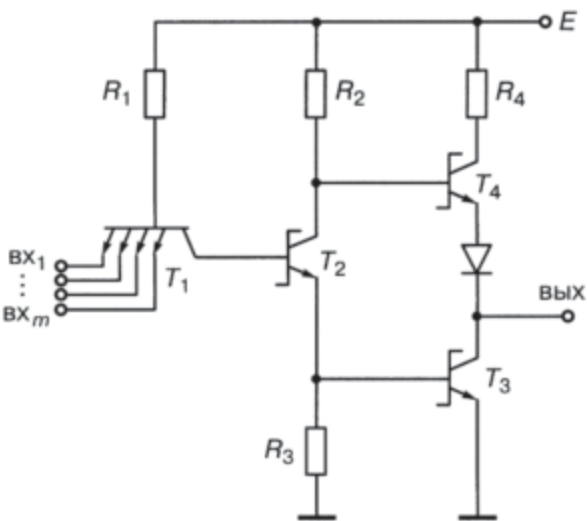


Рис. 8.29. Стандартная модификация ТТЛШ

На рисунке 8.30 изображена модификация ТТЛШ с повышенной нагрузочной способностью и выпрямленной передаточной характеристикой.

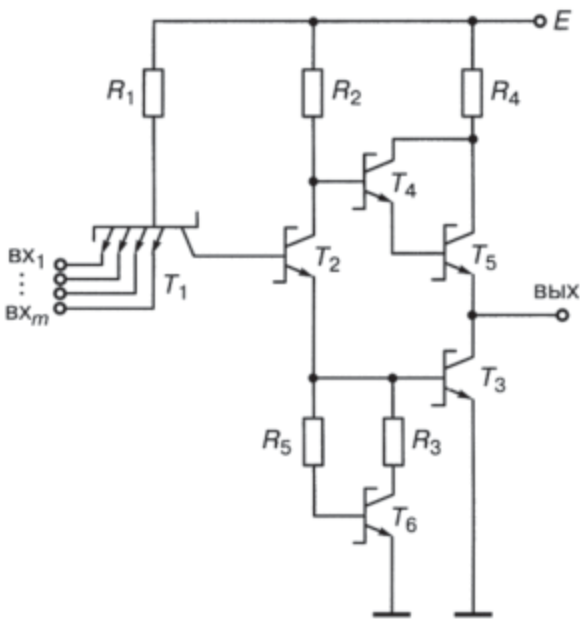


Рис. 8.30. Исправляющая технические параметры модификация ТТЛШ

8.7. Реализация функции И–ИЛИ–НЕ в схемотехническом базисе ТТЛ

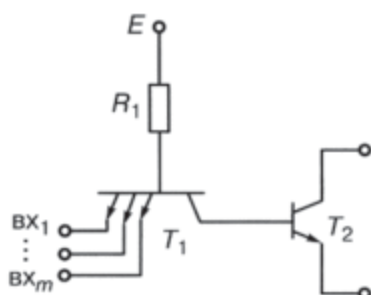


Рис. 8.31. Расширитель

Для реализации дополнительной функции ИЛИ в схемотехническом базисе ТТЛ со сложным инвертором используется схема расширителя (рис. 8.31).

«Открытость» коллектора и эмиттера транзистора T_2 делает возможным параллельное соединение с транзисторами T_2 других расширителей, которые на входе реализуют функции конъюнкции.

Параллельное соединение транзисторов — это схема «зависимого» ИЛИ, не выполняющая функцию без нагрузки, которая, как правило, реализует инверсию.

На рисунке 8.32, а изображена схема, в которой k расширителей включены параллельно и подсоединены к узлам M и N . При этом «нулевой» расширитель является частью базовой схемы ТТЛ со сложным

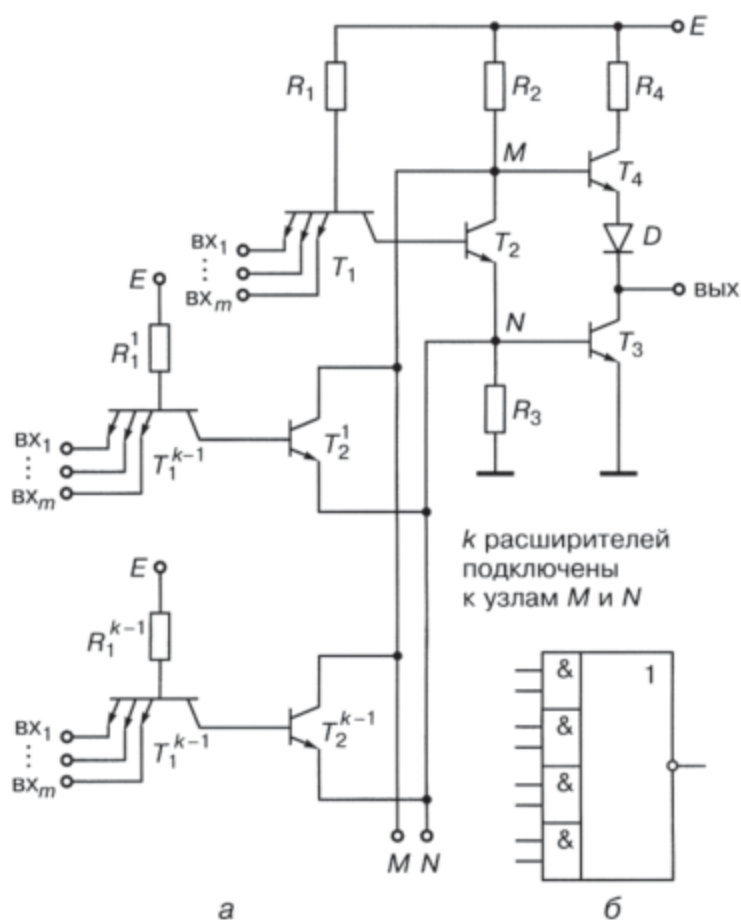


Рис. 8.32. ТТЛ со сложным инвертором, реализующая функцию И–ИЛИ–НЕ: а) транзисторная схема, б) обозначение вентиля И–ИЛИ–НЕ

инвертором. Общий коллектор схемы ИЛИ имеет резистивную нагрузку в виде резистора R_2 , который является частью сложного инвертора.

Поэтому в данной схеме многоэмиттерные транзисторы в совокупности с резистором R_1 реализуют конъюнкции, параллельное соединение транзисторов — функцию ИЛИ, а сложный инвертор — функцию НЕ.

Количество расширителей k вентиля И–ИЛИ–НЕ ограничено следующими соображениями: когда все транзисторы T_2 закрыты, T_3 должен быть закрыт, и на выходе должна быть логическая единица, при наличии токов утечки в закрытых транзисторах T_2 через резистор R_3 потечет суммарный ток утечки, который, создавая на нем падение напряжения, сможет открыть транзистор T_3 , что приведет к нарушению логики работы схемы. На практике количество расширителей, как правило, не превышает 5 или 6.

Несмотря на увеличение компонентов в ТТЛ вентиле И–ИЛИ–НЕ, использование его при проектировании сложных схем может давать существенные аппаратные преимущества в сравнении с базовой ТТЛ И–НЕ.

8.8. Схема ТТЛ с тремя состояниями

Схема ТТЛ с тремя состояниями поддерживает возможность блокировки выхода. Необходимость в этой схеме может возникнуть в случае, представленном на рисунке 8.33, когда несколько схем ТТЛ со сложным инвертором своими выходами подключены к одной шине данных (ШД).

Возникает вопрос: если на выходе одной схемы логический ноль, а у другой — логическая единица, какой сигнал «пойдет» в ШД? На

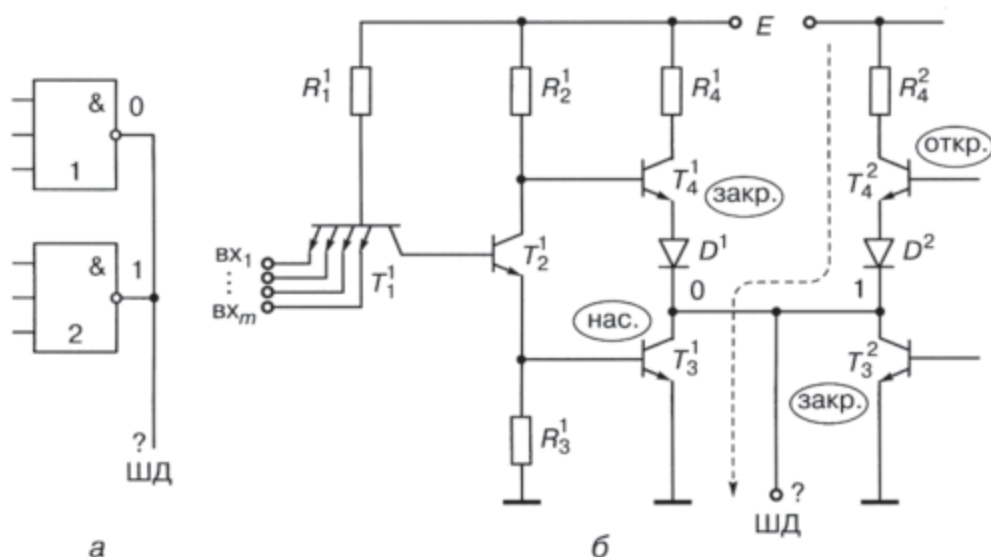


Рис. 8.33. Подключение двух схем ТТЛ к одной ШД: а) вентильная схема, б) транзисторная схема.

этот вопрос можно ответить, рассмотрев транзисторный вариант этого включения (рис. 8.33, б).

В случае, когда на выходе одной схемы логический ноль, а на выходе другой — логическая единица, возникает проводящая последовательная цепь $E - R_4^2 - T_4^2 - T_3^1$, действующая как делитель напряжения. Потенциал в выходном узле установится не 0 и не 1, а будет неопределенным, зависящим от параметров транзисторов и резистора данной цепи. Поэтому необходима возможность отключения (блокировки) выхода той схемы, которая в конкретный момент времени не должна выдавать информацию в ШД.

Эта возможность реализована в схеме ТТЛ с тремя состояниями (0, 1, $R_{\text{вых}} = \infty$). Такая схема отличается от базовой присутствием дополнительного транзистора T_5 , на базу которого подается управляющий сигнал X , тогда как коллектор соединен с коллектором транзистора T_2 (рис. 8.34, а).

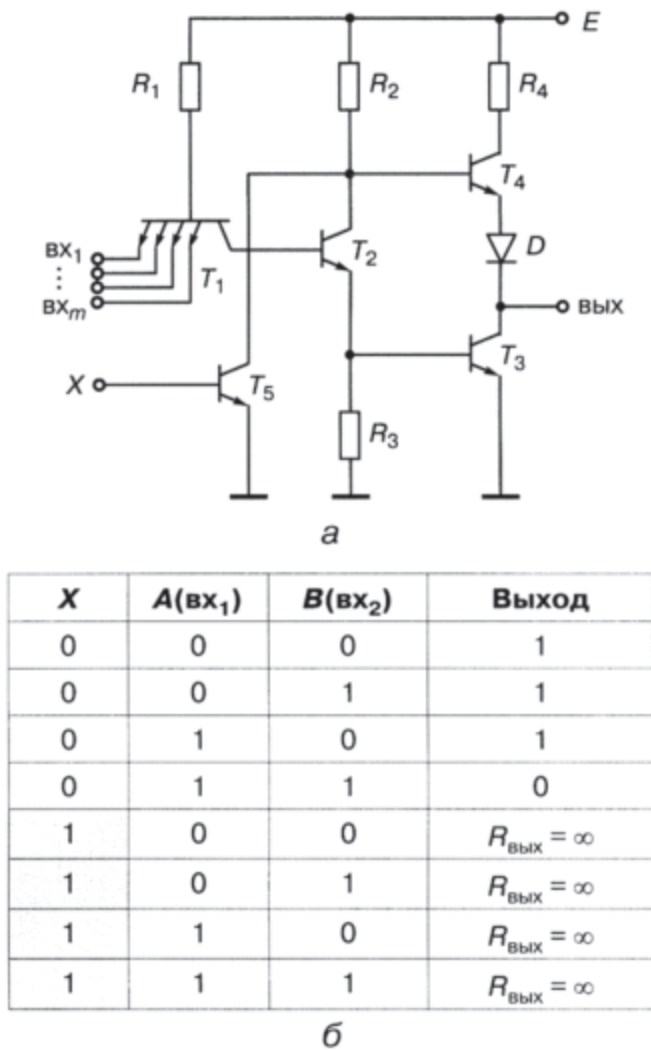


Рис. 8.34. ТТЛ с тремя состояниями: а) транзисторная схема, б) таблица работы для схемы на два входа

Если управляющий сигнал X — ноль, транзистор T_5 закрыт и не влияет на работу схемы (схема выдает информацию), то есть блокировки по выходу нет (рис. 8.34, б). Если управляющий сигнал X — единица, то транзистор T_5 насыщен, на его коллекторе низкий потенциал (0,2 В), транзисторы T_4 и T_3 закрыты, $R_{\text{вых}} = \infty$, так что схема не выдает информацию (ток в нагрузку режим блокировки по выходу).

В схеме (8.33, а) нужно в качестве вентилях ТТЛ использовать ТТЛ с тремя состояниями и управлять их работой с помощью управляющих сигналов X .

8.9. Реализация схемы И–НЕ в переходной схемотехнике

В транзисторной схемотехнике ТТЛ элемент И–НЕ на два входа содержит 11 полупроводниковых областей, 10 p – n -переходов и 3 внутренних соединения. К внутренним относятся соединения, связывающие компоненты элемента между собой.

На рисунке 8.35 изображены: а) принципиальная схема в транзисторной схемотехнике, б) интегральная структура ТТЛ в ЭПТ, в которой хорошо виден принцип дискретности построения интегральных структур,

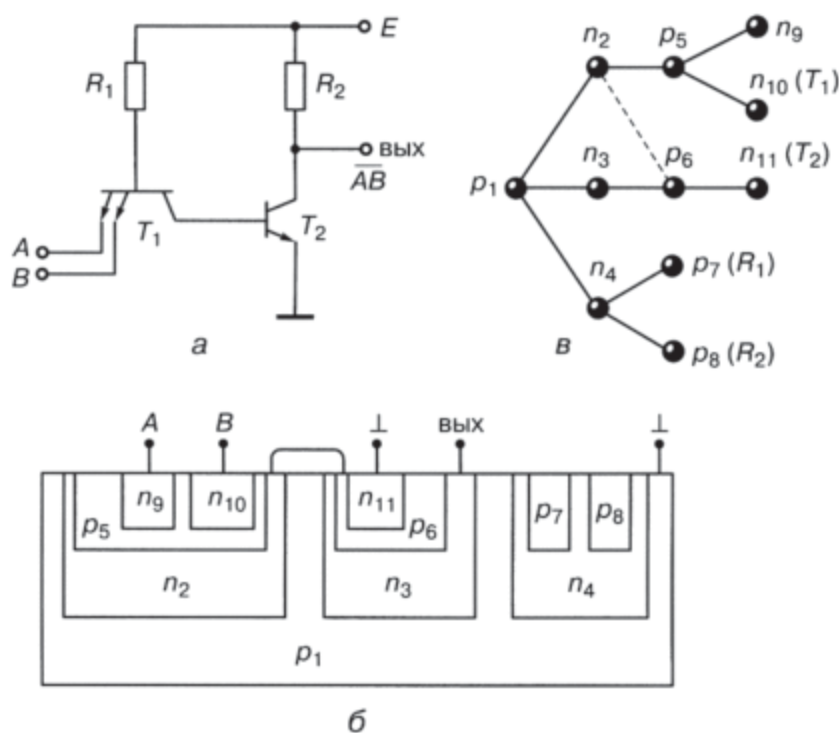


Рис. 8.35. Элемент И–НЕ в базисе ТТЛ: а) принципиальная схема в транзисторной схемотехнике, б) интегральная структура, в) графовая модель интегральной структуры ($N = 11$)

оставшийся от старых схемотехник, в) графовая модель интегральной структуры, по сути дела — принципиальная схема в переходной схемотехнике.

Пять переходов: p_1-n_2 , p_1-n_3 , p_1-n_4 , p_7-n_4 , p_8-n_4 — не выполняют никакой функции, кроме изолирующей, и являются избыточными.

8.9.1. Синтез КТТЛ с простым инвертором ($N = 8$)

Один из вариантов оптимизации ТТЛ с простым инвертором в транзисторной схемотехнике — отказ от резисторов, заменяя их $p-n-p$ -транзисторами (рис. 8.36).

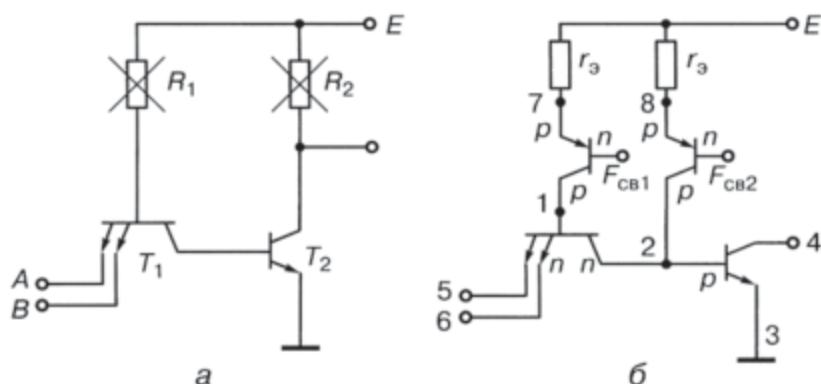


Рис. 8.36. Этапы синтеза КТТЛ: а) отказ от резисторов, б) использование $p-n-p$ -транзисторов, питающих базы $n-p-n$ -транзисторов

Собственно говоря, это попытка создать в транзисторной схемотехнике ИС И–НЕ класса ТТЛ.

8.9.2. Уравнение синтеза схемы И–НЕ в переходной схемотехнике

Для синтеза ФИЭ И–НЕ класса ТТЛ в переходной схемотехнике в качестве объединяемых частей используют:

- ФИЭ, реализующий функцию И и представляющий собой многоэмиттерный $n-p-n$ -транзистор с подключенным к базе $p-n-p$ -транзистора (для ФИЭ И на два входа, $N = 6$);
- ФИЭ-инвертор; в уравнении (8.2) в качестве модели ФИЭ-инвертора взята обобщенная модель инжекционного инвертора ($N = 5$), включающая в себя модели G4.1 и G4.2.

Основное уравнение синтеза ФИЭ И–НЕ, позволяющее синтезировать модели без использования ЭВМ, имеет вид:

$$\begin{array}{c} p^E \\ | \\ n^{F_{св1}} \\ | \\ p \\ / \quad | \quad \backslash \\ n^{F_{вх1}} \quad n^{F_{вх2}} \quad n^{F_1} \end{array} + \begin{array}{c} p^E \\ | \\ n^{F_{св2}} \\ | \\ p^{F_1} \\ / \quad \backslash \\ n^{F_{вых}} \quad n^{\perp} \end{array} = \{G8.i\} \quad i = 1, \dots, 12 \quad (8.2)$$

Особенность уравнения аналитического синтеза ФИЭ И–НЕ (8.2) состоит в том, что функциональные части базовых областей p – n – p -транзисторов ФИЭ И и ФИЭ НЕ не детерминированы. Потенциалы этих областей могут меняться в определенных пределах. Необходимо обеспечить лишь выполнение заданной логической функции. Это возможно при выполнении условий:

$$\begin{aligned} F_{св1} + u_{p-n} &\leq E \\ F_{св2} + u_{p-n} &\leq E, \end{aligned}$$

где: $F_{св1}$ и $F_{св2}$ — значения потенциалов базовых областей p – n – p -транзисторов ФИЭ И и ФИЭ НЕ соответственно, E — напряжение питания, u_{p-n} — напряжение на открытом p – n -переходе.

Если с учетом этих условий выбирать напряжение питания E , то функции $F_{св1}$ и $F_{св2}$ могут принимать значения из множеств:

$$\begin{aligned} F_{св1} &: (F_0, F_1, F_{вх_i}, F_{вых}); \\ F_{св2} &: (F_0, F_{вх_i}, F_{вых}), \quad i = 1, \dots, m. \end{aligned}$$

Вариант, когда $F_{св2} = F_1$, здесь не рассматривается, так как в этом случае p – n – p -транзистор ФИЭ НЕ вырождается в диод.

Результат уравнения аналитического синтеза (8.2) — 12 математических моделей ФИЭ И–НЕ, представленных в таблице 8.4. Эти модели реализованы на 6 графах. Восемь моделей являются деревьями [136–138]. Некоторые модели отличаются только функциональными частями, что очень важно при создании перестраиваемых СБИС. Без изменения структуры СБИС, меняя только управляющее воздействие, можно получать устройства с различными статистическими и динамическими свойствами.

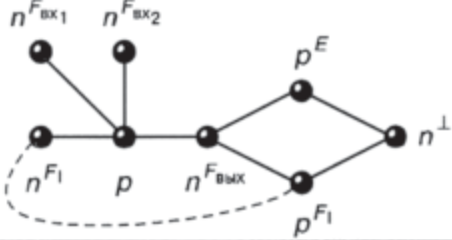
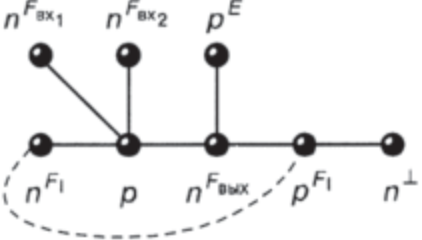
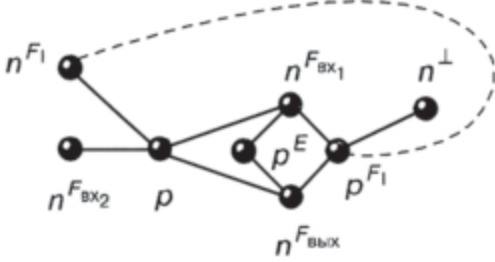
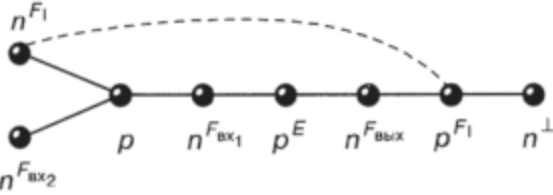
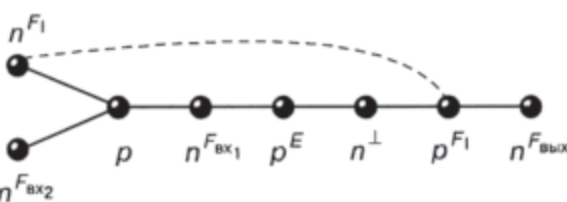
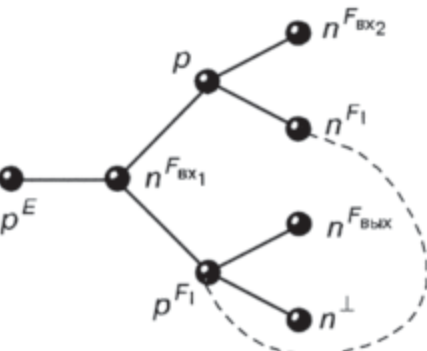
Моделируя на ЭВМ математические модели ФИЭ И–НЕ и сравнивая их по различным параметрам, можно увидеть, что наилучшие значения задержки, мощности, напряжений логических нуля и единицы имеют древовидные модели. Они содержат минимальное количество p – n -переходов ($N - 1$) и имеют минимальную суммарную паразитную емкость и минимальное число паразитных транзисторов.

Таблица 8.4

Результаты синтеза ФИЭ в классе И–НЕ (ТТЛ). Уравнение (8.2)

№	Условие синтеза	Математическая модель ФИЭ И–НЕ (КТТЛ)	Обозначение модели
1	$F_{св1} = F_0$ $F_{св2} = F_0$		G8.1
2	$F_{св1} = F_0$ $F_{св2} = F_{вых}$		G8.2
3	$F_{св1} = F_0$ $F_{св2} = F_{вх1}$		G8.3
4	$F_{св1} = F_0$ $F_{св2} = F_0$		G8.4
5	$F_{св1} = F_1$ $F_{св2} = F_{вых}$		G8.5
6	$F_{св1} = F_1$ $F_{св2} = F_{вх1}$		G8.6

Продолжение

7	$F_{св1} = F_{вых}$ $F_{св2} = F_0$		G8.7
8	$F_{св1} = F_{вых}$ $F_{св2} = F_{вых}$		G8.8
9	$F_{св1} = F_{вых}$ $F_{св2} = F_{вх2}$		G8.9
10	$F_{св1} = F_{вх1}$ $F_{св2} = F_0$		G8.10
11	$F_{св1} = F_{вх1}$ $F_{св2} = F_{вых}$		G8.11
12	$F_{св1} = F_{вх1}$ $F_{св2} = F_{вх2}$		G8.12

Среди древовидных моделей следует различать модели с различной максимальной длиной независимых маршрутов. При равных размерности (N) и количестве p – n -переходов чем больше длина дерева, тем меньше разветвлений оно имеет и тем меньшую площадь занимает на кристалле при использовании вертикальной интеграции. У древовидных моделей ФИЭ И–НЕ на три p – n -перехода и два внутренних соединения меньше, чем у транзисторного аналога (рис. 8.35).

Большинство синтезированных математических моделей являются моделями элементов И–НЕ с инжекционным питанием, поэтому их потребляемая мощность значительно снижена (в сравнении с обычной схемой ТТЛ). Некоторые схемы (например, G8.8) работают по принципу КМОП-элементов: когда на выходе логического элемента имеется напряжение логической единицы, p – n -транзисторы закрыты, схема не потребляет мощности.

Для схемотехнической реализации логического базиса И–НЕ на инжекционных инверторах требуется $(4m + 2)$ p – n -переходов и $(m + 1)$ внутренних соединений. А при использовании ТТЛ (рис. 8.35) — $(8 + m)$ переходов и три внутренних соединения (m — число логических входов элемента).

Для интегральной реализации ФИЭ И–НЕ на m входов требуется $(6 + m)$ p – n -переходов и одно соединение, что на $(3m - 4)$ p – n -перехода и m соединений меньше, чем при использовании ИИ, и даже при $m = 2$ такие элементы экономичнее ИИ. С ростом числа входов выигрыш от использования нового схемотехнического базиса по соединениям и особенно по p – n -переходам увеличивается; уменьшение в 3 раза по сравнению с обычной схемой ТТЛ и в m раз с И²Л количества внутренних соединений элемента И–НЕ соответственно приводит к уменьшению общей металлизации интегральных схем, что очень важно для СБИС.

Использование комплементарного биполярного базиса И–НЕ с применением трехмерных технологий позволит создавать быстродействующие СБИС с максимальной плотностью компоновки.

8.9.3. Синтез интегральных структур КТТЛ

Рассмотрим реализацию КТТЛ с древовидной моделью в различных технологиях:

- эпитаксиально-планарная технология;
- многослойные технологии;
- 3D реализации.

Эпитаксиально-планарная технология. Эта технология характеризуется тремя уровнями переходов.

Пусть подложка $x = p_5$ (рис. 8.37).

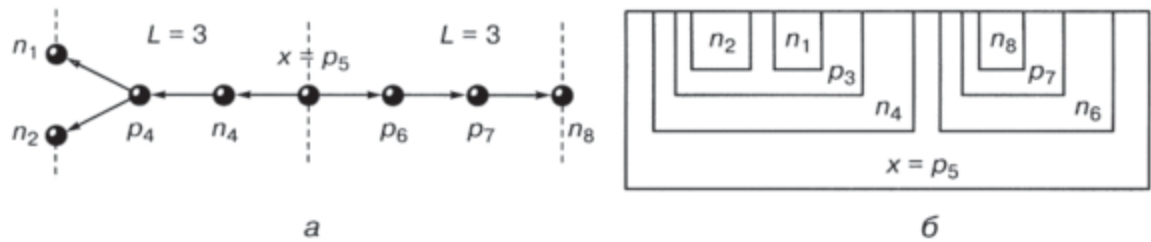


Рис. 8.37. КТЛ — эпитаксиально-планарная технология: а) модель структуры, б) интегральная структура

Многослойные интегральные схемы. Когда математическая модель требует 4-го внутреннего перехода и более, используются дополнительные эпитаксиальные слои (рис. 8.38).

Пусть n_8 — подложка.

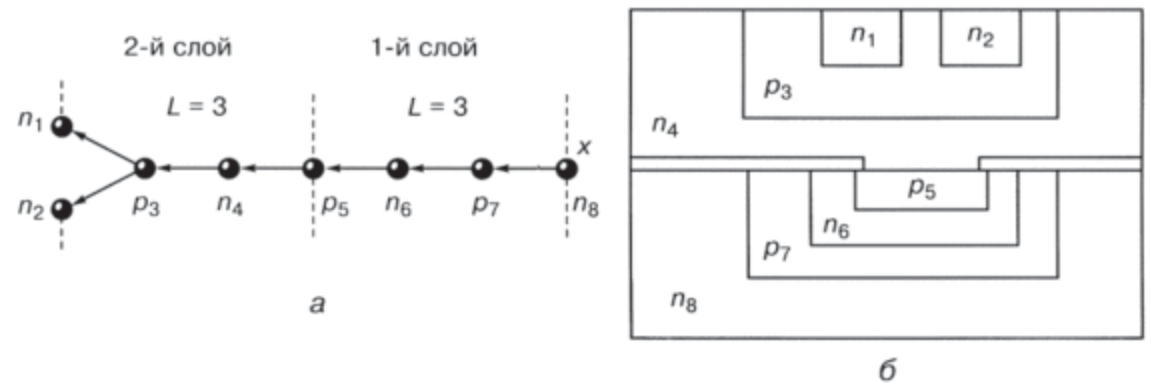


Рис. 8.38. КТЛ — многослойная схема: а) модель структуры, б) интегральная структура

Возможны технологии, где корней в модели несколько (рис. 8.39, а).

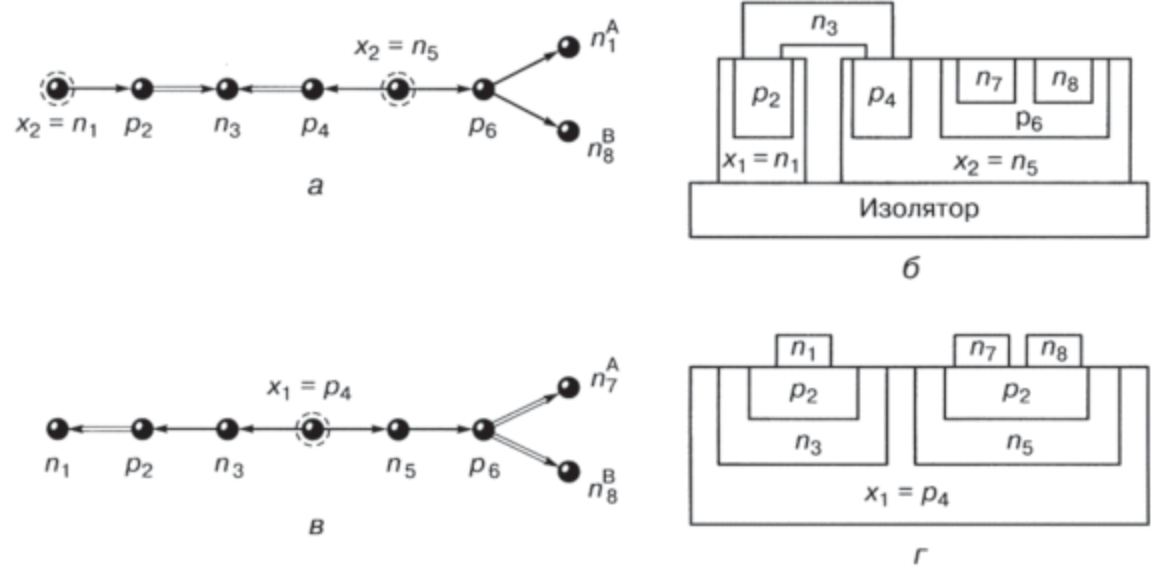


Рис. 8.39. КТЛ — технологии с локальной эпитаксией: а) структурная формула с двумя корнями, б) соответствующая ей интегральная структура, в) структурная формула с одним корнем, г) соответствующая ей интегральная структура

Трехмерные интегральные схемы (3D ИС) КТТЛ. Вертикальная интеграция древовидных моделей дает максимальный выигрыш по плотности компоновки интегральных схем, но требует дорогих и «холодных» (чтобы не разрушать уже созданное) технологических процессов (рис. 8.40, а). Повернув вертикальную структуру на 90° и поместив ее на изолирующую подложку, получим «дешевую» переходную структуру на изоляторе (рис. 8.40, б), требующую меньшее количество технологических операций.

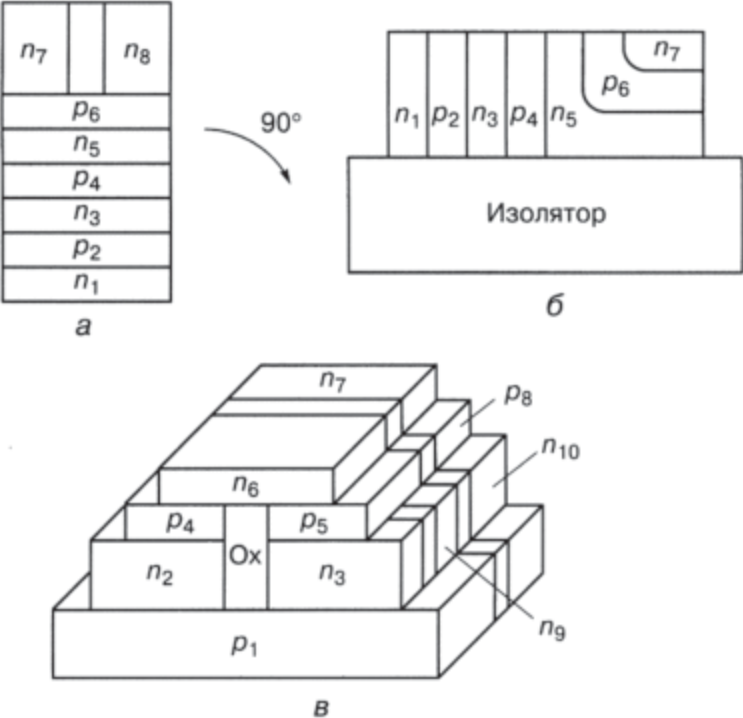


Рис. 8.40. Различные пространственные реализации ФИЭ: а) вертикальная, б) горизонтальная, в) трехмерная

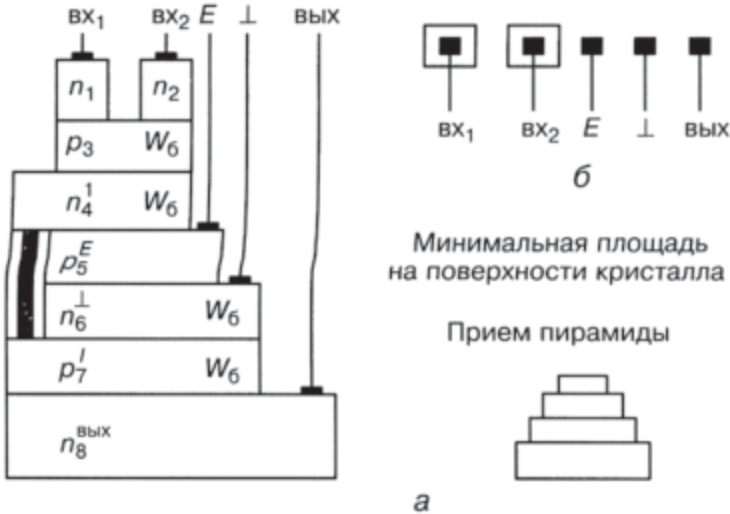


Рис. 8.41. Вертикальная КТТЛ с простым инвертором: а) структура, б) топология

Возможна сложная трехмерная реализация моделей переходного элемента в виде слоистых структур с внутренней изоляцией и проводниками между слоями (рис. 8.40, в).

Для технической реализации многих схем управления и назначения (создания контактов к материальным областям) в вертикальных слоистых структурах используют принцип пирамиды (рис. 8.41). Горизонтальные площадки нижних слоев пирамиды можно использовать при формировании контактов к областям.

8.10. Алгоритмы проектирования СБИС в базисе ТТЛ

8.10.1. Алгоритм проектирования сложных схем в базисе ТТЛ И–НЕ

Алгоритм проектирования сложных схем в базисе ТТЛ И–НЕ можно записать следующим образом:

$$\overline{\overline{\text{МДНФ}(F)}},$$

то есть в словесной форме:

- взять МДНФ(F) — минимальную дизъюнктивную нормальную форму функции F ;
- взять ее двойное отрицание;
- раскрыть внутреннее отрицание, используя закон де Моргана, оставив внешнее отрицание.

Рассмотрим применение алгоритма на примере. Спроектируем схему И–НЕ в базисе ТТЛ, реализующую функцию:

$$F = ab + c\bar{d}.$$

В соответствии с алгоритмом проектирования преобразуем правую часть равенства:

$$F = ab + c\bar{d} = \overline{\overline{ab + c\bar{d}}} = \overline{\overline{ab} \cdot \overline{\overline{c\bar{d}}}}.$$

В соответствии с полученным логическим уравнением составим схему ИЛИ–НЕ в базисе ТТЛ (рис. 8.42).

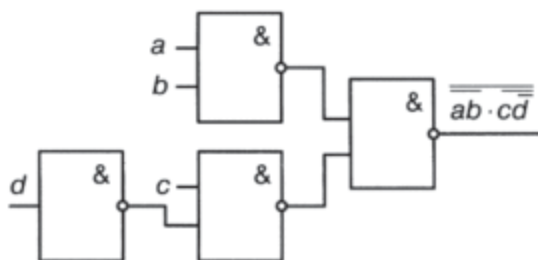


Рис. 8.42. Реализация функции $F = ab + c\bar{d}$ в схемотехническом базисе ТТЛ И–НЕ

8.10.2. Алгоритм проектирования сложных схем в базисе ТТЛ И–ИЛИ–НЕ

Алгоритм проектирования сложных схем в схемотехнике ТТЛ можно записать следующим образом:

$$\overline{\text{МДНФ}(F)},$$

что означает:

- взять МДНФ (F) — минимальную дизъюнктивную нормальную форму инверсной функции F ;
- взять общее отрицание, ничего не меняя в дизъюнктивной форме.

Рассмотрим применение алгоритма на следующем примере. Спроектируем схему в базисе ТТЛ И–НЕ, реализующую функцию:

$$\overline{F} = ab + c\overline{d}.$$

Обратите внимание: для этого базиса берется не прямая, а инверсная функция.

В соответствии с алгоритмом проектирования для получения прямой функции возьмем отрицание левой и правой частей логического уравнения:

$$F = \overline{\overline{F}} = \overline{ab + c\overline{d}}.$$

Правая часть уравнения реализуется одним вентилям ТТЛ И–ИЛИ–НЕ с двумя расширителями (рис. 8.43).

Использование вентиля ТТЛ И–ИЛИ–НЕ в транзисторной схемотехнике часто, как и в данном случае, при проектировании устройств дает выигрыш в количестве используемых компонентов (транзисторов и резисторов).

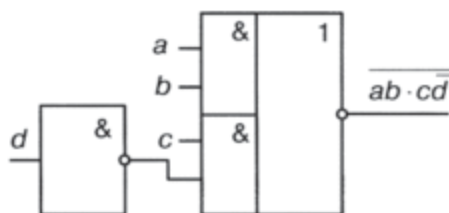


Рис. 8.43. Реализация функции $\overline{F} = ab + c\overline{d}$ в схемотехническом базисе ТТЛ И–ИЛИ–НЕ

8.11. Физическое моделирование наноструктуры переходного элемента И–НЕ ($N = 8$) со структурной формулой на рисунке 8.44, б

Для физического моделирования переходного элемента И–НЕ была выбрана модель G8.4 (рис. 8.44, а) из таблицы 8.6. Она имеет древовидную структуру с размерностью, равной 8 (для двух логических входов). Количество возможных пространственных реализаций для биполярного переходного элемента И–НЕ на два входа ($N = 8$) равно $4^8 = 65\,536$.

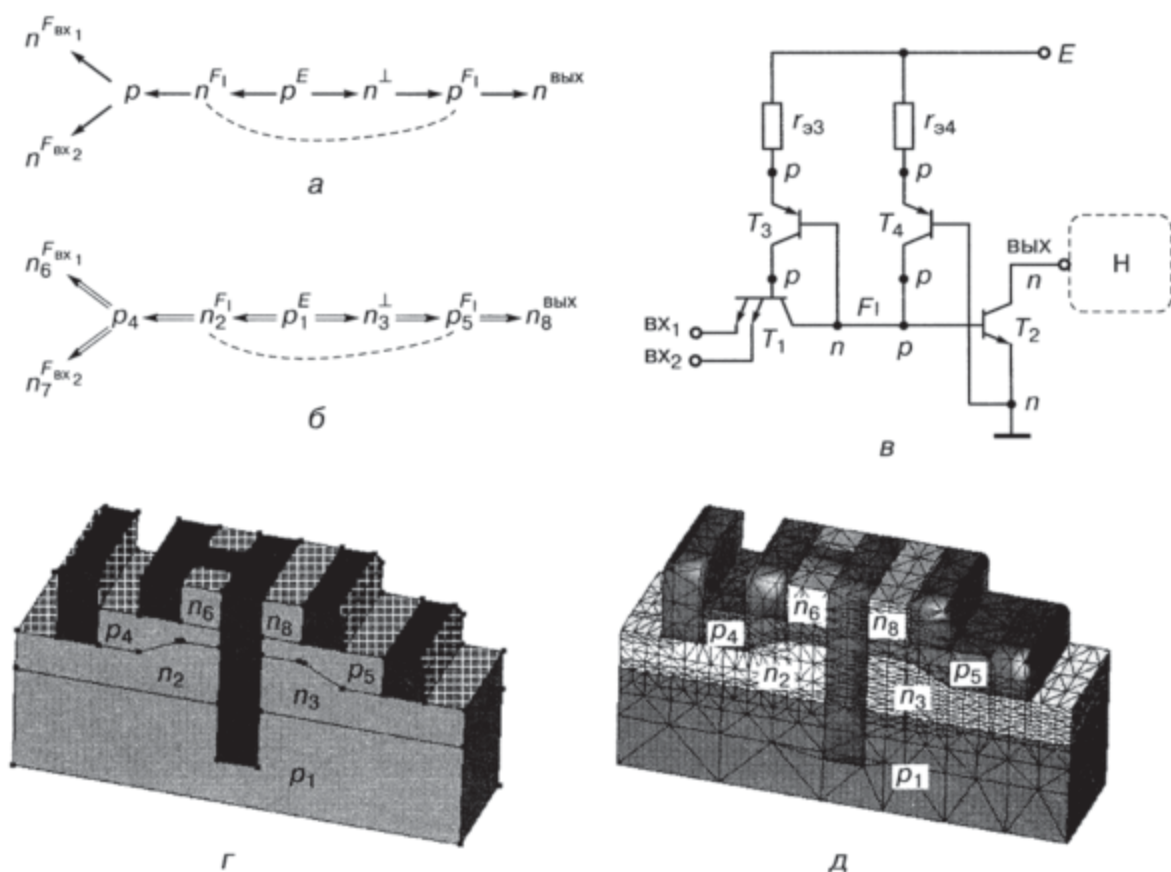


Рис. 8.44. Переходный элемент И–НЕ на два входа: а) общая математическая модель, б) структурная формула, в) транзисторный аналог, г) 3D структура, д) расчетная сетка для моделирования

Если в качестве подложки выбрать область p_1^E , получим структурную формулу (рис. 8.44, б) и соответствующую ей структуру (рис. 8.44, г).

Для усиления транзисторных эффектов (рис. 8.44, в):

$T_1(n_2-p_4-n_6; n_2-p_4-n_7)$, $T_2(n_3-p_5-n_8)$, $T_3(p_1-n_2-p_4)$ и $T_4(p_1-n_3-p_5)$ переходы n_2-p_4 и n_3-p_5 имеют специфический профиль, формирующий базы интегрированных друг в друга транзисторов.

8.11.1. Результаты компьютерного моделирования переходного элемента И–НЕ ($N = 8$)

Моделирование осуществлялось для минимального топологического размера 10 нм и минимальной толщины баз для транзисторов T_1 и T_2 в 5 нм. На рисунках 8.45–8.50 представлены результаты моделирования, подтверждающие работоспособность наноструктуры переходного элемента И–НЕ с размерностью $N = 8$ (ТТЛ) с математической моделью предоставленной на рисунке 8.44, б.

На рисунке 8.45, а представлены графики функций наноструктуры И–НЕ в зависимости от входного напряжения:

- 1 — передаточная характеристика, подтверждающая работоспособность и реализацию общей инверсии;
- 2 — напряжение на базе транзистора T_2 ; из этого графика видно, в какой момент начинает открываться выходной транзистор;
- 3 — напряжение на базе транзистора T_1 ;

на рисунке 8.45, б представлены:

- 1 — общий выходной ток,
- 2 — ток базы транзистора T_2 ,
- 3 — ток в подложке p_1 .

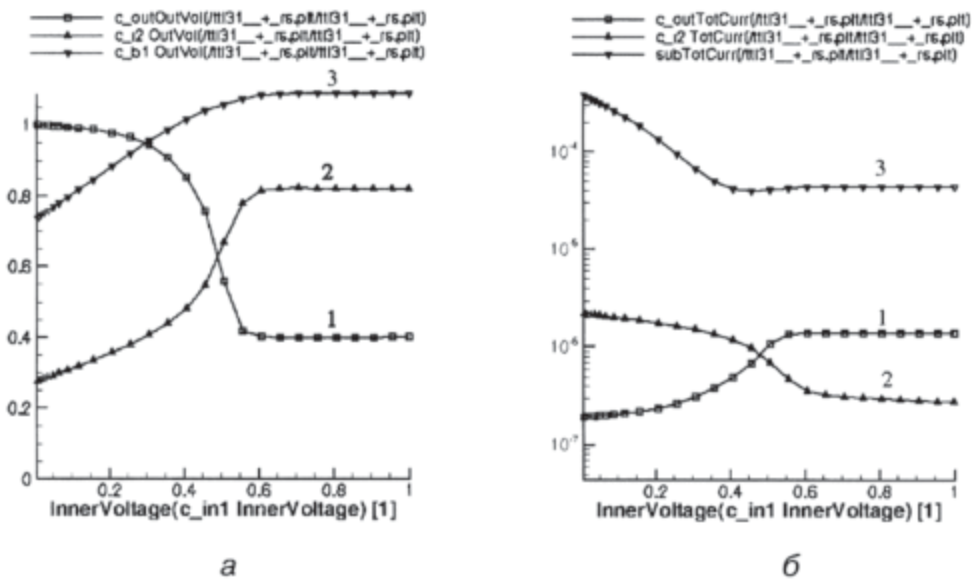


Рис. 8.45. Графики функций в зависимости от входного напряжения:

- а): 1 — передаточная характеристика, 2 — напряжение на базе транзистора T_2 , 3 — напряжение на базе транзистора T_1 ; б): 1 — общий выходной ток, 2 — ток базы транзистора T_2 , 3 — ток в подложке p_1

На рисунке 8.46 приводятся результаты 3D моделирования наноструктуры И–НЕ:

- а) плотность дырок;
- б) плотность электронов;
- в) электростатический потенциал.

На цветных вкладках: результаты 2D моделирования (рис. 8.47–8.49) и 3D моделирования (рис. 8.50) наноструктуры И–НЕ.

На рисунке 8.47:

- а) общая математическая модель на два входа;
- б) подвижность дырок (слева — режим, когда на выходе логическая единица, справа — логический ноль);
- в) пространственный заряд (слева — режим, когда на выходе логическая единица, справа — логический ноль).

Рисунок 8.48:

- а) электростатический потенциал;
- б) плотность электронов;
- в) плотность дырок.

Рисунок 8.49:

- а) квазипотенциал для дырок;
- б) квазипотенциал для электронов;
- в) подвижность электронов.

Рисунок 8.50:

- а) плотность дырок;
- б) плотность электронов;
- в) электростатический потенциал.

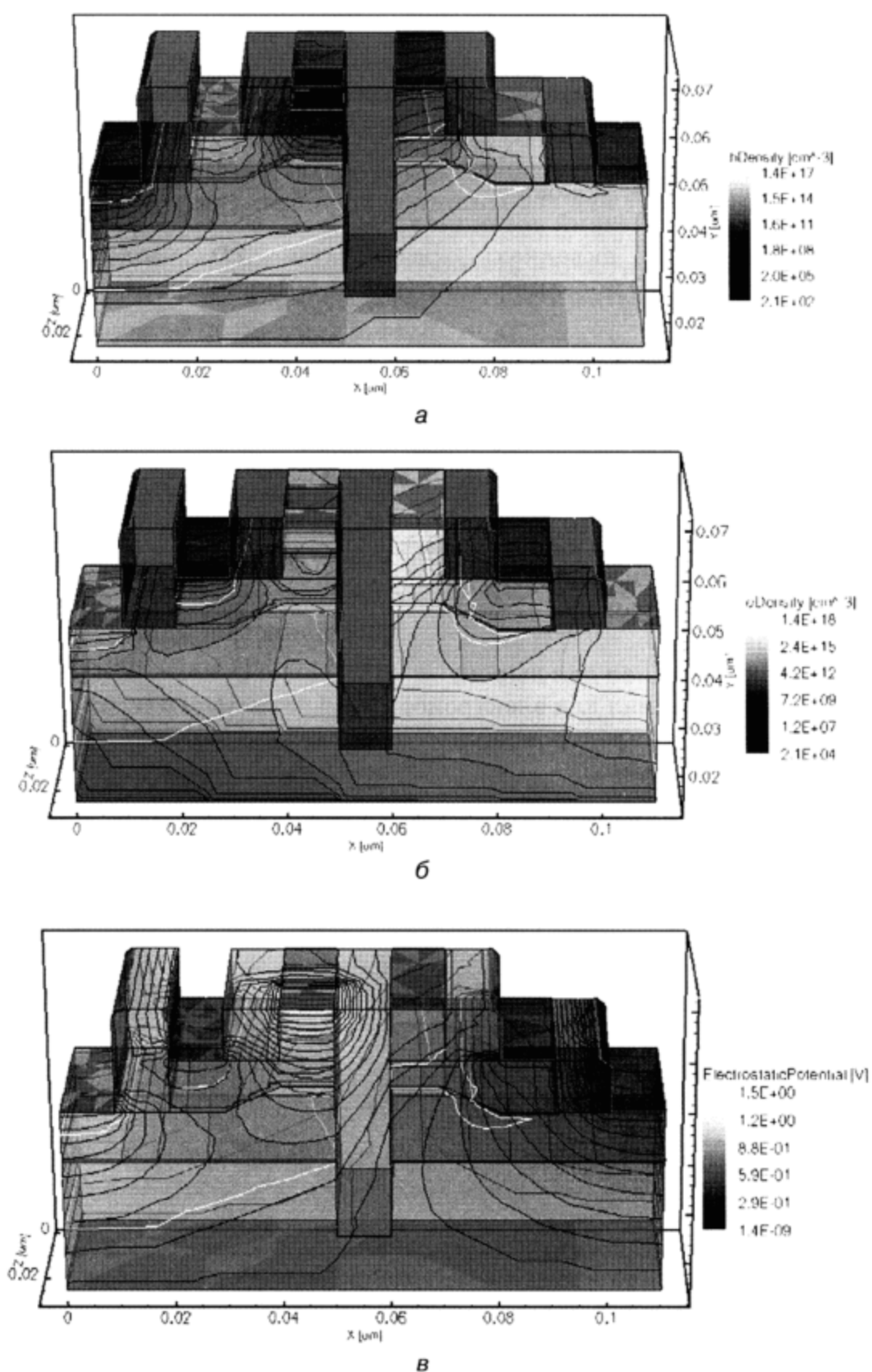


Рис. 8.46. Результаты 3D моделирования наноструктуры И–НЕ: а) плотность дырок б) плотность электронов, в) электростатический потенциал

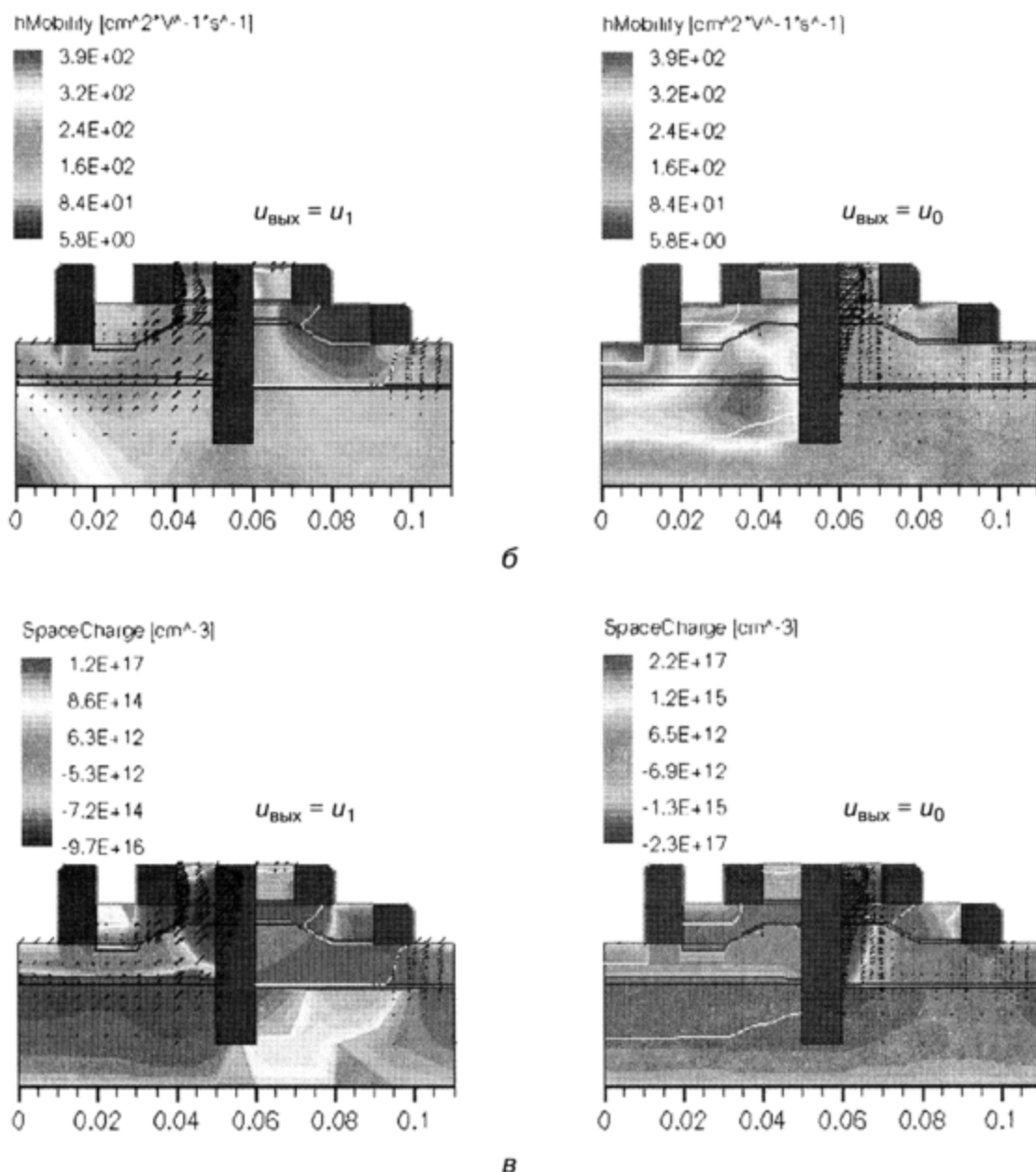
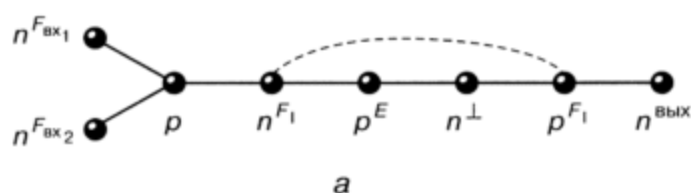


Рис. 8.47. Результаты 2D моделирования переходного элемента И–НЕ (ТТЛ): а) общая математическая модель на два входа, б) подвижность дырок (слева — режим, когда на выходе логическая единица, справа — логический ноль), в) пространственный заряд (слева — режим, когда на выходе логическая единица, справа — логический ноль)

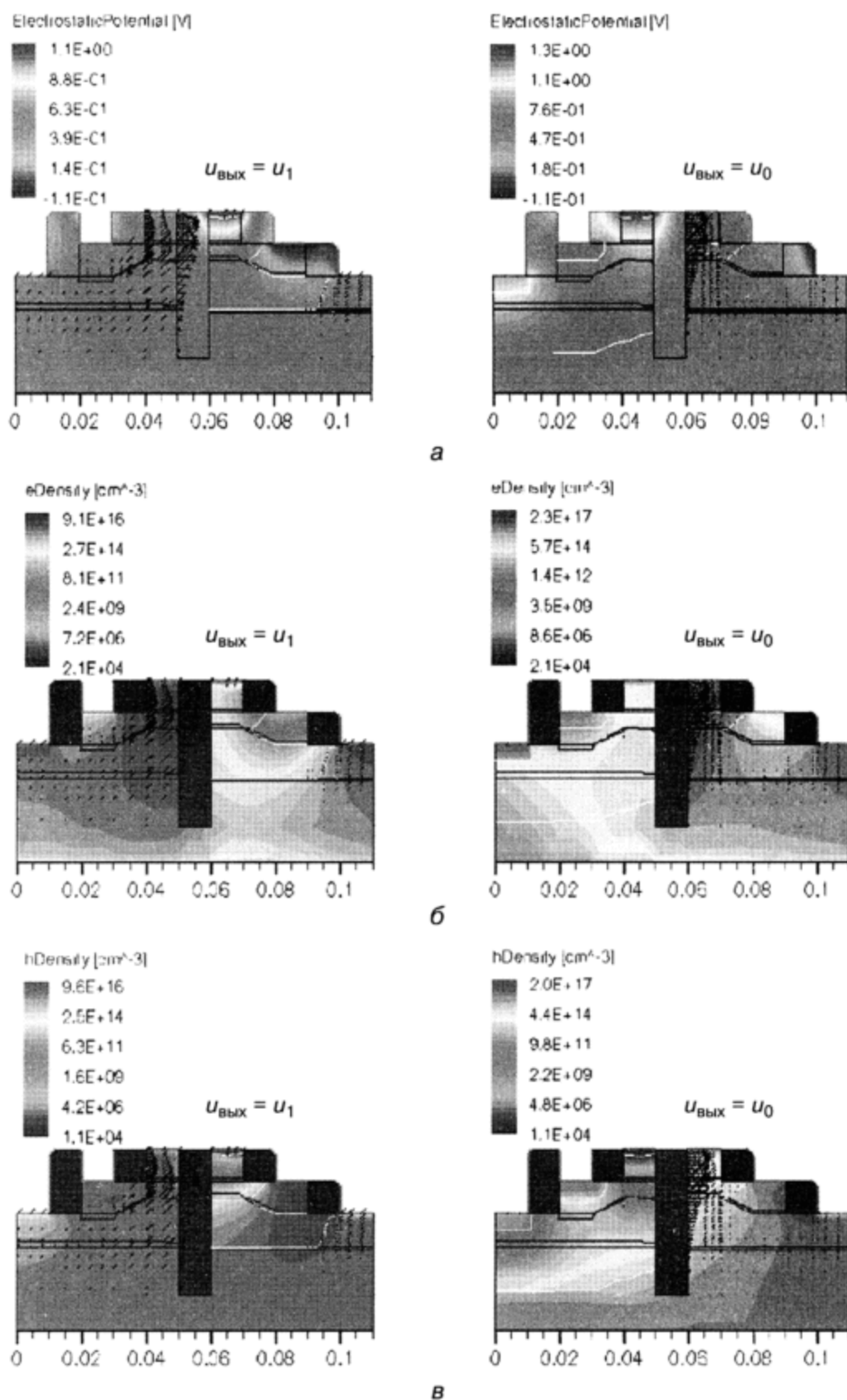


Рис. 8.48. Результаты 2D моделирования переходного элемента И–НЕ (слева — режим, когда на выходе логическая единица, справа — логический ноль): а) электростатический потенциал, б) плотность электронов, в) плотность дырок

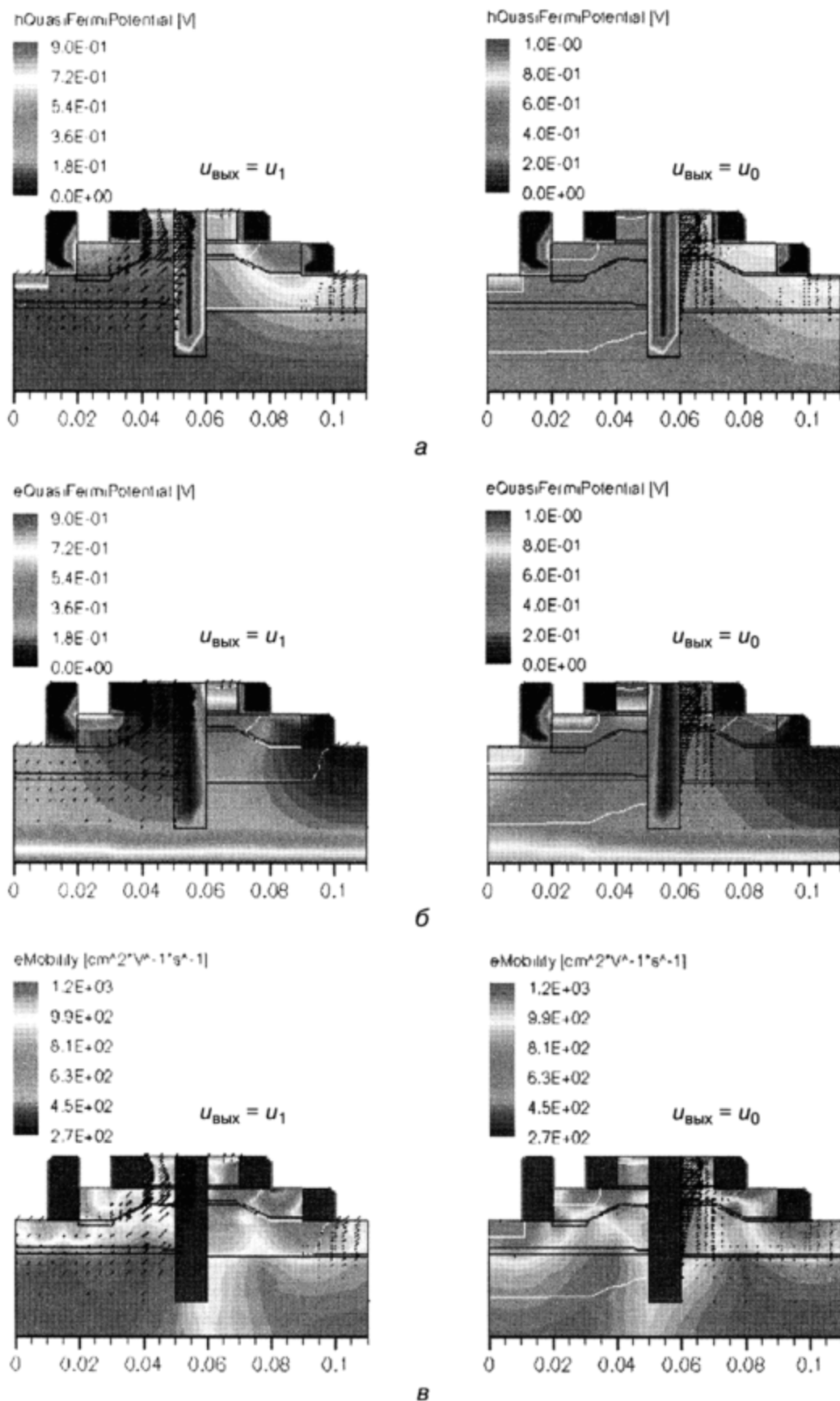
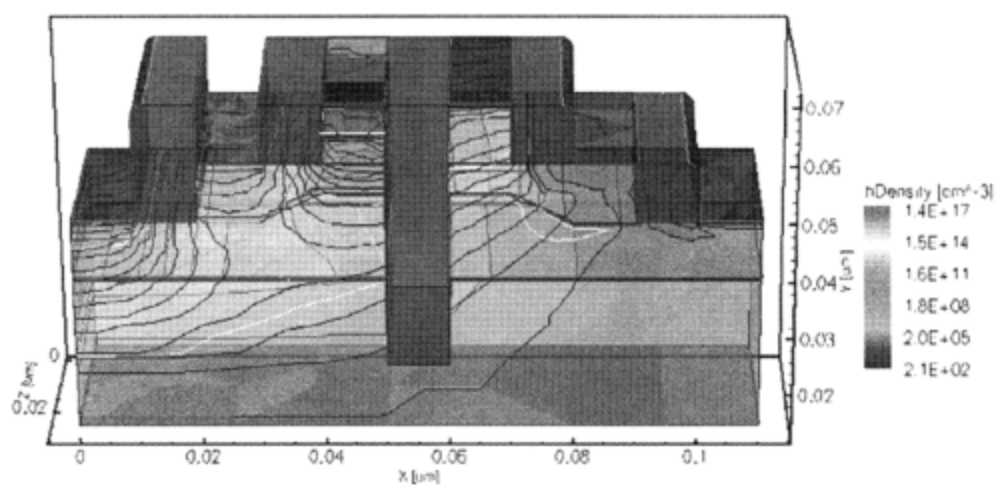
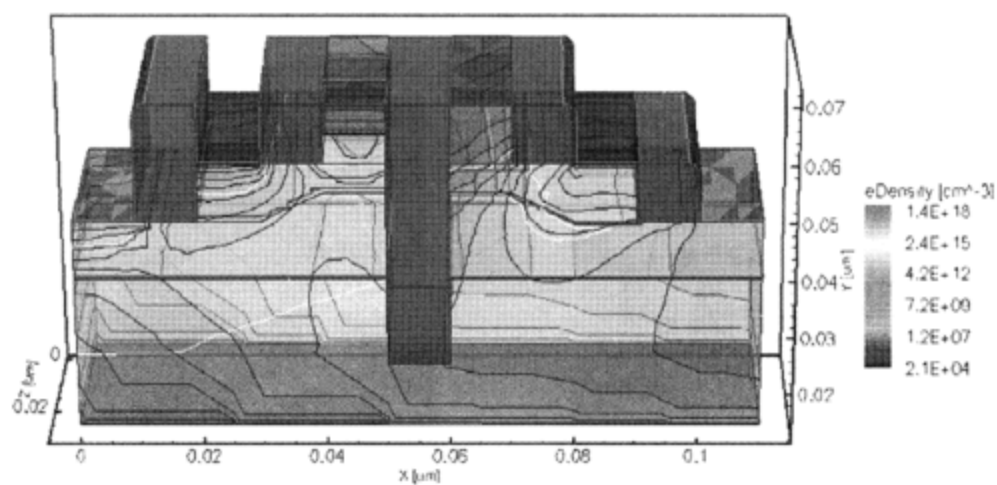


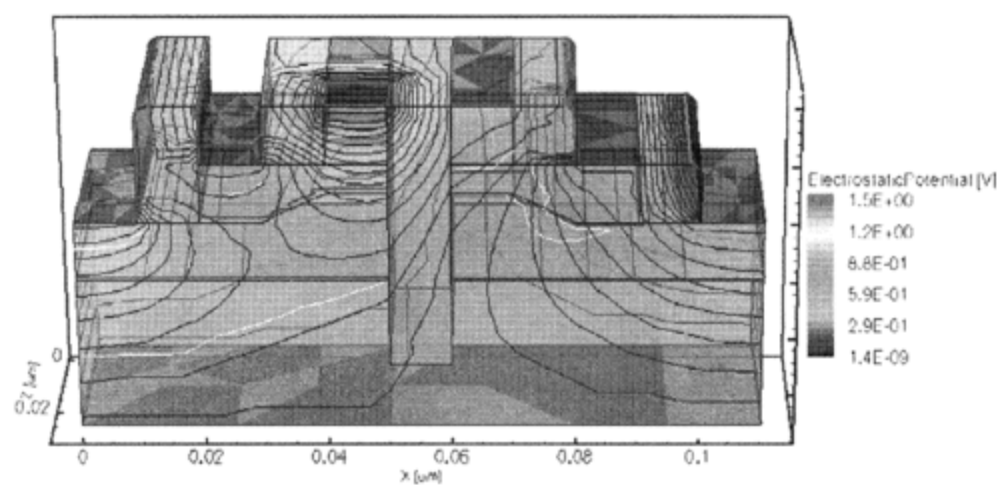
Рис. 8.49. Результаты 2D моделирования переходного элемента И–НЕ (слева — режим, когда на выходе логическая единица, справа — логический ноль): а) квазипотенциал для дырок, б) квазипотенциал для электронов, в) подвижность электронов



a



б



в

Рис. 8.50. Результаты 3D моделирования переходного элемента И–НЕ: а) плотность дырок, б) плотность электронов, в) электростатический потенциал

8.11.2. Физическое моделирование наноструктуры переходного элемента И–НЕ ($N = 8$) со структурной формулой на рисунке 8.51

У одной и той же математической модели переходного элемента И–НЕ (рис. 8.44, а) существует $4^8 = 65\,536$ возможных пространственных реализаций. Для определения работоспособности промоделируем вариант наноструктуры, имеющей вертикальную ориентацию, то есть занимающей на поверхности кристалла наименьшую площадь. Этому варианту соответствует структурная формула, показанная на рисунке 8.51, а ей — наноструктура, изображенная на рисунке 8.52.

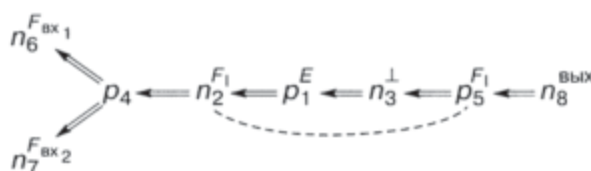


Рис. 8.51. Структурная формула наноструктуры переходного элемента И–НЕ с максимальной информационной плотностью

В системе моделирования кириллица не используется, поэтому в качестве обозначений используются: in — вх (вход), out — вых (выход), Gnd — (F_0 , шина «земля»), E — напряжение питания, Ox — окисел (SiO_2), Au — металл, используемый для обеспечения равенства потенциалов F_1 в полупроводниковых областях n_2 и p_5 (золото).

На рисунке 8.52 показана сетка для моделирования физических и электрических процессов в наноструктуре И–НЕ с максимальной информационной плотностью. Для определения работоспособности было проведено моделирование наноструктуры с одним входом [120].

На рисунке 8.53 представлены результаты компьютерного моделирования: графики функций наноструктуры переходного элемента

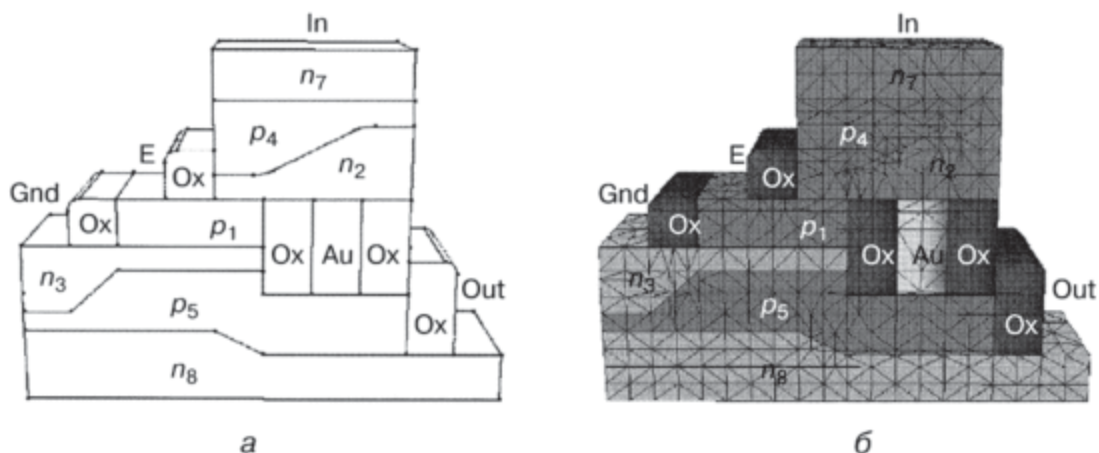


Рис. 8.52. Наноструктура переходного элемента И–НЕ с максимальной информационной плотностью: а) конструкция, б) расчетная сетка для моделирования

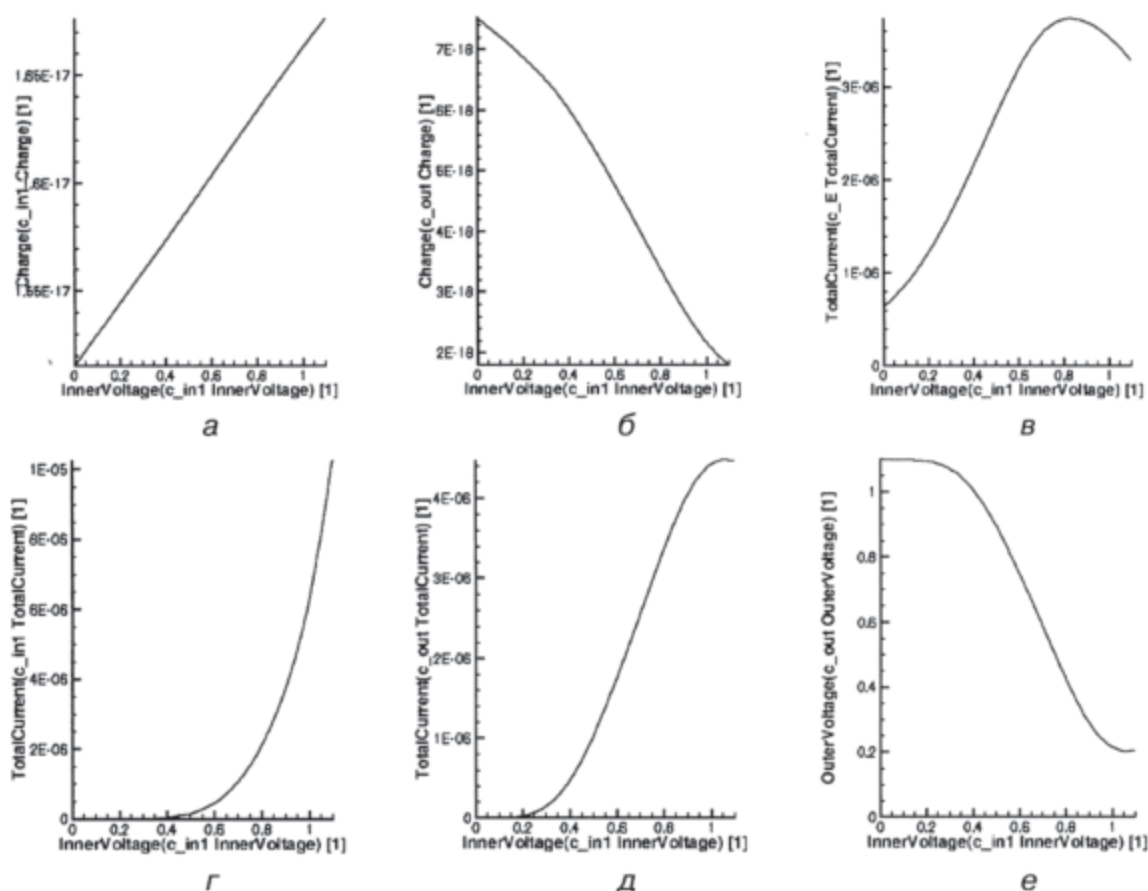


Рис. 8.53. Графики функций наноструктуры переходного элемента И–НЕ с максимальной информационной плотностью в зависимости от входного напряжения, подаваемого на область n_7 : а) заряд во входной области n_7 , б) заряд в выходной области n_8 , в) общий ток в области p_1 , г) общий ток во входной области n_7 , д) общий ток в выходной области n_8 , е) передаточная характеристика

И–НЕ с максимальной информационной плотностью в зависимости от входного напряжения, подаваемого на область n_7 : а) заряд во входной области n_7 , б) заряд в выходной области n_8 , в) общий ток в области p_1 , г) общий ток во входной области n_7 , д) общий ток в выходной области n_8 , е) передаточная характеристика, подтверждающая работоспособность данной наноструктуры в системе себе подобных.

Следует отметить, что при технологической реализации потребуется семь полупроводниковых слоев и оксидная изоляция рассматриваемой наноструктуры И–НЕ.

Результаты 3D физического моделирования данной наноструктуры И–НЕ ($N = 7$) представлены на цветной вкладке (слева — режим, когда на выходе напряжение логического нуля, справа — логической единицы). На рисунке 8.54: а) плотность электронов, б) плотность дырок, в) пространственный заряд; на рисунке 8.55: а) электростатический потенциал, б) RSH-рекомбинация, в) подвижность дырок.

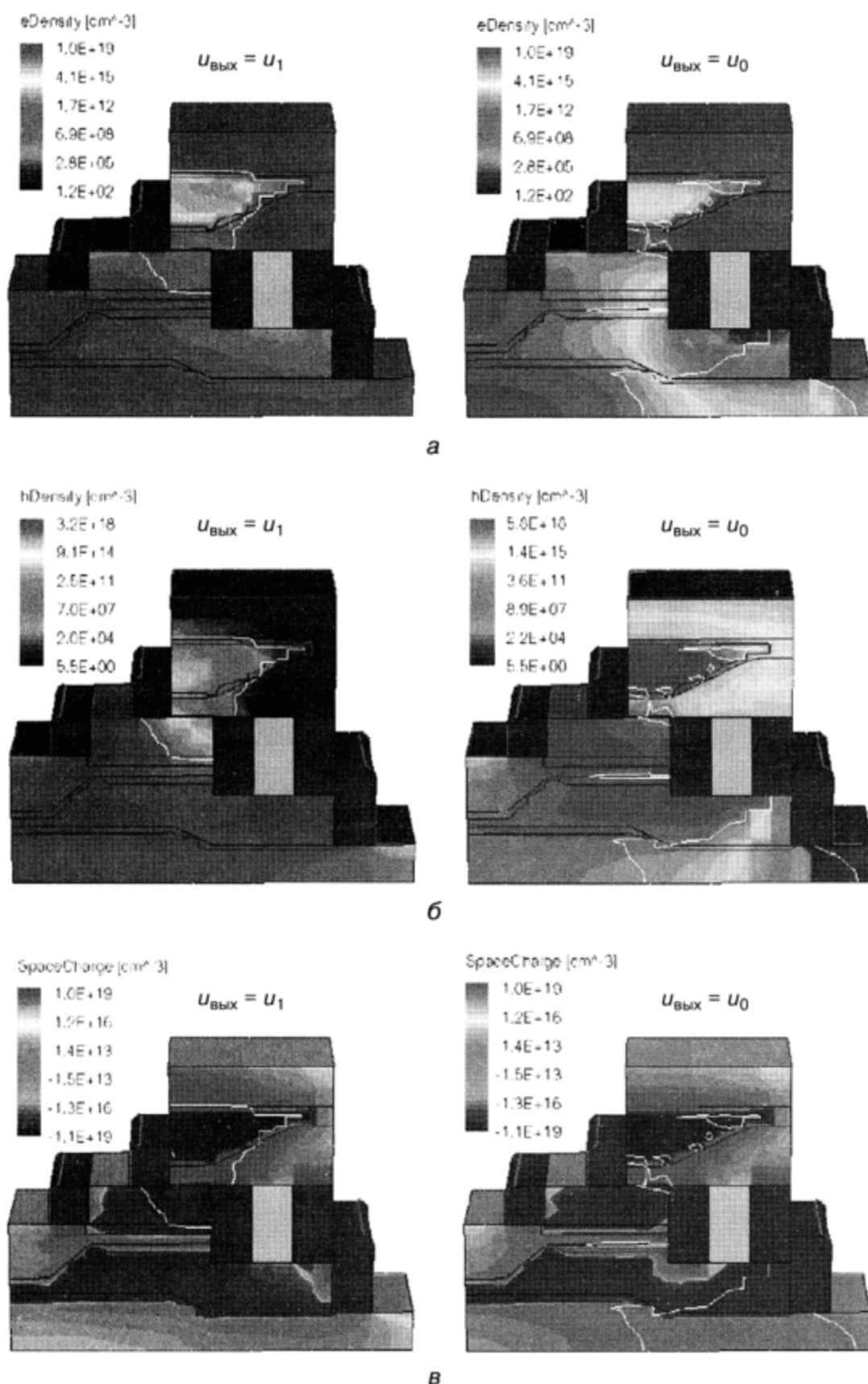


Рис. 8.54. Результаты 3D моделирования наноструктуры И–НЕ ($N = 7$) со структурной формулой, изображенной на рисунке 8.51 (слева — режим, когда на выходе напряжение логического нуля, справа — логической единицы): *a*) плотность электронов, *б*) плотность дырок, *в*) пространственный заряд

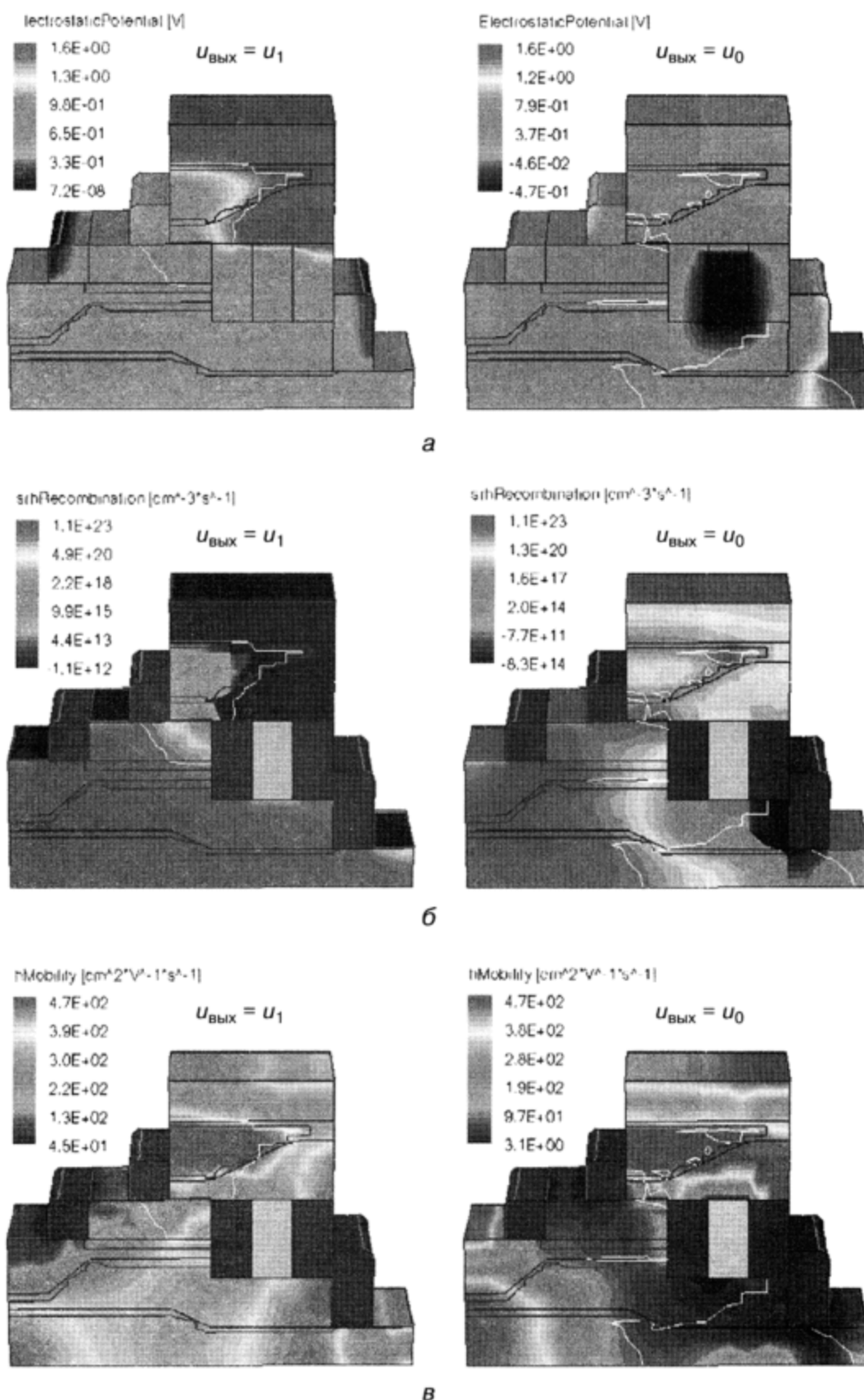


Рис. 8.55. Результаты 3D моделирования наноструктуры И–НЕ ($N = 7$) со структурной формулой, изображенной на рисунке 8.51 (слева — режим, когда на выходе напряжение логического нуля, справа — логической единицы): а) электростатический потенциал, б) RSH-рекомбинация, в) подвижность дырок

8.11.3. Физическое моделирование наноструктуры переходного элемента И–НЕ ($N = 8$) со структурной формулой на рисунке 8.56, б

Еще одна математическая модель биполярного переходного элемента И–НЕ, взятая из таблицы 8.6, представлена на рисунке 8.56, а. Если в качестве подложки выбрать область p^E и все переходы сделать поверхностными, получим структурную формулу, изображенную на рисунке 8.56, б.

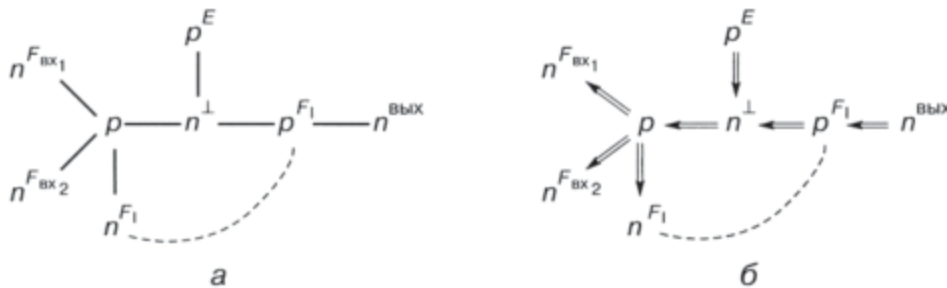
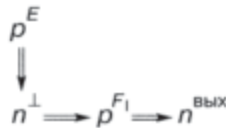


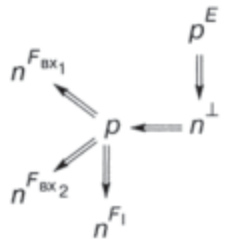
Рис. 8.56. Наноструктура биполярного переходного элемента И–НЕ ($N = 8$): а) математическая модель G8.1; б) структурная формула

Этой структурной формуле соответствует наноструктура И–НЕ, представленная на рисунке 8.57 [121, 122].

На стороне рисунка 8.57, а хорошо просматривается структура НЕ:



на сторонах рисунка 8.57, б, в — структура И:



Транзисторный аналог (схема необходимых транзисторных эффектов для реализации функции И–НЕ) представлен на рисунке 8.58, а. На рис. 8.58, б показана сетка для моделирования физических и электрических характеристик наноструктуры И–НЕ.

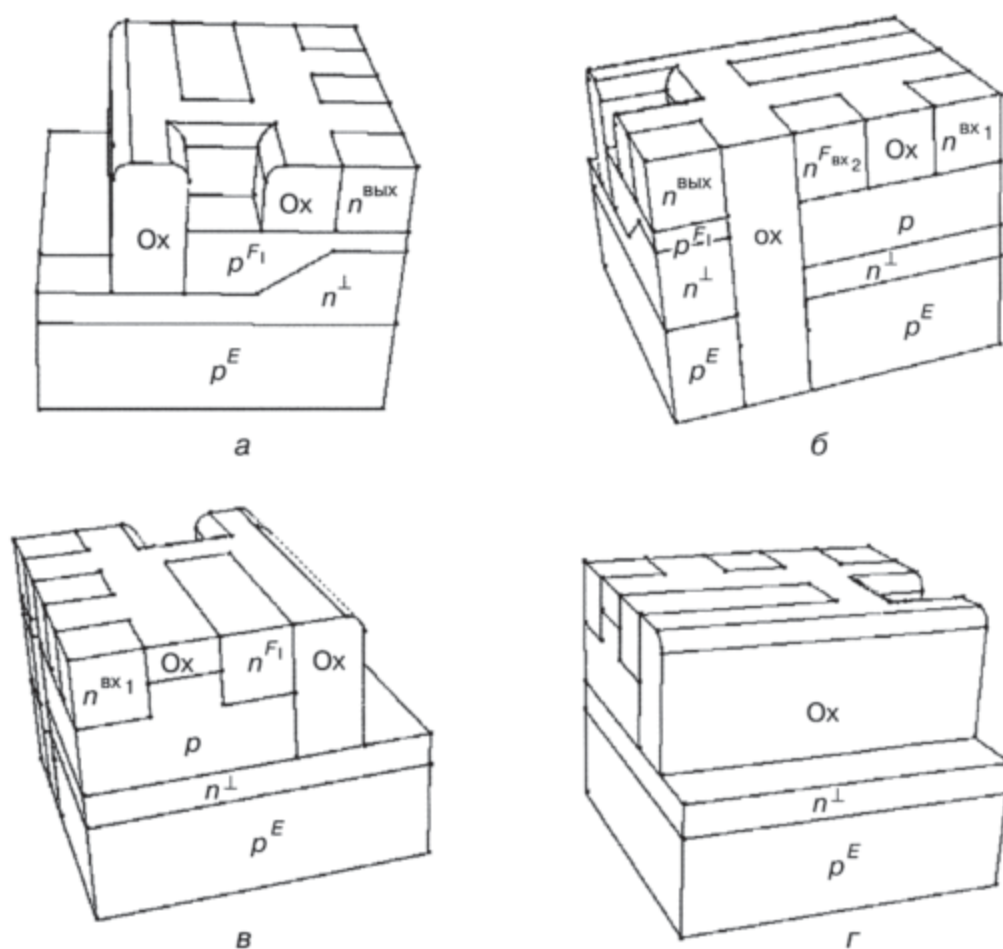


Рис. 8.57. Четыре стороны наноструктуры И–НЕ со структурной формулой, представленной на рисунке 8.56, б

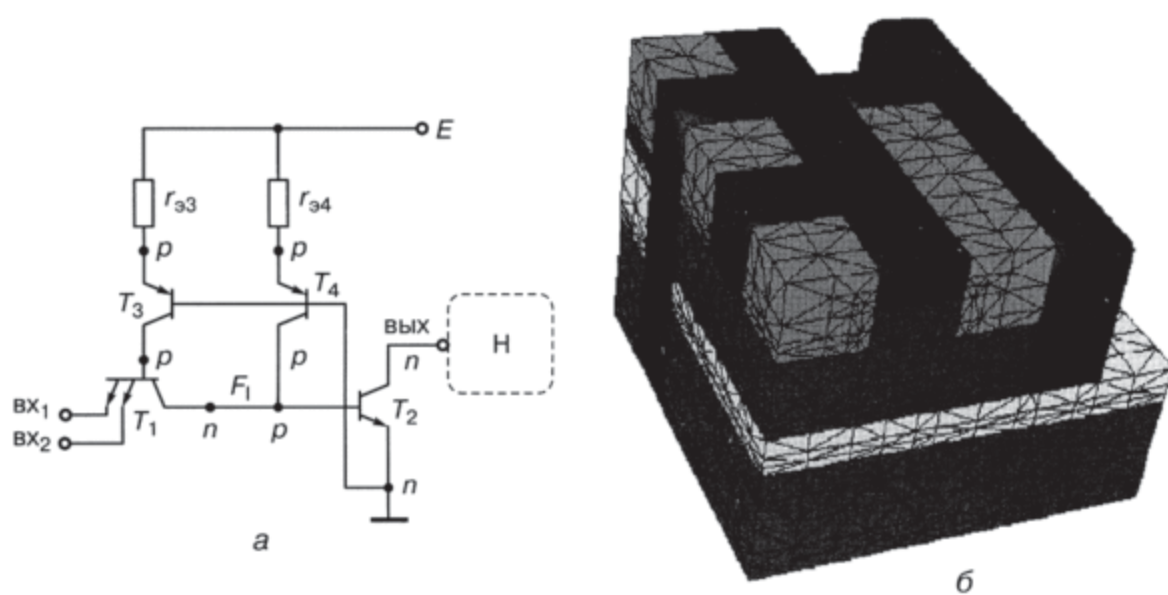


Рис. 8.58. Наноструктура И–НЕ: а) транзисторный аналог, б) сетка для моделирования

Компьютерное моделирование физических и электрических характеристик рассматриваемой наноструктуры И–НЕ проводилось для ее минимального топологического размера в 10 нм и минимальной толщиной базового слоя, равного 5 нм. Площадь топологии этой наноструктуры без изолирующих оксидов составляет $50 \times 50 \text{ нм}^2$, с изолирующими оксидами — $60 \times 70 \text{ нм}^2$. Со стороны контакта, на который подается нулевой потенциал F_0 , изоляция не нужна, в базовой матрице на месте оксидной изоляции может быть «симметрично отраженный подобный элемент» с общей шиной нулевого потенциала. А это значит, что на кристалле можно разместить $2,3 \cdot 10^{14}$ таких функционально полных наноструктур И–НЕ.

На рисунке 8.59 представлены результаты моделирования рассматриваемой наноструктуры И–НЕ, графики функций в зависимости от входного напряжения: а) передаточная характеристика, б) напряжение в области p^{F_1} базы инвертирующей структуры, в) общий ток в области p^E , г) общий ток в области n^\perp , д) общий ток в области $n^{\text{ВЫХ}}$, е) общий ток в области $n^{\text{ВХ1}}$, ж) заряд в области p^E , з) заряд в области $n^{\text{ВЫХ}}$, и) заряд в области $n^{\text{ВХ1}}$.

Также для этой наноструктуры И–НЕ на рисунке 8.60 представлены результаты 3D моделирования физических характеристик: а) абсолютное значение напряженности электрического поля, б) абсолютное значение плотности общего тока, в) скорость электронов. Слева представлен режим, когда на выходе напряжение логического нуля, справа — напряжение логической единицы.

На цветной вкладке (рис. 8.61) приведены результаты 3D моделирования физических характеристик наноструктуры И–НЕ со структурной формулой, представленной на рисунке 8.56, б со стороны части структуры И, а на рисунке 8.62 — со стороны структуры НЕ: а) электростатический потенциал, б) квазипотенциал Ферми для электронов, в) плотность дырок (слева представлен режим, когда на выходе напряжение логического нуля, справа — напряжение логической единицы).

Полученные результаты моделирования подтверждают работоспособность переходной наноструктуры И–НЕ со структурной формулой, изображенной на рисунке 8.56, б.

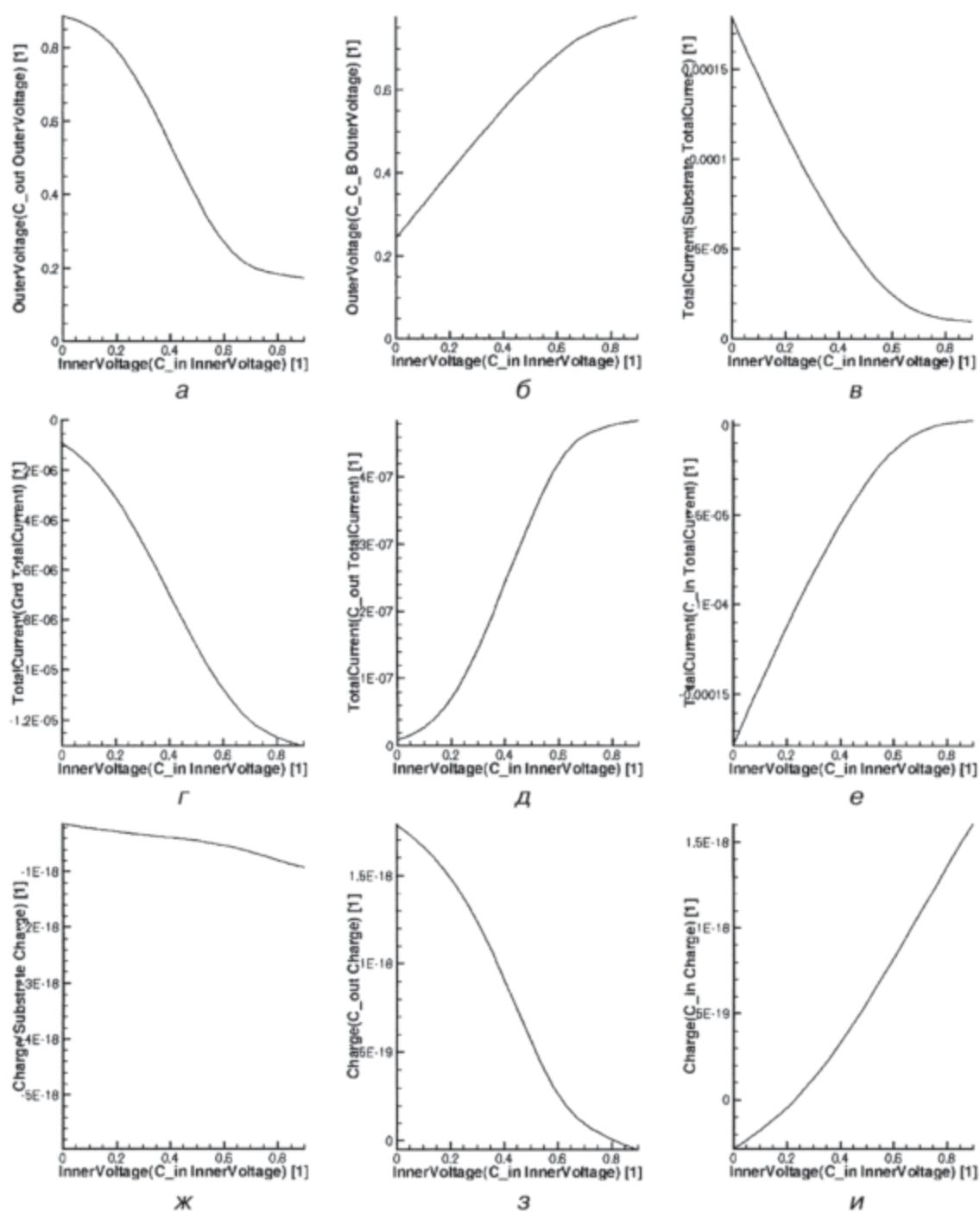


Рис. 8.59. Результаты моделирования наноструктуры И–НЕ со структурной формулой, изображенной на рисунке 8.56, б, графики функций в зависимости от входного напряжения: *а*) передаточная характеристика, *б*) напряжение в области F^F базы инвертирующей структуры, *в*) общий ток в области p^E , *г*) общий ток в области n^I , *д*) общий ток в области $n^{B_{\text{вх}}}$, *е*) общий ток в области $n^{B_{\text{вх}}}$, *ж*) заряд в области p^E , *з*) заряд в области $n^{B_{\text{вх}}}$, *и*) заряд в области $n^{B_{\text{вх}}}$.

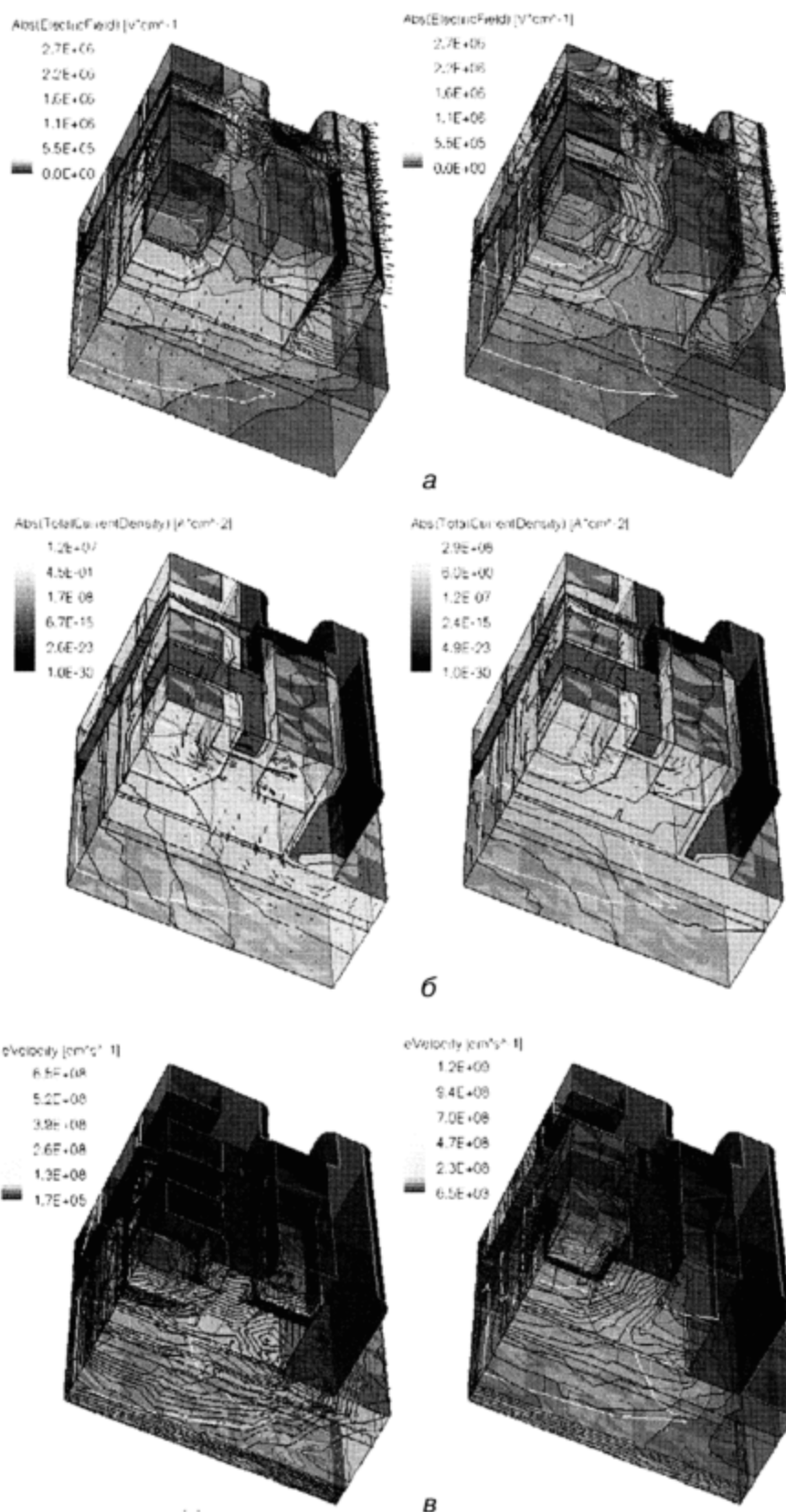


Рис. 8.60. Результаты 3D моделирования физических характеристик наноструктуры И–НЕ со структурной формулой, представленной рисунке 8.56, б: а) абсолютное значение напряженности электрического поля, б) абсолютное значение плотности общего тока, в) скорость электронов (слева представлен режим, когда на выходе напряжение логического нуля, справа — напряжение логической единицы)

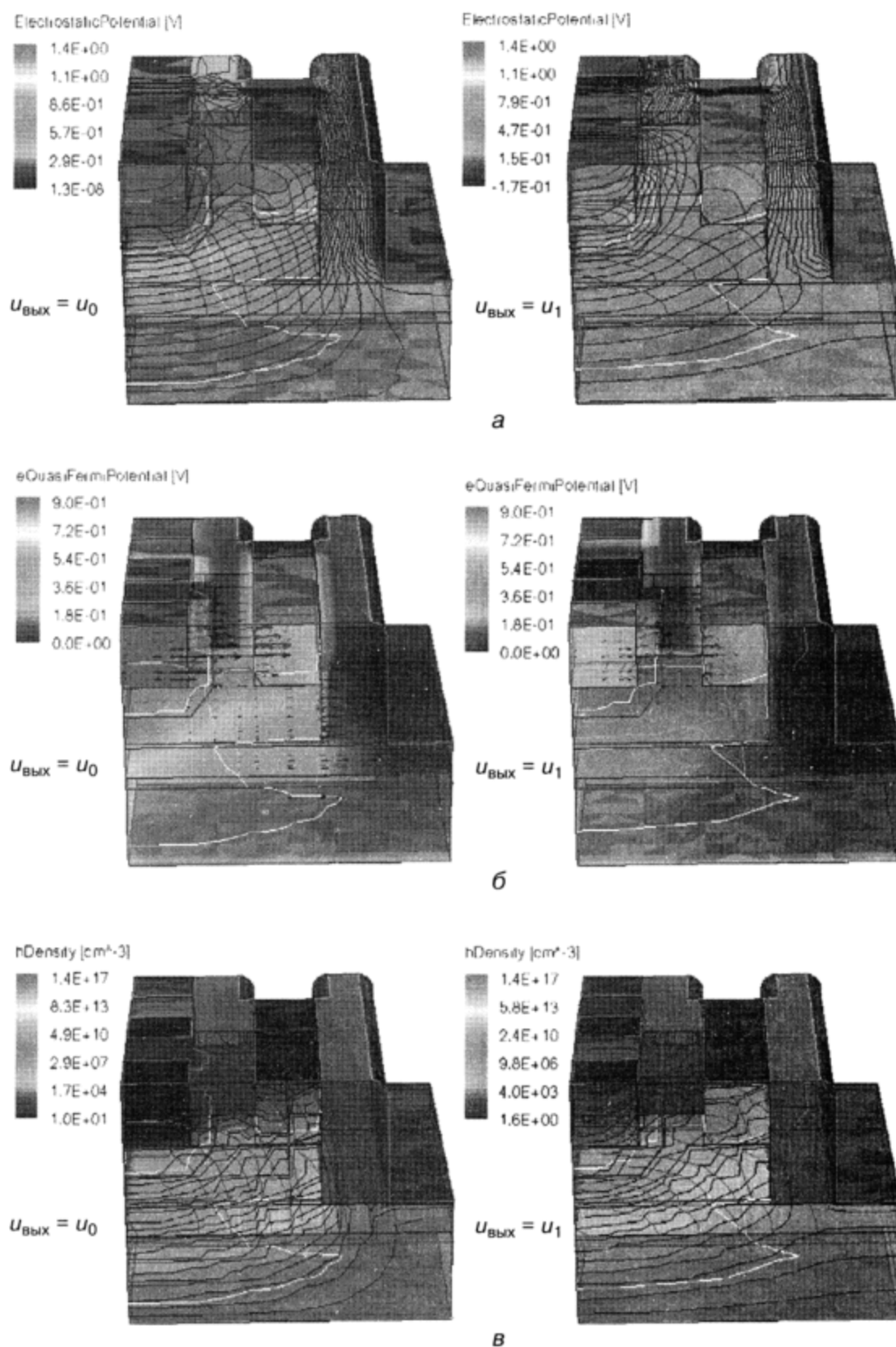


Рис. 8.61. Результаты 3D моделирования физических характеристик наноструктуры И–НЕ со структурной формулой, представленной на рисунке 8.56, б, со стороны части структуры И: а) электростатический потенциал, б) квазипотенциал Ферми для электронов, в) плотность дырок (слева представлен режим, когда на выходе напряжение логического нуля, справа — напряжение логической единицы)

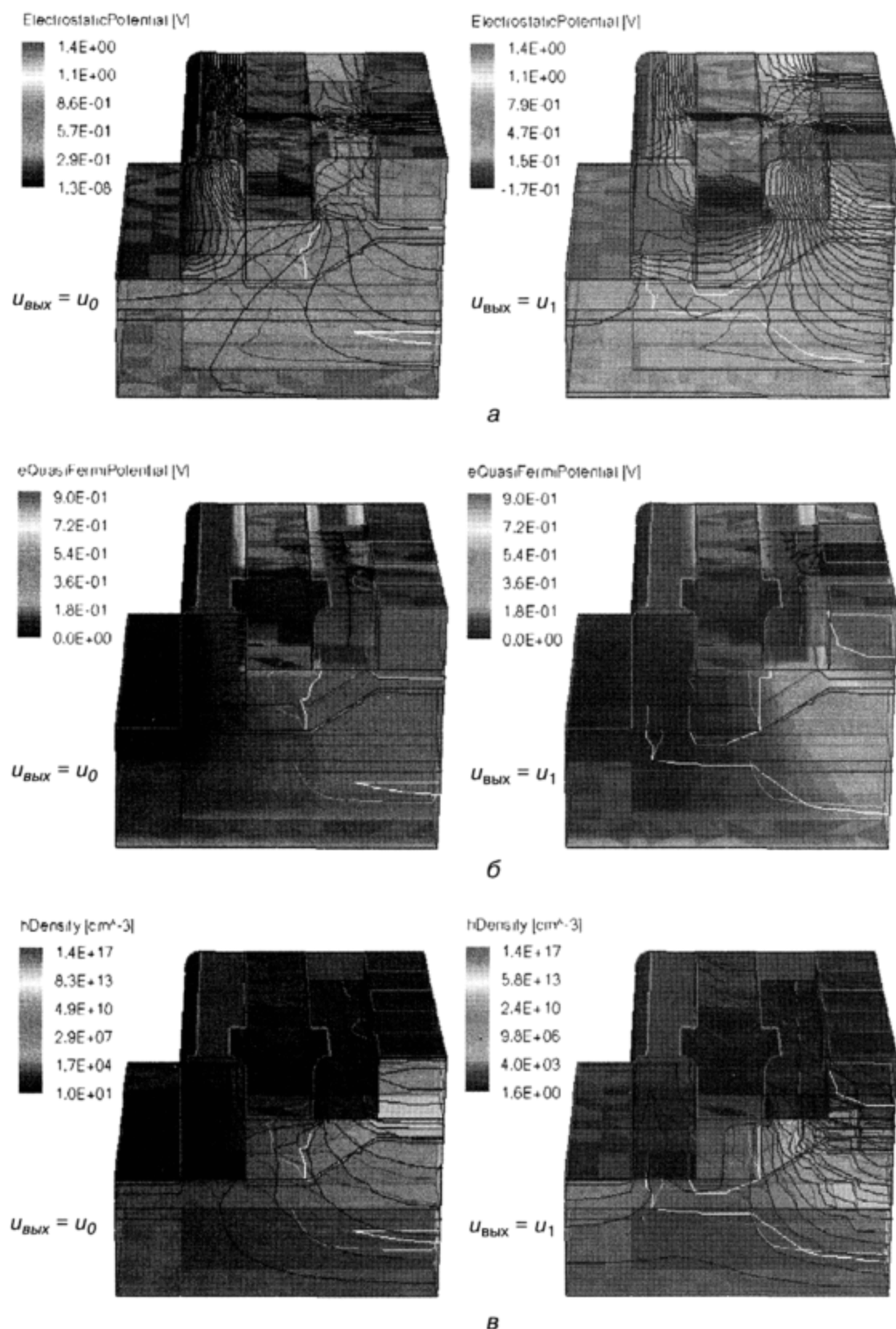


Рис. 8.62. Результаты 3D моделирования физических характеристик наноструктуры И–НЕ со структурной формулой, представленной на рисунке 8.56, б, со стороны структуры НЕ: а) электростатический потенциал, б) квазипотенциал Ферми для электронов, в) плотность дырок (слева представлен режим, когда на выходе напряжение логического нуля, справа — напряжение логической единицы)

Глава 9

РЕАЛИЗАЦИЯ ФУНКЦИИ ИЛИ–НЕ В ТРАНЗИСТОРНОЙ И ПЕРЕХОДНОЙ СХЕМОТЕХНИКАХ

Функция ИЛИ–НЕ, относящаяся к функционально полному логическому базису в биполярной транзисторной схемотехнике, реализуется в двух схемотехнических базисах:

- схемотехнический базис НСТЛ (ИЛИ–НЕ);
- схемотехнический базис ЭСЛ (ИЛИ–НЕ/ИЛИ).

9.1. Реализация функции ИЛИ–НЕ в переходной схемотехнике

9.1.1. Синтез моделей ФИЭ класса НСТЛ

Для реализации функции Пирса (ИЛИ–НЕ) в схемотехнике применяется принцип параллельного включения n – p – n - или n -канальных транзисторов в биполярных или МОП-(КМОП-)инверторах. Наиболее характерным примером является биполярная схема НСТЛ [84, 85].

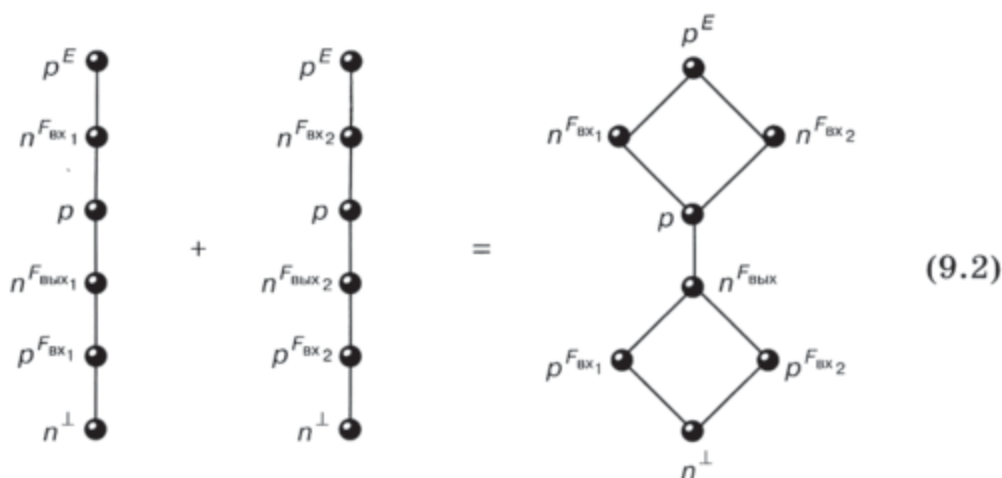
В p – n -схемотехнике были рассмотрены инверторы нескольких размерностей:

- инжекционные инверторы ($N = 4$);
- инжекционные инверторы ($N = 5$);
- комплементарные биполярные инверторы ($N = 6$).

Синтез элементов ИЛИ–НЕ из инверторов размерностью $N = 4$ описан уравнениями (7.3)–(7.5).

Схема ИЛИ–НЕ p – n -схемотехники на базе инжекционного инвертора (ИИ) с размерностью $N = 5$ имеет математическую модель, полученную в результате синтеза, описанного уравнением (9.1).

$$\begin{array}{c} n^{F_{вх1}} \\ | \\ p^E \\ | \\ n^\perp \\ | \\ p^{F_{вх1}} \\ | \\ n^{F_{вых1}} \end{array} + \begin{array}{c} n^{F_{вх2}} \\ | \\ p^E \\ | \\ n^\perp \\ | \\ p^{F_{вх2}} \\ | \\ n^{F_{вых2}} \end{array} = \begin{array}{c} n^{F_{вх1}} \quad n^{F_{вх2}} \\ \quad \diagdown \quad \diagup \\ \quad p^E \\ \quad | \\ \quad n^\perp \\ \quad \diagup \quad \diagdown \\ p^{F_{вх1}} \quad p^{F_{вх2}} \\ \quad \diagdown \quad \diagup \\ \quad n^{F_{вых}} \end{array} \quad (9.1)$$



Уравнение (9.2) описывает синтез математической модели ФИЭ ИЛИ–НЕ из комплементарных биполярных инверторов с размерностью $N = 6$.

Для генерации интегральных структур ФИЭ ИЛИ–НЕ (9.1, 9.2) используются приемы, описанные ранее (7.3)–(7.5).

Возможна генерация ФИЭ ИЛИ–НЕ, точнее, их интегральных структур, при использовании объединения структурных формул инверторов p – n -схемотехники. Интегральная структура ФИЭ ИЛИ–НЕ, изображенная на рисунке 7.2, z , получается в результате объединения структурных формул ИИ, изображенного на рисунке 7.2, $в$:

$$\bigcup_{i=1}^K n^{F_{вых_i}}(p^E, p^{F_{вх_i}}(n^{\perp})) = n^{F_{вых}}(p^E, p^{F_{вх1}}(n^{\perp}), \dots, p^{F_{вх_i}}(n^{\perp}), \dots, p^{F_{вх_K}}(n^{\perp})). \quad (9.3)$$

Для получения самых быстродействующих ФИЭ ИЛИ–НЕ необходимо провести моделирование в классе ЭСЛ, что и будет сделано в дальнейшем.

9.2. Токовый ключ (первая модификация ЭСЛ)

Основой схемотехники ЭСЛ является токовый ключ, или дифференциальный каскад (рис. 9.1). Принципиальное отличие схем ЭСЛ заключается в том, что, во-первых, это ненасыщенные схемы, то есть напряжение логического нуля определяется иначе, нежели режимом насыщения выходного транзистора, а во-вторых, используется другая, хотя и положительная, логика.

Логика следующая: есть некоторое опорное напряжение $E_{оп}$, все, что меньше его, — это логический ноль, а все, что больше, — логическая единица.

Токовый ключ (рис. 9.1, a) представляет собой параллельное соединение транзисторов с резистивными нагрузками в коллекторных и об-

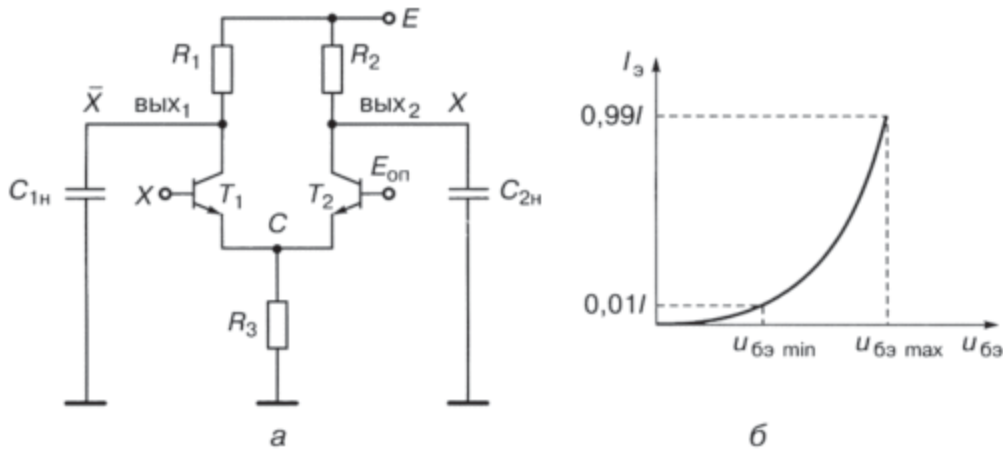


Рис. 9.1. Токовый ключ: а) схема, б) вольт-амперная характеристика транзистора

щей эмиттерной цепях. На базу одного из транзисторов подается опорное напряжение ($E_{оп}$), на базу другого — логический сигнал X .

С коллектора транзистора ($вых_2$), на базу которого подается $E_{оп}$, снимается прямой сигнал (токовый ключ здесь выполняет функцию повторителя), с коллектора другого транзистора ($вых_1$), на базу которого подается логический сигнал, снимается инверсный сигнал (здесь токовый ключ выполняет функцию инвертора).

Это другой, уже третий вариант биполярного инвертора и основа для построения принципиально нового схемотехнического базиса.

9.2.1. Работа токового ключа

Рассмотрим режимы работы токового ключа (табл. 9.1).

Таблица 9.1

Режимы работы токового ключа

X	T_1		T_2	$вых_1$		$вых_2$	
0	открыт	$U_{бэ_1} < U_{бэ_2}$	открыт	$U_{вых_1} = E - 0,01/R_1$	1	$U_{вых_2} = E - 0,99/R_2$	0
1	открыт	$U_{бэ_1} < U_{бэ_2}$	открыт	$U_{вых_1} = E - 0,99/R_1$	0	$U_{вых_2} = E - 0,01/R_2$	1

Первая строка. На входе схемы — логический ноль, то есть напряжение чуть ниже $E_{оп}$.

Это значит, что $U_{бэ_1}$ (напряжение база–эмиттер транзистора T_1) меньше, чем $U_{бэ_2}$ (напряжение база–эмиттер транзистора T_2). То есть транзистор T_1 открыт чуть меньше, чем T_2 . Из вольт-амперной характеристики биполярного транзистора видно, что там, где напряжение на переходе больше, ток эмиттера и, соответственно, коллектора больше (рис. 9.1, б).

Если считать, что резистор R_3 выполняет функцию источника тока с током I и потенциал точки C постоянен, условно примем ток коллек-

тора «менее» открытого транзистора за $0,01I$, а «более» открытого — за $0,99I$.

Напряжение на выходе 1: $U_{\text{вых}_1} = E - 0,01IR_1$, напряжение на выходе 2: $U_{\text{вых}_2} = E - 0,99IR_2$.

Вторая строка. На входе X — логическая единица, значит, $U_{\text{бэ}_1} > U_{\text{бэ}_2}$, то есть в этом режиме «более» открыт транзистор T_1 , и формулы для определения выходных напряжений следующие: $U_{\text{вых}_1} = E - 0,99IR_1$, $U_{\text{вых}_2} = E - 0,01IR_2$.

При сравнении выходных напряжений делаем вывод: первый выход инвертирующий, а второй выход — повторяющий.

9.2.2. Достоинства и недостатки токового ключа

Достоинства:

- транзисторы работают всегда в активном режиме (не нужно тратить время на «рассасывание» зарядов из баз насыщенных транзисторов);
- схема имеет логический перепад 0,3–0,4 В (меньше логический перепад — меньше времени на зарядку нагрузочной емкости).

Недостатки:

- выходное сопротивление у схемы большое (R_1 и R_2), в результате чего нагрузочные емкости (емкости нагрузочных схем) перезаряжаются медленно, снижая возможное быстродействие схемы;
- схема имеет логический перепад 0,3–0,4 В (меньше логический перепад — меньше запасы помехоустойчивости).

Примечание. В целях оптимизации токового ключа резисторы могут быть заменены МОП- или биполярными n – p – n -транзисторами с последующей функциональной интеграцией.

9.3. Схема МЭСЛ (вторая модификация ЭСЛ) реализации функционально полного логического вентиля на базе токового ключа

Инвертор — функционально неполный вентиль, поскольку одной инверсии недостаточно для реализации сложных схем. В схеме токового ключа (рис. 9.1, а) логической является левая ее часть.

Если вместо транзистора T_1 включить параллельное соединение транзисторов, будет реализована вспомогательная функция ИЛИ.

В результате получится вентиль маломощной ЭСЛ (МЭСЛ), реализующий по выходу 1 функцию ИЛИ–НЕ, а по выходу 2 — функцию ИЛИ.

Задание. Составьте самостоятельно таблицу работы этой схемы и докажете выполнение логических функций на выходах, указанных на рисунке 9.2.

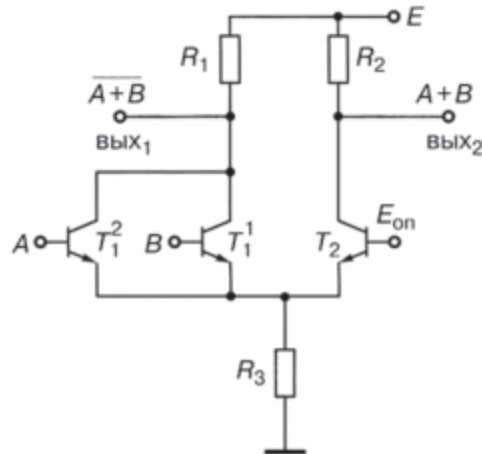


Рис. 9.2. Схема МЭСЛ

В схеме МЭСЛ сохраняется недостаток токового ключа — высокое выходное сопротивление, так как его по-прежнему определяют килоомные сопротивления R_1 и R_2 .

Для устранения этого недостатка (уменьшения выходного сопротивления схем) используется стандартный прием — подключение к выходу эмиттерных повторителей, выходное сопротивление которых определяется сопротивлением открытого транзистора (рис. 9.3).

9.4. Схема ЭСЛ (третья модификация)

Эта модификация отличается от схемы МЭСЛ тем, что к выходам подключены эмиттерные повторители, а выходные сигналы схемы снимаются с их эмиттеров (рис. 9.3).

Задание. Составьте таблицу работы этой схемы самостоятельно и докажите выполнение логических функций на выходах, указанных на рисунке 9.3.

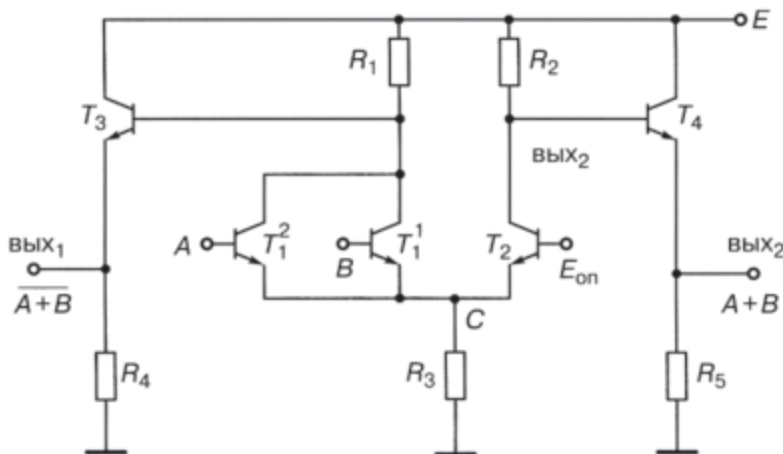


Рис. 9.3. Вентиль ЭСЛ — третья модификация

Увеличилось количество компонентов, но улучшилась задержка схемы. Уменьшая размеры компонентов, при тех же токовых характеристиках задержку можно еще уменьшить.

Использование эмиттерных повторителей на выходах дает этому схемотехническому базису дополнительное преимущество. Известно, что при объединении выходов эмиттерных повторителей реализуется функция Монтажное ИЛИ ($M_{или}$), то есть, помимо обычной функционально полной функции ИЛИ–НЕ, у этого базиса имеется вторая функционально полная функция ИЛИ–НЕ– $M_{или}$, а это дает существенный выигрыш в быстродействии при проектировании сложных схем. Это будет показано далее.

9.4.1. Зависимость логических нуля и единицы от разбросов напряжения питания

Недостатком класса ЭСЛ с положительным питанием является зависимость логических нуля и единицы от разбросов напряжения питания. Источники питания имеют технологические и температурные разбросы параметров $\pm \Delta E$. При $-\Delta E$ уменьшается напряжение логической единицы:

$$U^1 = (E - \Delta E) - R_1 \cdot 0,01I,$$

что приводит к уменьшению и так небольшого запаса помехоустойчивости по отрицательной помехе.

При $+\Delta E$ увеличивается напряжение логического нуля:

$$U^0 = (E + \Delta E) - R_1 \cdot 0,99I,$$

это приводит к уменьшению запаса помехоустойчивости по положительной помехе.

Для устранения этой зависимости используют схему ЭСЛ с отрицательным напряжением питания.

9.5. ЭСЛ с отрицательным напряжением питания (четвертая модификация ЭСЛ)

Схемотехнический прием: если из потенциалов всех узлов схемы вычесть некоторую константу (напряжение), то работа и логика схемы не изменятся. Изменяются только абсолютные значения напряжений логических нуля и единицы. Относительные же величины, определяющие режимы, логику работы схемы, останутся прежними.

Это полностью относится к схеме ЭСЛ с отрицательным питанием. Она отличается от базовой схемы тем, что шина «земля» подключается к коллекторам эмиттерных повторителей и сопротивлениям R_1 и R_2 , а источник питания с отрицательным напряжением E подключается

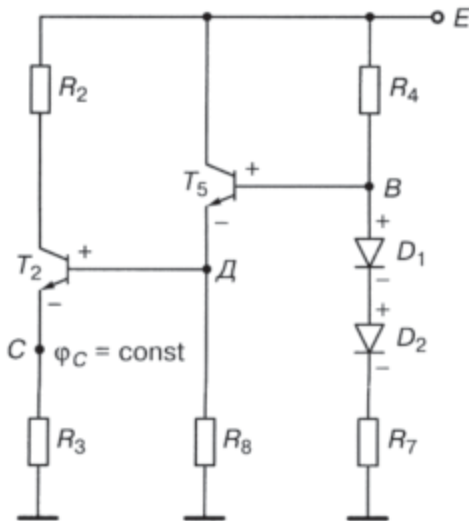


Рис. 9.5. Схема источника опорного напряжения

Предположим, что температура возросла, и напряжение на переходах и диодах снизилось. Следствием этого будет возрастание тока в делителе напряжения R_4, D_1, D_2, R_7 . Это приведет к увеличению падения напряжения на резисторе R_4 и, как следствие, к снижению потенциала узла B .

Поэтому уменьшение напряжения на переходах база–эмиттер транзисторов T_2 и T_5 не приведет к изменению потенциала в точке C .

Благодаря использованию схемы источника опорного напряжения (рис. 9.5) была получена следующая, пятая модификация схемы ЭСЛ.

9.6. Схема ЭСЛ с одним источником питания (пятая модификация)

Окончательный вариант схемы ЭСЛ с положительным питанием изображен на рисунке 9.6.

С выхода 1 снимается инверсия суммы входных сигналов, а со второго выхода — просто их сумма. Таким образом, схема ЭСЛ имеет два выхода: инверсный и прямой. Кроме того, объединение выходов различных ЭСЛ реализует функцию $M_{или}$. Эти факты можно использовать для реализации некоторых логических функций.

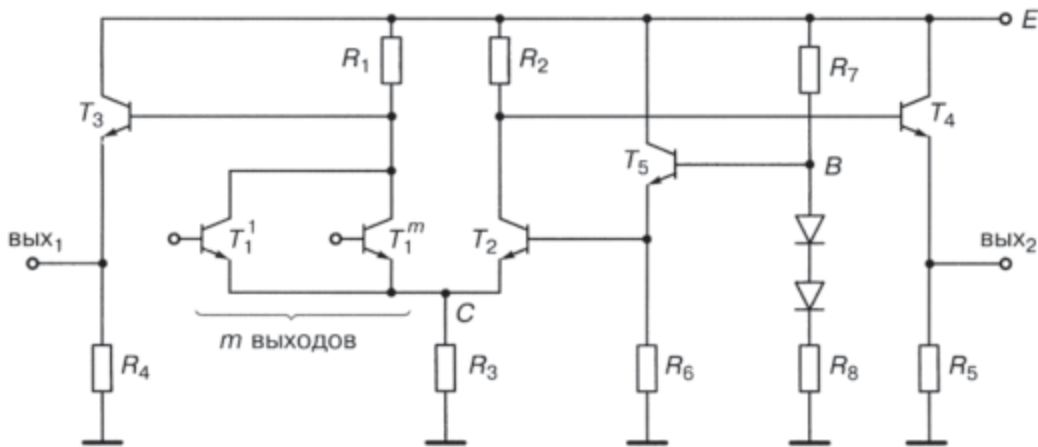


Рис. 9.6. Вентиль ЭСЛ — пятая модификация

9.6.1. Пример использования Монтажного ИЛИ для реализации сложных логических функций

Если при проектировании сложных устройств в схемотехнике ЭСЛ будет использоваться функция Монтажное ИЛИ, то для реализации каждого из них потребуется отдельный эмиттер транзистора эмиттерного повторителя:

$$F_1 = (a+b+c+d) + (e+f),$$

$$F_2 = (a+b+c+d) + (e+f),$$

$$F_3 = \overline{(a+b+c+d)} + \overline{(e+f)}.$$

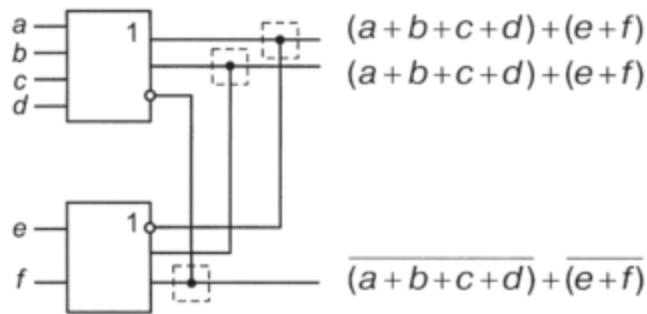


Рис. 9.7. Использование $M_{или}$ для реализации логических выражений

На рисунке 9.7 показано, как, используя функцию $M_{или}$ в базисе ЭСЛ, можно реализовывать функции разных типов.

9.7. Алгоритмы проектирования сложных схем в базисе ЭСЛ

9.7.1. Алгоритм проектирования сложных схем в базисе ЭСЛ ИЛИ–НЕ

Алгоритм проектирования сложных схем в базисе ЭСЛ ИЛИ–НЕ можно записать следующим образом:

$$\overline{\overline{\text{МДНФ}(F)}},$$

что означает:

- взять МКНФ (F) — минимальную конъюнктивную нормальную форму функции F ;
- взять ее двойное отрицание;
- раскрыть внутреннее отрицание, используя закон де Моргана и оставив внешнее отрицание.

Рассмотрим применение алгоритма на примере.

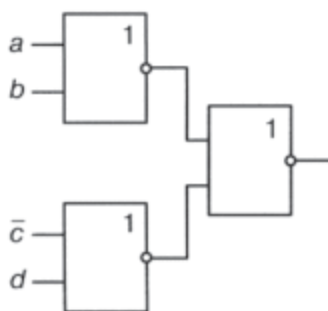


Рис. 9.8. Реализация в базисе ЭСЛ ИЛИ–НЕ функции $F = (a + b)(\bar{c} + d)$

Спроектируем схему, реализующую в базисе ЭСЛ ИЛИ–НЕ функцию:

$$F = (a + b)(\bar{c} + d).$$

В соответствии с алгоритмом преобразуем функцию, оставив в ней только дизъюнкции и инверсии:

$$\overline{\overline{F}} = \overline{\overline{(a + b)(\bar{c} + d)}} = \overline{\overline{(a + b)} + \overline{\overline{(\bar{c} + d)}}}.$$

Для реализации схемы (с учетом использования на входах как прямых, так и инверсных аргументов) потребуется три вентиля (рис. 9.8).

9.7.2. Алгоритм проектирования сложных схем в базисе ЭСЛ ИЛИ–НЕ–М_{или}

Алгоритм проектирования сложных схем в базисе ЭСЛ ИЛИ–НЕ–М_{или} можно записать следующим образом:

$$\overline{\overline{\text{МДНФ}(F)}},$$

что означает:

- взять МДНФ (F) — минимальную дизъюнктивную нормальную форму функции F ;
- взять двойное отрицание каждой конъюнкции;
- раскрыть внутреннее отрицание, используя закон де Моргана.

Рассмотрим применение алгоритма на примере. Спроектируем схему, реализующую в базисе ЭСЛ ИЛИ–НЕ–М_{или} функцию

$$F = a \cdot b + \bar{c} \cdot d.$$

В соответствии с алгоритмом преобразуем функцию, оставив в ней только дизъюнкции и инверсии:

$$\overline{\overline{(F)}} = \overline{\overline{ab + cd}} = \overline{\overline{a} + \overline{b} + \overline{c} + \overline{d}}.$$

Для реализации схемы (с учетом использования на входах как прямых, так и инверсных аргументов) потребуется два вентиля (рис. 9.9).

В отличие от реализации по предыдущему алгоритму получаем схему, имеющую на один логический уровень меньше. Задержка таких схем меньше на задержку одного вентиля.

Если сигналы на входы устройств, спроектированных в базисе ИЛИ–НЕ–М_{или}, приходят с триггеров (прямые и инверсные), то задержка таких устройств (любой сложности) равна задержке одного вентиля.

В силу своих уникальных особенностей (лидер по быстродействию среди всех схемотехнических базисов) ЭСЛ-вентили используются при проектировании устройств, для которых основным критерием является быстродействие.

За это приходится «платить» большим количеством *недостатков*:

- большая потребляемая мощность;
- низкий запас помехоустойчивости;
- большое количество компонентов, особенно резисторов.

Схема ЭСЛ может быть оптимизирована при помощи математического моделирования.

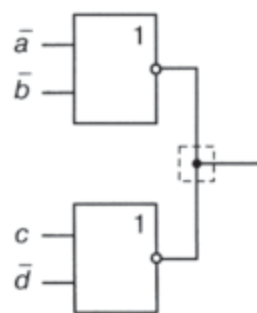


Рис. 9.9. Реализация функции в базисе ЭСЛ

9.8. ЭСЛ в переходной схемотехнике

ЭСЛ-схемотехника — схемотехника обладающая наилучшим быстродействием среди всех известных схемотехник. Это качество определяется физическими принципами ее работы. Транзисторы никогда не бывают насыщенными, поэтому не требуется время на рассасывание зарядов из их баз. Именно это свойство делает данный схемотехнический класс лидером при выборе элементной базы суперкомпьютеров, для которых быстродействие — одно из основных качеств. Однако с переходом к нанотехнологиям, оказывается, что транзисторный вариант схемы ЭСЛ слишком громоздок и сложен. Избыточность транзисторной схемотехники порождает лишние области и соединения, устранить которые поможет переходная схемотехника.

9.9. Математические модели ЭСЛ в переходной схемотехнике

При создании самых быстродействующих устройств управления и ЭВМ часто применяют различные модификации схем ЭСЛ.

Маломощный вариант элемента ЭСЛ (МЭСЛ) на два входа (рис. 9.10), выполняющий логическую функцию ИЛИ–НЕ/ИЛИ, при реализации в транзисторной схемотехнике содержит 14 полупроводниковых областей, 13 p – n -переходов и 5 внутренних соединений



Рис. 9.10. Элемент ИЛИ–НЕ (МЭСЛ): а) принципиальная схема, б) графовая модель структуры с отдельными транзисторами, в) графовая модель интегральной структуры с общим коллектором

(рис. 9.10, а). При использовании функциональной интеграции полупроводниковых областей, имеющих один и тот же потенциал, получается интегральная структура МЭСЛ с общим коллектором (рис. 9.10, в), содержащая на один p – n -переход и одно соединение меньше.

9.10. Генерация моделей наноструктур ИЛИ–НЕ в классе МЭСЛ

Так как элемент ЭСЛ является самым быстродействующим биполярным элементом, то синтез и моделирование ФИЭ в этом классе представляет собой одну из актуальных задач интегральной схемотехники.

Если рассматривать схему МЭСЛ (рис. 9.10, а) и соответствующую ей математическую модель интегральной структуры в p – n -схемотехнике (рис. 9.10, б), то видно, что из 14 p – n -переходов этой модели 4 перехода (p_1 – n_2 , p_1 – n_3 , p_1 – n_4 , p_1 – n_5), выполняющих изолирующую функцию.

В схеме также используются резисторы, в значительной степени снижающие плотность компоновки СБИС, спроектированных в транзисторной схемотехнике.

Математическая модель ФИЭ МЭСЛ изображена на рисунке 9.11, б. Она не является деревом, содержит циклы и требует технологии с вертикальной интеграцией и диэлектрической изоляцией. Дугами отмечены возникающие при «склеивании» паразитные транзисторы, их влияние должно быть устранено на этапе синтеза интегральной структуры за счет увеличения толщины базовой области паразитного транзистора или путем использования диэлектрической изоляции.

В таблице на рисунке 9.11, в показан алгоритм синтеза ФИЭ МЭСЛ, выполняющего логическую функцию Пирса (ИЛИ–НЕ).

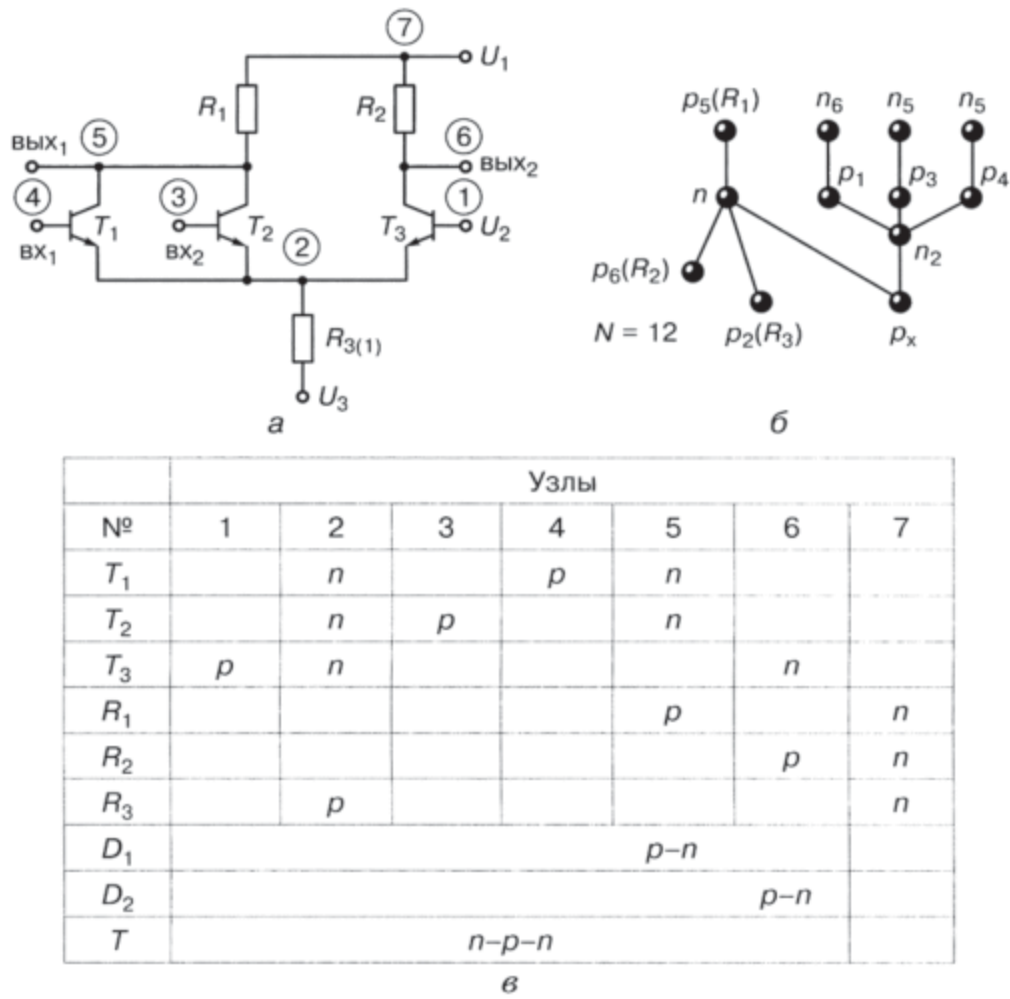


Рис. 9.11. МЭСЛ: а) принципиальная схема МЭСЛ, б) модель интегральной структуры МЭСЛ с общим эмиттером ($N = 12$), в) моделирование ФИЭ МЭСЛ (табличный метод)

Ввиду того что узел 5 объединяет n -область транзисторов T_1 и T_2 и p -область резистора R_1 , на что требуется дополнительная металлизация, использован метод «склеивания» областей $p-n$ -переходом (в эквивалентной транзисторной схеме — диод D_1). Аналогично склеивание $p-n$ -переходом осуществляется в узле 6 (рис. 9.11, в). Резистор R_3 в узле 2 выполняет функцию источника тока, роль которого может при определенных условиях выполнить открытый транзистор. В данном случае к узлу 2 подключается $n-p-n$ -транзистор для объединения («склеивания») его n -области с другими n -областями — эмиттерами транзисторов T_1, T_2, T_3 .

В результате этих трех операций объединения получается математическая модель ФИЭ МЭСЛ, содержащая девять полупроводниковых областей, что на три полупроводниковые области меньше, чем в транзисторном аналоге ЭСЛ с общим эмиттером.

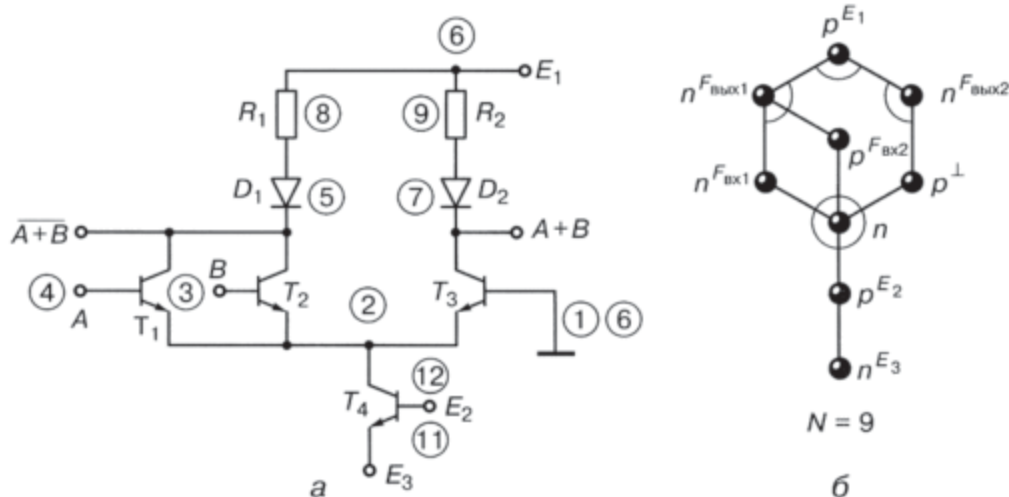


Рис. 9.12. ФИЭ ИЛИ–НЕ: а) принципиальная схема в транзисторной схемотехнике, б) математическая модель ФИЭ МЭСЛ (принципиальная схема в переходной схемотехнике)

Эквивалентная схема ФИЭ МЭСЛ в транзисторной схемотехнике изображена на рисунке 9.12, а. Она используется при моделировании работы конкретных интегральных структур математической модели ФИЭ МЭСЛ. Один из результатов генерации интегральной структуры (структурной формулы полученной математической модели) представлен на рисунке 9.13: а) структурная формула ФИЭ с минимальным числом полупроводниковых слоев, б) соответствующая ей интегральная структура [84, 85].

Моделирование данной структуры осуществляется по описанию принципиальной схемы с конкретными параметрами транзисторных структур. В данной схеме их четыре:

- $T_1 (n_3 - p_4 - n_7),$
- $T_2 (n_3 - p_5 - n_7),$
- $T_3 (n_3 - p_6 - n_8),$
- $T_4 (n_3 - p_2 - n_1).$

Описание схемы в транзисторной схемотехнике дано на рисунке 9.12, а.

Результаты компьютерного моделирования статики приведены в таблице на рисунке 9.13, г. На рисунке 9.13, в изображена передаточная характеристика ФИЭ МЭСЛ с логическим перепадом в 2 В при управляющих воздействиях: $E_1 = 2\text{ В}$, $E_2 = -0,3\text{ В}$, $E_3 = -1\text{ В}$.

Исходя из распределения потенциалов в статике, определены режимы работы транзисторных структур ФИЭ (рис. 9.13, г).

Замечание. Для осуществления более точного моделирования новых интегральных структур необходим либо точный расчет параметров

моделей всех транзисторных структур с учетом особенностей технологии, либо переход к моделированию электрических процессов в интегральных структурах *p–n*-схемотехники на физическом уровне.

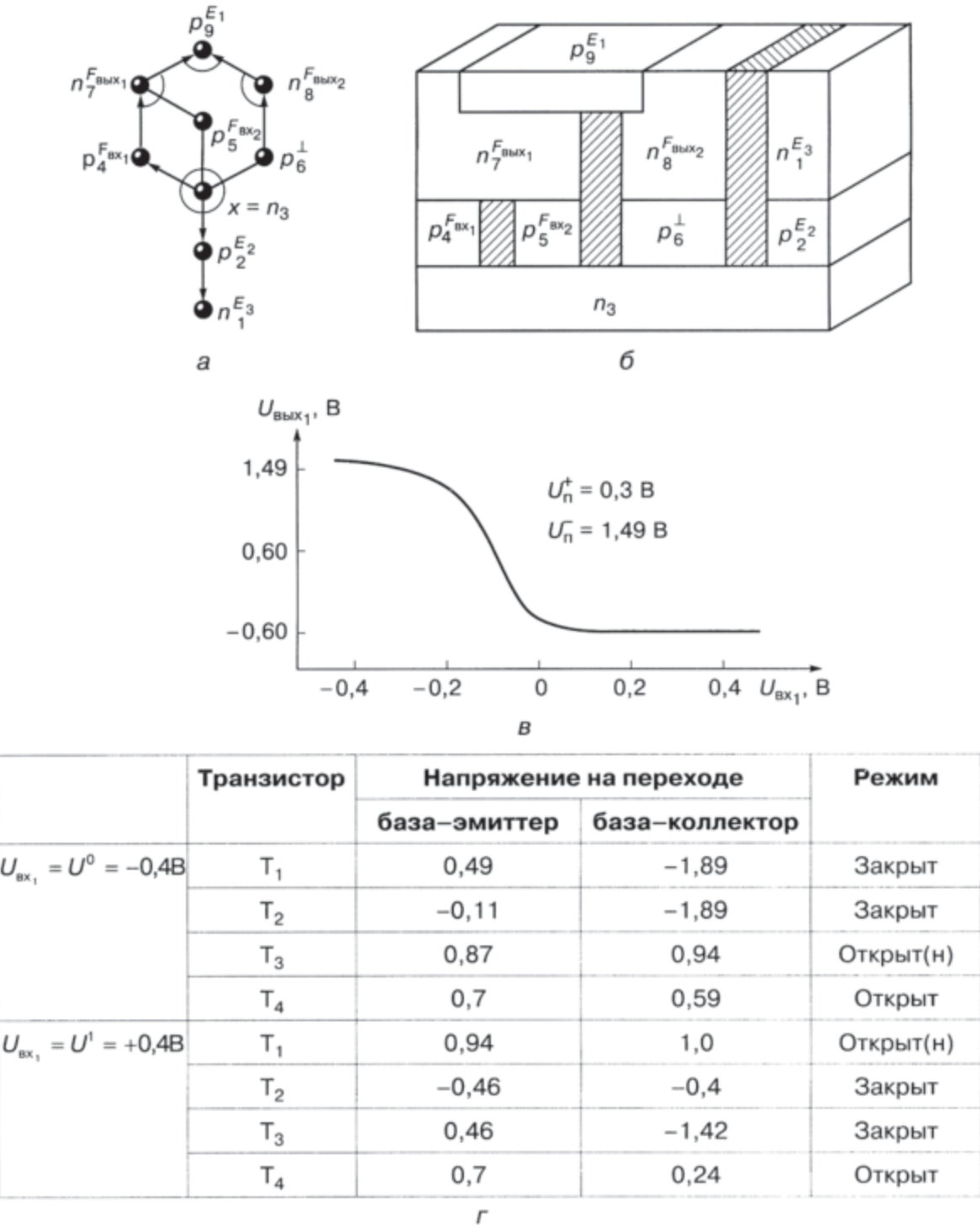


Рис. 9.13. Моделирование ФИЭ МЭСЛ: а) модель структуры ФИЭ МЭСЛ, б) структура ФИЭ МЭСЛ, в) передаточная характеристика ФИЭ МЭСЛ, г) анализ работы на ЭВМ

9.11. Физическое моделирование наноструктуры переходного элемента ИЛИ–НЕ (НСТЛ)

9.11.1. Уравнение синтеза

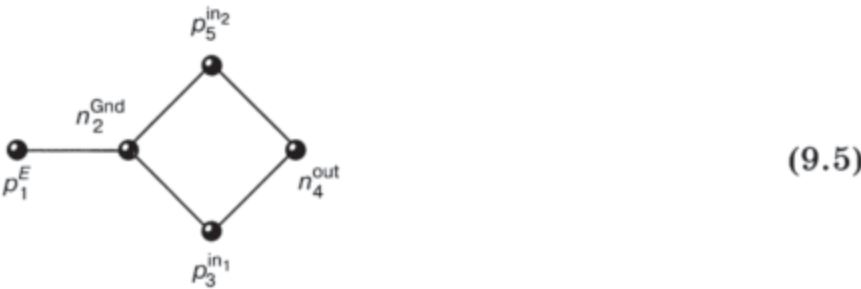
Синтез математической модели элемента ИЛИ–НЕ (НСТЛ) осуществляется из моделей ИИ.

Воспользуемся моделью инвертора размерностью $N=4$ (содержащей 4 полупроводниковые области) (9.4):



В схемотехнике для технической реализации функции Пирса (логической функции ИЛИ–НЕ) необходимо объединить инверторы по выходам. Число инверторов равняется числу логических входов элемента ИЛИ–НЕ (подробно синтез данной модели описан в главе 7).

В результате синтеза получается абстрактная математическая модель размерностью $N=5$ (9.5).

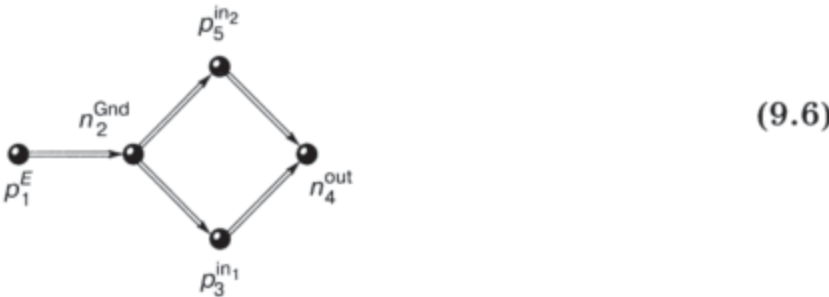


Размерность модели зависит от количества логических входов (m) и определяется по формуле: $N = 3 + m$.

9.11.2. Генерация наноструктуры

В соответствии с вышеописанными алгоритмами генерации структуры возможны 4^N пространственных структур данного элемента, то есть их количество составляет $4^5 = 1\,024$.

Воспользуемся структурой, которая в данный момент наиболее технологична, то есть отличается легкостью и дешевизной реализации.



Это структура, которая расположена на области p_1^E . Структуре переходного элемента ИЛИ–НЕ с поверхностными переходами (слоистой структуре) соответствует структурная формула (9.6).

9.11.3. Компьютерное моделирование наноструктуры ИЛИ–НЕ

Структурной формуле (9.6) соответствует наноструктура, изображенная на рисунке 9.14.

Результаты моделирования [116] физических и электрических характеристик наноструктуры ИЛИ–НЕ для минимального топологического размера в 10 нм представлены на рисунках 9.15–9.17.

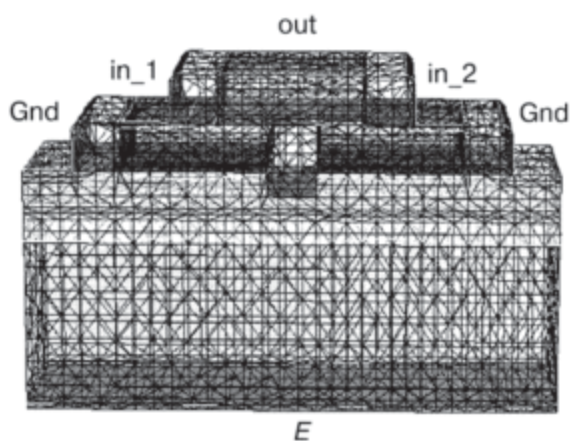


Рис. 9.14. Наноструктура переходного элемента ИЛИ–НЕ ($N = 5$) и сетка для моделирования: Gnd — контакт шины «земля», in_1 — первый вход, in_2 — второй вход, out — выходной контакт, E — контакт шины питания

На рисунке 9.15 (цветная вкладка) представлены результаты 3D моделирования для функций:

- а) плотность тока электронов;
- б) плотность тока дырок;
- в) подвижность электронов;
- г) подвижность дырок.

На рисунке 9.16 (цветная вкладка) приведены результаты моделирования сечения переходной структуры ИЛИ–НЕ для функций:

- а) подвижность дырок;
- б) плотность дырок;
- в) скорость электронов;
- г) подвижность электронов;
- д) плотность тока электронов;
- е) электростатический потенциал;
- ж) напряженность электрического поля;
- з) пространственный заряд.

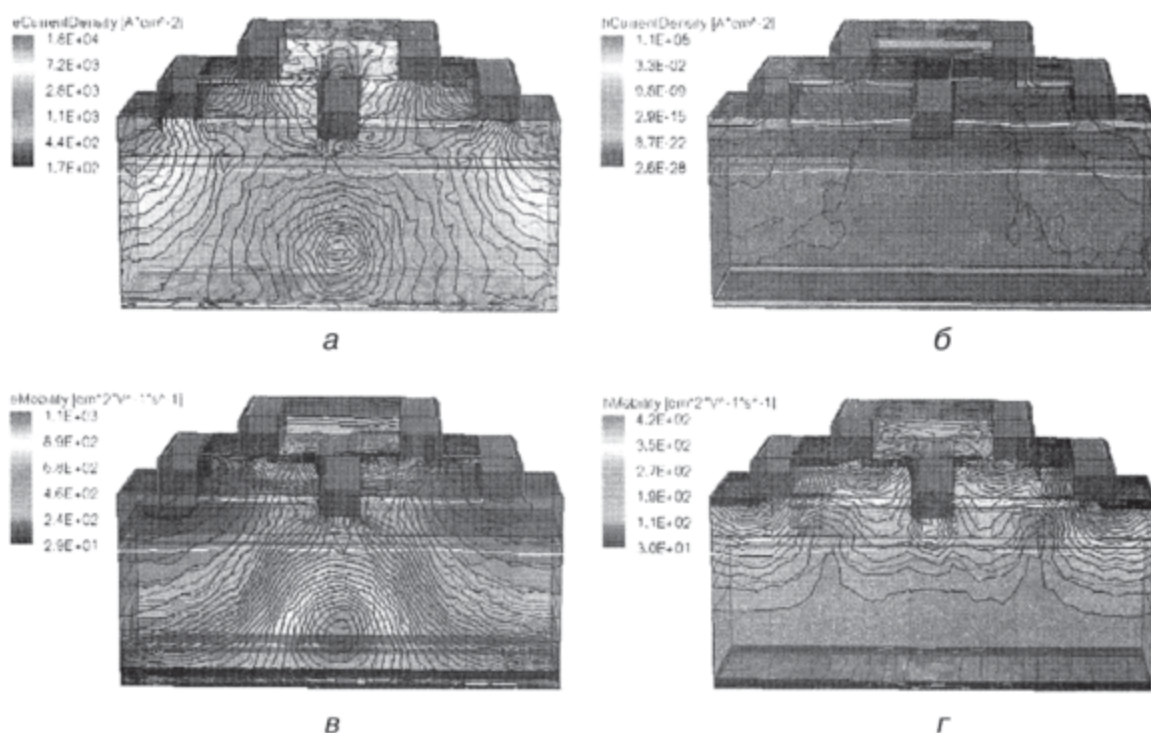


Рис. 9.15. Результаты 3D физического моделирования переходной наноструктуры ИЛИ–НЕ: а) плотность тока электронов, б) плотность тока дырок, в) подвижность электронов, г) подвижность дырок

На рисунке 9.17 показаны результаты моделирования графиков функций для наноструктуры ИЛИ–НЕ:

- а) распределение зарядов в областях наноструктуры;
- б) функции входного и выходного напряжений;
- в) функции токов в областях наноструктуры ИЛИ–НЕ.

Моделирование проводилось при минимальном топологическом шаге, равном 10 нм, и минимальной толщине базового слоя — 5 нм.

Результаты моделирования (рис. 9.17, б) подтверждают работоспособность наноструктуры ИЛИ–НЕ со структурной формулой (9.6).

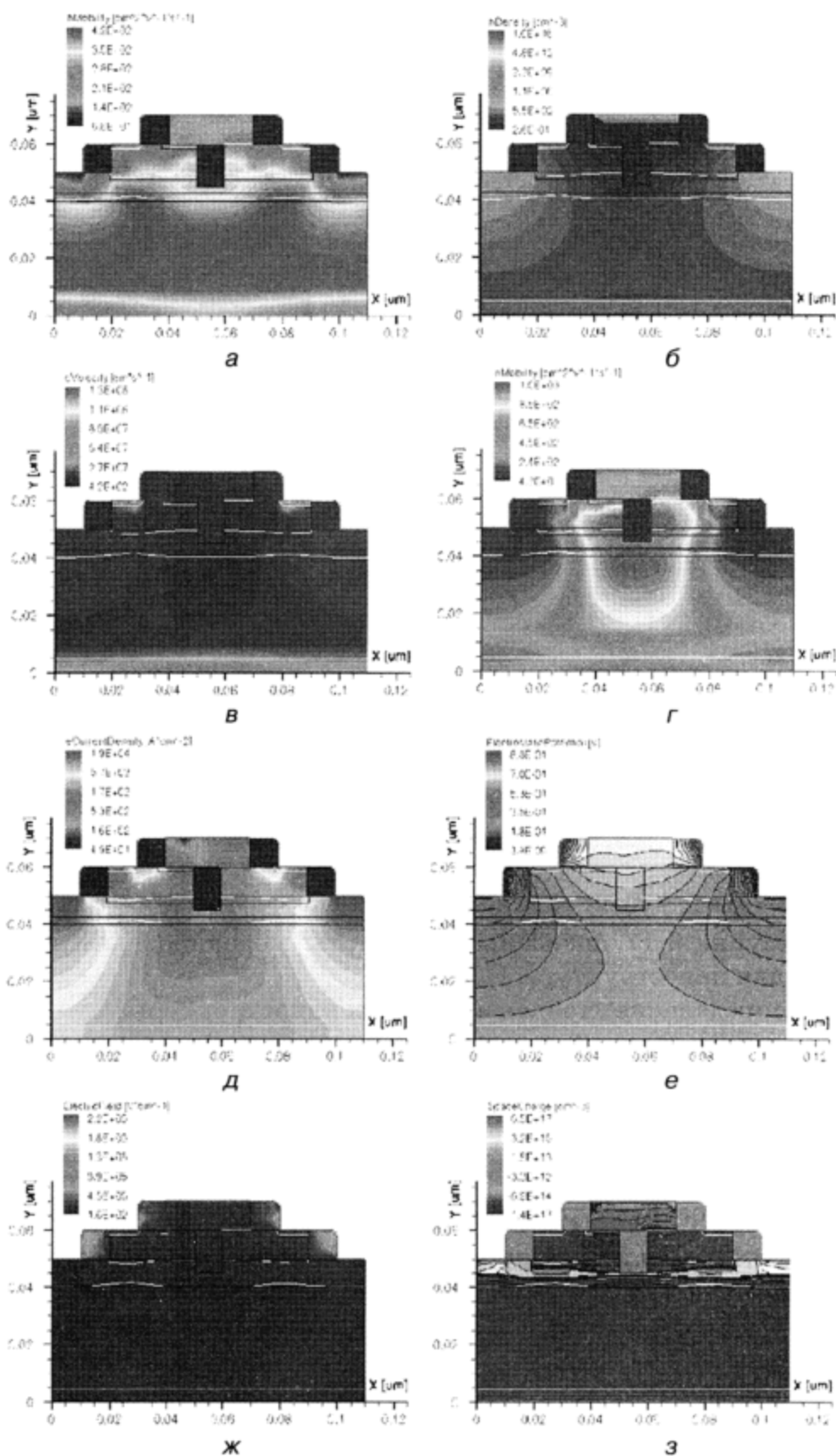


Рис. 9.16. Результаты 2D физического моделирования сечения переходной структуры ИЛИ–НЕ: а) подвижность дырок, б) плотность дырок, в) скорость электронов, г) подвижность электронов, д) плотность тока электронов, е) электростатический потенциал, ж) напряженность электрического поля, з) пространственный заряд

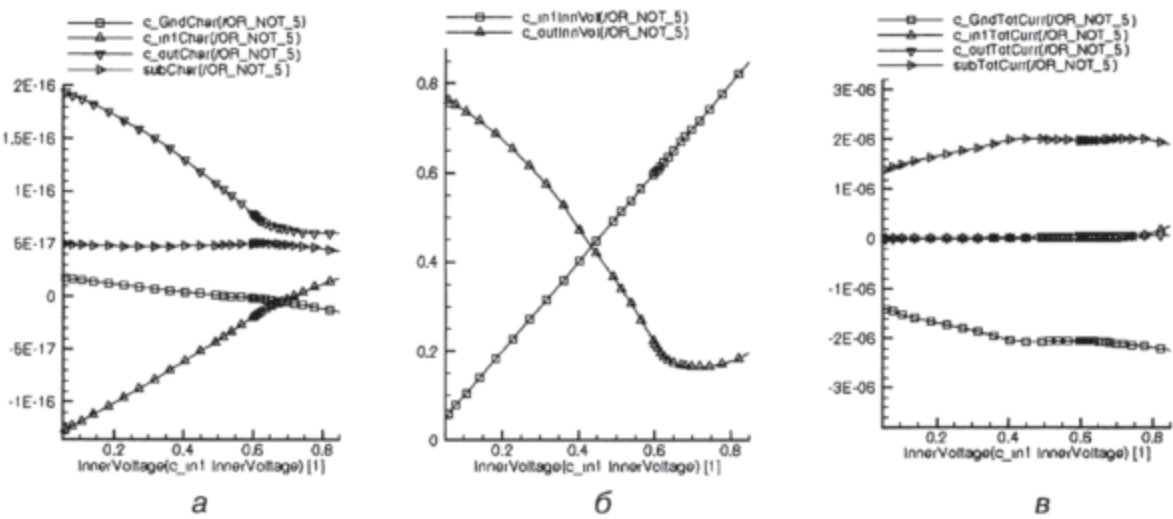


Рис. 9.17. Результаты моделирования переходной наноструктуры ИЛИ–НЕ, графики функций: *а*) распределение зарядов в областях наноструктуры, *б*) функции входного и выходного напряжений, *в*) функции токов в областях наноструктуры

Использованная литература

1. *Taniguchi N.* On the basic concept of 'nano-technology'. Proc. Intl. Conf. Prod. Eng. Tokyo, Part II. Japan Society of Precision Engineering, 1974.
2. *Валиев К.А.* Микроэлектроника: достижения и пути развития — М: Наука, 1980.
3. *Файзулаев Б.Н.* Проблемы и прогноз развития сверхскоростных сверх-БИС ЭВМ // Микроэлектроника, 1986. т. 15, 12, с. 114.
4. *Мурога С.* Системное проектирование сверхбольших интегральных схем — М.: Мир, 1985, т. 1.
5. ЭВМ пятого поколения: концепция, проблемы, перспективы. Пер. с англ. под ред. Т. Мотоока — М.: Финансы и статистика, 1984.
6. *Мельников В.А., Бадаев Ю.Г.* Супер-ЭВМ: проблема создания, использования и развития // Вестник АН СССР, 1985, № 11, с. 56.
7. *Рыжий В.И., Баннов Н.А.* Математическое моделирование субмикронных элементов интегральных схем: состояние и проблемы // МЭ, 1987, т. 16, № 6, с. 48.
8. *Баннов Н.А., Рыжий В.И.* Численное моделирование нестационарных электронных кинетических процессов в субмикронных полевых транзисторах с затвором Шоттки // МЭ, 1986, т. 15, № 6, с. 490.
9. *Пожела Ю.К., Юцене В.Ю.* Физика сверхбыстродействующих транзисторов — Вильнюс: Меколас, 1985.
10. *Шагурин И.И., Петросянц К.О.* Проектирование цифровых микросхем на элементах инжекционной логики — М.: Радио и связь, 1984.
11. *Казенкова Г.Г., Кремлев В.Я.* Синтез структур функционально-интегрированных элементов СБИС. Микроэлектроника и полупроводниковые приборы — М.: Радио и связь, 1984, вып. 8, с. 16.
12. *Коробейников О.В., Фурсин Г.И.* Динамические характеристики ИС на комплементарных биполярных транзисторах с диодами Шоттки // Известия вузов. Радиоэлектроника. Киев: 1986, с. 15.
13. *Березин С.А., Королев С.А., Онищенко Е.М.* Многостабильный инжекционный динамический элемент памяти // Электронная техника, сер. Микроэлектроника, 1986, вып. 2, № 118, с. 33.
14. *Акасака И.* Тенденции развития трехмерных интегральных схем // ТИИЭР, 1986, т. 74, № 12, с. 120.
15. *Трубочкина И.К.* Синтез на ЭВМ функционально-интегрированных элементов // Вопросы радиоэлектроники, сер. Технология производства и оборудование, 1985, вып. 1, с. 20.
16. Патент Японии № 51-32959, HOIL 27/04, 1976.
17. Патент США № 3913121, HOIL 27/02, 1976.

18. Патент Японии № 53-58812, HOIL 27/08, 1983.
19. Патент Японии № 52-9355, HOIL 27/04, 1977.
20. Патент Японии № 58-28751, HOIL 27/10, 1983.
21. <http://www.computerworld.jp/news/hw/98409-1.html>.
22. *Endo T.* Impact of 3D structured transistors. Ultra high density memory with 3D structured MOS devices // Journal Code:F0252A, ISSN:0369-8009, 2006, Vol. 75, № 9, P. 1115-1119.
23. http://www.3Dnews.ru/news/ibm_amd_i_toshiba_sozdali_samuu_m_alenkuu_yacheiku_sram/
24. <http://scitation.aip.org/dbt/dbt.jsp?KEY=PRLTAO&Volume=100&Issue=20>.
25. <http://www.nanometer.ru/2007/03/08/nanotechnology.html>.
26. *Li Xiaolin et al.* Highly conducting graphene sheets and Langmuir-Blodgett films // Nature Nanotech, 2008, Vol. 3, P. 538-542.
27. *Hernandez Y. et al.* High-yield production of graphene by liquid-phase exfoliation of graphite // Nature Nanotech, 2008, Vol. 3, P. 563-568.
28. *Meyer J.C. et al.* Direct imaging of lattice atoms and topological defects in graphene membranes // NanoLetters, 2008, doi: 10.1021/nl801386m.
29. *Geim A. K., Kim P.* Carbon wonderland // Scientific American, 2008, № 4, P. 90-97. См. также: Андре Гейм и Филип Ким «Углерод — страна чудес» // «В мире науки», 2008, № 7.
30. *Scott Bunch J. et al.* Impermeable atomic membranes from graphene sheets // NanoLetters, 2008, Vol. 8, № 8, P. 2458-2462.
31. Nature Materials, 2010, DOI: 10.1038/NMAT2751
32. <http://www.wired.com/gadgetlab/2009/10/dna-analyzer-on-a-chip/trekhmernye-nanostruktury>.
33. Cheng Li, Guosong Hong and Limin Qi. Nanosphere Lithography at the Gas/Liquid Interface: A General Approach toward Free-Standing High-Quality Nanonets / Beijing National Laboratory for Molecular Sciences (BNLMS), State Key Laboratory for Structural Chemistry of Unstable and Stable Species, College of Chemistry, Peking University, Beijing 100871, People's Republic of China Chem. Mater., 2010, Vol. 22, № 2, P. 476-481.
34. <http://www.nanonewsnet.ru/news/2009/dnk-origami-novyi-podkhod>
35. <http://www.membrana.ru/particle/1038>.
36. <http://www.dailytechinfo.org/nanotech/1129-samosobirayushhiesya-mikroscopy-novaya.html>.
37. *Fernando Patolsky, Gengfeng Zheng, Oliver Hayden, Melike Lakadamyali, Xiaowei Zhuang, and Charles M. Lieber.* Electrical detection of single viruses. Departments of Chemistry and Chemical Biology and Physics and Division of Engineering and Applied Sciences, Harvard University, Cambridge, MA 02138, Contributed by Charles M. Lieber, 2004.
38. http://www.thg.ru/cpu/d-wave_orion/index.html.

39. *Karttunen A.J., Linnolahti M., Pakkanen T.A.* Structural characteristics of perhydrogenated boron nitride fullerenes // *J. Phys. Chem. C*, 2008, Vol. 112, № 27, pp. 10032–10037.
40. Chemical Biology and Physics and Division of Engineering and Applied Sciences, Harvard University, Cambridge, MA 02138.
41. <http://www.cbio.ru/modules/news/print.php?storyid=2859>.
42. *Алексенко А.Г., Шагурин И.И.* Микросхемотехника: Учеб. пособие для вузов — М.: Радио и связь, 1990.
43. *Ланнэ А.А.* Оптимальный синтез линейных электронных схем. — М.: Связь, 1978.
44. *Кармазинский А.Н.* Компоненты и элементы МДП-интегральных схем — М.: МИФИ, 1981.
45. *Норенков И.П., Мулярчик С.Г., Иванов С.Р.* Экстремальные задачи при схемотехническом проектировании в электронике — Минск БГУ, 1976.
46. *Глориозов Е.Л.* Метод структурного схемотехнического синтеза электронных схем // *Изв. Вузов, Р/э*, 1979, Т. 22, № 6.
47. *Глориозов Е.Л.* Схемотехнический структурный синтез — М.: Микроэлектроника, 1981, Т. 10, № 2.
48. Патент Франции №2.038.338, NOIL 19/00, 1971.
49. *Валиев К.А., Казенков Г.Г., Кремлев В.Я., Стороженко Г.И.* Классификация и перспективы применения функционально-интегрированных элементов при разработке БИС // *Микроэлектроника и полупроводниковые приборы. Сб. статей под ред. Васенкова.* — М.: Сов. радио, 1976.
50. *Глориозов Е.Л., Скорин В.Г., Сыпчук П.П.* Введение в автоматизацию схемотехнического проектирования — М.: Сов. радио, 1976.
51. Схемотехника ЭВМ: Учебник для студентов вузов по спец. ЭВМ / Под ред. Соловьева Г.Н. — М.: Высш. шк., 1985.
52. Микропроцессоры: В 3-х кн. Кн. 1 и 2. Средства сопряжения. Контролирующие и информационно-управляющие системы. Учебник для вузов/под ред. Преснухина Л.Н. — М.: Высшая школа, 1986.
53. *Угрюмов Е.П.* Цифровая схемотехника — СПб.: БХВ-Петербург, 2001.
54. *Новиков Ю.В.* Основы цифровой схемотехники — М.: Мир, 2001.
55. *Корнеев В.В., Киселев А.В.* Современные микропроцессоры. Изд. 2 — М.: Нолидж, 2000.
56. Электронные вычислительные машины. Лабораторный практикум: учебное пособие / под ред. Соловьева Г.Н. — М.: Высшая школа, 1987.
57. *Пухальский Г.И., Новосельцева Т.Я.* Проектирование дискретных устройств на интегральных микросхемах: справочник — М.: Радио и связь, 1990.
58. *Каган Б.М.* ЭВМ и системы: учебное пособие для вузов — М.: Энергоатомиздат, 1991.

59. *Потемкин И.С.* Функциональные узлы цифровой автоматики — М.: Энергоатомиздат, 1988.
60. *Мурога С.* Системное проектирование сверхбольших интегральных схем. В 2-х книгах. Пер. с англ. под ред. В.М. Кисельникова — М.: Мир, 1985.
61. *Опадчий Ю.Ф. и др.* Аналоговая и цифровая электроника (Полный курс): Учебник для вузов / Ю.Ф.Опадчий, О.П.Глудкин, А.И.Гуров; Под ред. Глудкина О.П. — М.: Горячая Линия–Телеком, 2000.
62. *Пухальский Г.И., Новосельцева Т.Я.* Проектирование дискретных устройств на интегральных микросхемах: Справочник — М.: Радио и связь, 1990.
63. *Пухальский Г.И., Новосельцева Т.Я.* Цифровые устройства: Учебное пособие для вузов — СПб.: Политехника, 1996.
64. *Зельдин Е.А.* Цифровые интегральные микросхемы в информационно-измерительной аппаратуре — Л.: Энергоатомиздат, 1986.
65. *Преснухин Л.Н., Воробьев Н.В., Шишкевич А.А.* Расчет элементов цифровых устройств — М.: Высшая школа, 1991.
66. *Степаненко И.П.* Основы теории транзисторов и транзисторных схем. 4-е изд., перераб. и доп. — М.: Энергия, 1977.
67. *Степаненко И.П.* Основы микроэлектроники. Учебное пособие для вузов. / 2-е изд., перераб. и доп. — М.: Лаборатория Базовых Знаний, 2003.
68. *Хоровиц П., Хилл У.* Искусство схемотехники — М.: Мир, 1983. Т. 1.
69. *Титце У., Шенк К.* Полупроводниковая схемотехника — М.: Мир, 1983.
70. *Угрюмов Е.П.* Цифровая схемотехника — СПб.: BHV Санкт-Петербург, 2002.
71. Применение интегральных микросхем в электронной вычислительной технике: Справочник / Р.В. Данилов, С.А. Ельцова, Ю.П. Иванов и др.; под ред. Б.Н. Файзулаева, Б.В. Тарабрина — М.: Радио и связь, 1986.
72. *Пухальский Г.И., Новосельцева Т.Я.* Проектирование дискретных устройств на интегральных микросхемах: Справочник — М.: Радио и связь, 1990.
73. *Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П.* Проектирование систем на микросхемах программируемой логики — СПб.: BHV Санкт-Петербург, 2002.
74. *Зотов В.Ю.* Проектирование цифровых устройств на основе ПЛИС фирмы XILINX в САПР WebPACK ISE — М.: Горячая линия–Телеком, 2003.
75. *Чернышев А.А.* Основы конструирования и надежности электронных вычислительных средств — М.: Радио и связь, 1998.
76. *Мотоока Т., Сакаuti М., Танака Х., Хорикоси Х.* Компьютеры на СБИС — М.: Мир, 1988.

77. *Бабич Н.П.* Компьютерная схемотехника. Методы построения и проектирования: Учебное пособие / Н.П. Бабич, И.А. Жуков — Беларусь, Минск: МК-Пресс, 2004.
78. *Зуев В.И., Ковригин Б.Н., Любенцов В.М., Тышкевич В.Г., Ядыкин И.М.* Проектирование процессора ЭВМ: учебное пособие / Под ред. Б.Н. Ковригина. 2-е изд., перераб. — М.: МИФИ, 2006.
79. *Кокин А.А.* Твердотельные квантовые компьютеры на ядерных спинах — Москва–Ижевск: Институт компьютерных исследований, 2004.
80. *Трубочкина Н.К.* Сборник контрольных вопросов и задач по курсу «Схемотехника ЭВМ» — М.: МИЭМ, 1993.
81. *Жданов В.С., Капитанов В.Т., Трубочкина Н.К., Захарова Л.Е.* Методические указания к компьютерному практикуму по дисциплине «Схемотехника». САПР ПЛИС типов EP900, 22V10 — М.: МИЭМ, 1996.
82. *Жданов В.С., Трубочкина Н.К., Захарова Л.Е.* Методические указания для выполнения курсового проекта по курсу «Схемотехника ЭВМ» — М.: МИЭМ, 1997.
83. *Callen H.B.* Thermodynamics and an introduction to thermostatistics, 2nd ed. Wiley, 1985.
84. *Трубочкина Н.К.* Схемотехника ЭВМ — М: МИЭМ, 2008.
85. *Трубочкина Н.К.* Машинное моделирование функционально-интегрированных элементов. Учебное пособие — М.: МИЭМ, 1989.
86. *Benvenuti A. et al.* Coupled thermal-fully hydrodynamic simulation of InP-based HBTs // IEDM Technical Digest, San Francisco, CA, USA, 1992, pp. 737–740.
87. Sentaurus Device. Synopsys. Version 2008. Tutorial. pp. 163–757. Registered Trademarks (®)Synopsys www.synopsys.com/Tools/TCAD/Pages/default.aspx
88. *Трубочкина Н.К., Мурашев В.Н., Петросян Ю.А., Алексеев А.Е.* Функциональная интеграция. Концепция // Электронная промышленность, 2000, № 4, с. 49–70.
89. *Трубочкина Н.К., Мурашев В.Н., Петросян Ю.А., Алексеев А.Е.* Функциональная интеграция элементов и устройств // Электронная промышленность, 2000, № 4, с. 70–88.
90. *Трубочкина Н.К.* Моделирование внутреннего и поверхностного p – n -переходов с минимальным топологическим размером 20 нм и электрическим воздействием на электроды (2 часть) — журнал «Качество. Инновации. Образование», выпуск № 61. ISSN: 1999-513X. 2010.
91. *Szeto S., Reif R.* A unified electrothermal hot-carrier transport model for silicon bipolar transistor simulations // Solid-State Electronics, 1989, Vol. 32, № 4, pp. 307–315.
92. *Stecher M. et al.* On the influence of thermal diffusion and heat flux on bipolar device and circuit performance // Simulation of Semiconductor Devices and Processes (SISDEP), 1993, Vol. 5, pp. 49–52.

93. *Slotboom J.W., de Graaff H.C.* Measurements of bandgap narrowing in Si bipolar transistors // *Solid-State Electronics*, 1976, Vol. 19, pp. 857–862.
94. *Slotboom J.W., de Graaff H.C.* Bandgap narrowing in silicon bipolar transistors // *IEEE Transactions on Electron Devices*, 1977, Vol. ED-24, № 8, pp. 1123–1125.
95. *Allegretto W., Nathan A., Baltes H.* Numerical analysis of magnetic-field-sensitive bipolar devices // *IEEE Transactions on Computer-Aided Design*, 1991, Vol. 10, № 4, pp. 501–511.
96. *Fossum J. G. et al.* Carrier recombination and lifetime in highly doped silicon // *Solid-State Electronics*, 1983, Vol. 26, № 6, pp. 569–576.
97. *King R. R., Swanson R. M.* Studies of diffused boron emitters: saturation current, bandgap narrowing, and surface recombination velocity // *IEEE Transactions on Electron Devices*, 1991, Vol. 38, № 6, pp. 1399–1409.
98. *Rajkanan K., Singh R., Shewchun J.* Absorption coefficient of silicon for solar cell calculations // *Solid-State Electronics*, 1979, Vol. 22, № 9, pp. 793–795.
99. *Lombardi C. et al.* A physically based mobility model for numerical simulation of nonplanar devices // *IEEE Transactions on Computer-Aided Design*, 1988, Vol. 7, № 11, pp. 1164–1171.
100. *Masetti G., Severi M., Solmi S.* Modeling of carrier mobility against carrier concentration in arsenic-, phosphorus- and boron-doped silicon // *IEEE Transactions on Electron Devices*, 1983, Vol. ED-30, № 7, pp. 764–769.
101. *Fossum J.G.* Computer-aided numerical analysis of silicon solar cells // *Solid-State Electronics*, 1976, Vol. 19, № 4, pp. 269–277.
102. *Fossum J.G., Lee D.S.* A physical model for the dependence of carrier lifetime on doping density in nondegenerate silicon // *Solid-State Electronics*, 1982, Vol. 25, № 8, pp. 741–747.
103. *Alam M.A., Mahapatra S.A.* comprehensive model of PMOS NBTI degradation // *Microelectronics Reliability*, 2005, Vol. 45, № 1, pp. 71–81.
104. *Lang J.E., Madarasz F.L., Hemenger P.M.* Temperature dependent density of states effective mass in nonparabolic p-type silicon // *Journal of Applied Physics*, 1983, Vol. 54, № 6, p. 3612.
105. *Sze S.M.* *Physics of Semiconductor Devices*. (2nd ed.), Wiley, 1981.
106. *Glassbrenner C.J., Slack G.A.* Thermal conductivity of silicon and germanium from 30K to the melting point // *Physical Review*, 1964, Vol. 134, № 4A, pp. A1058–A1069.
107. *Furkay S.S.* Thermal characterization of plastic and ceramic surface-mount components // *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, 1988, Vol. 11, № 4, pp. 521–527.
108. *Huldt L., Nilsson N.G., Svantesson K.G.* The temperature dependence of band-to-band Auger recombination in silicon // *Applied Physics Letters*, 1979, Vol. 35, № 10, pp. 776–777.

109. *Lochmann W., Haug A.* Phonon-Assisted Auger Recombination in Si with Direct Calculation of the Overlap Integrals // *Solid State Communications*, 1980, Vol. 35, № 7, pp. 553–556.
110. *Hacker R., Hangleiter A.* Intrinsic upper limits of the carrier lifetime in silicon // *Journal of Applied Physics*, 1994, Vol. 75, № 11, pp. 7570–7572.
111. *Tang T.-W.* Extension of the Scharfetter–Gummel algorithm to the energy balance equation // *IEEE Transactions on Electron Devices*, 1984, Vol. ED-31, № 12, pp. 1912–1914.
112. *Coldren L.A., Corzine S.W.* Diode lasers and photonic integrated circuits. Wiley, 1995.
113. *Трубочкина Н.К.* Смешанное моделирование ступенчатого биполярного транзистора с минимальным топологическим размером 20 нм и толщиной базы 3 нм // *Качество. Инновации. Образование*. 2009, № 54.
114. *Roulston D.J., Arora N.D., S. Chamberlain G.* Modeling and measurement of minority-carrier lifetime versus doping in diffused layers of n^+-p silicon diodes // *IEEE Transactions on Electron Devices*, 1982, Vol. ED-29, № 2, pp. 284–291.
115. *Трубочкина Н.К.* Качественный анализ, прогноз и компьютерное моделирование МОП- и КМОП-наносхемотехники для твердотельных классических суперкомпьютеров // *Качество. Инновации. Образование*, 2010, № 63.
116. *Trubochkina N.K.* The junction circuitry theory for the elements of the inanimate and living synthesis systems and how it affects the development of nanotechnology. Доклад постерной сессии научно-технологической программы (рус., англ.) // 3-й Междунар. форум по нанотехнологиям (Rusnanotech 2010), Москва, 1–3 ноября 2010.
117. *Трубочкина Н.К.* Новая элементная база на основе слоистых структур. Пленарный доклад // INTERMATIC!2010 Международная научно-техническая конференция «Фундаментальные проблемы радиоэлектронного приборостроения», Москва, 23–27 ноября 2010.
118. *Трубочкина Н.К.* Теория переходной схемотехники как инструмент разработки интеллектуальных наноструктур и наносистем. Пленарный доклад // Школа-семинар по тематическому направлению развития ННС Наноэлектроника, Москва, 13–15 декабря, 2010.
119. *Трубочкина Н.К.* Междисциплинарные аспекты нанотехнологий. Компьютерное моделирование наноструктур и наносистем. Научно-популярная лекция издательства «Бином. Лаборатория знаний». По заказу ГК РОСНАНО (<http://metodist.lbz.ru/content/videocourse.php>).
120. *Белый А.В., Лукьянчиков Н.И., Трубочкина Н.К.* Полупроводниковая структура логического элемента И–НЕ. Заявка № 2010119553 от 17.05.2010 на изобретение.
121. *Воробьев В.В., Соснин А.А., Трубочкина Н.К.* Качественно новая четырехслойная наноструктура И–НЕ для логических схем суперкомпьютеров // *Качество. Инновации. Образование*, 2010, № 64.

122. Воробьев В.В., Соснин А.А., Трубочкина Н.К. Интегральный логический элемент И–НЕ на основе слоистой трёхмерной наноструктуры. Заявка № 2010119061 от 14.05.2010 на изобретение. Федеральная служба по интеллектуальной собственности патентам и товарным знакам (РОСПАТЕНТ).
123. Жданов В.С., Трубочкина Н.К., Захарова Л.Е. Задания к лабораторным работам по САПР ПЛИС. Учебное пособие — М.: МИЭМ, 1998.
124. Издательство стандартов. ГОСТ 2.743–91. 1993. Обозначения условные графические в схемах. Элементы цифровой техники.
125. Барский В., Колчинский А., Лысов Ю., Мирзабеков А. Биологические микрочипы, содержащие иммобилизованные в гидрогеле нуклеиновые кислоты, белки и другие соединения: свойства и приложения в геномике // Мол. биол., 2002, Т. 36, С. 563–584.
126. Перс Т. Травление кремниевых микросхем с помощью углеродных нанотрубок (http://perst.isssph.kiae.ru/Inform/perst/perst.htm#H_08_8).
127. www.nanometer.ru/2009/01/19/polevoj_tranzistor_55262.html.
128. <http://thg.ru>.
129. Schols S., Heremans P. Two-dimensional ATLAS device simulation of an organic ambipolar lightemitting field-effect transistor // Simulation Standard, 2008.
130. Фейнман Р. Моделирование физики на компьютерах // Квантовый компьютер и квантовые вычисления: Сб. в 2-х т. — Ижевск: РХД, 1999. Т. 2, с. 96–123.
131. Vyurkov V., Semenikhin I., Lukichev V., Burenkov A., Orlikovsky A. All-quantum simulation of an ultra-small SOI MOSFET // Proc. SPIE, 2008.
132. Вьюрков В.В., Лукичев В.Ф., Орликовский А.А., Семенухин И. А., Хомяков А.Н. Квантовое моделирование кремниевых полевых нанотранзисторов // Труды ФТИАН, 2008.
133. Orlikovsky A., Vyurkov V., Lukichev V., Semenikhin I., Khomyakov A. All quantum simulation of ultrathin SOI MOSFET // Nanoscaled Semiconductor-on-Insulator Structures and Devices., Springer, 2007, pp. 323–340.
134. Vyurkov V., Semenikhin I., Lukichev V., Burenkov A., Orlikovsky A. // All-quantum simulation of an ultra-small SOI MOSFET. International Conference 'Micro- and Nanoelectronics'-ICMN'2007, Zvenigorod, Russia, 2007, Book of Abstracts, p. 2–18.
135. Вьюрков В.В., Лукичев В.Ф., Орликовский А.А. Квантовое моделирование полевых нанотранзисторов // Труды XI Международного Симпозиума «Нанопизика и наноэлектроника», Нижний Новгород, 2007, с. 122.
136. Trubochkina N.K. [SU], Petrosyants K.O. [SU]. Injection NAND gate // Заявитель: МО I Elektronnoy Mash [SU]. МПК: H01L27/04; H01L27/04; (IPC1–7): H01L27/04. Информация о публикации: SU1744738 (A1) - 1992-06-29. Priority Date: 1990-05-31.

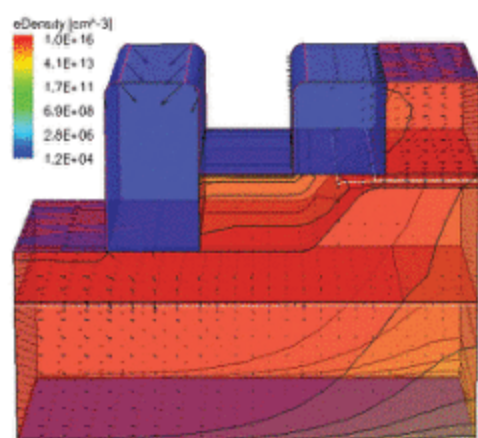
137. *Trubochkina N.K. [RU], Petrosyants K.O. [RU].* Complementary bipolar NAND circuit (options). Заявитель: МО GI elektroniki i mat tekhn [RU]. МПК: H01L27/04; H03K19/08; H01L27/04; (+3). Информация о публикации: RU2094910 (C1) - 1997-10-27. Priority Date: 1993-08-05.
138. *Trubochkina N.K. [RU], Petrosyants K.O. [RU].* Complementary bipolar NAND gate // Заявитель: Мо GI elektroniki i mat tekhn [RU] МПК: H01L27/04; H01L27/04; (IPC1-7): H01L27/04. Информация о публикации: RU2073935 (C1) - 1997-02-20. Priority Date: 1994-08-04.
139. *Trubochkina N.K. [RU], Petrosyants K.O. [RU].* Complementary NOR gate and its circuit arrangement // Заявитель: МО GI elektroniki i mat tekhn [RU]. МПК: H01L27/04; H03K19/08; H01L27/04; (+3). Информация о публикации: RU2094911 (C1) - 1997-10-27. Priority Date: 1994-06-24.
140. *Xiang C. et al.* Total ionizing dose and single event effect studies of a 0.25Fm CMOS serializer ASIC // NSREC 2007, Data workshop.
141. *Paillard C., Ljuslin C., Marchioro A.* The CCU25: a network oriented Communication and Control Unit integrated circuit in a 0.25 mm CMOS technology // Proceedings of the 8th Workshop on electronics for LHC and future experiments, Colmar (2002), CERN-LHCC2002-003 (2002), 174.
142. *Трубочкина Н.К.* Моделирование 3D наносхемотехники / Simulation of 3D Nanoscale Circuit Engineering. (рус., англ.) // CeBIT!2009. Информационные технологии в образовании. Hannover 3–8 марта. DVD – сборник научных работ Федерального Агентства по образованию РФ.
143. *Трубочкина Н.К.* Переходная наносхемотехника / Junction Nanoscale Circuit Engineering (рус., англ.) // CeBIT!2009. Информационные технологии в образовании. Hannover 3–8 марта. DVD – сборник научных работ Федерального Агентства по образованию РФ.
144. Кремниевая жизнь. Silicon life. Презентация-фильм. Под ред. Н.К. Трубочкиной (рус., англ.) // CeBIT!2009. Информационные технологии в образовании. Hannover 3–8 марта. DVD сборник научных работ Федерального Агентства по образованию РФ.
145. *Трубочкина Н.К.* Математическое моделирование и синтез оптимальной 3D наносхемотехники // Сб. тезисов Международного форума «Новые информационные технологии и менеджмент качества» (NIT&QM). Египет, Шарм Эль Шейх, 2009.
146. *Трубочкина Н.К.* Обзор и анализ состояния элементной базы для nanoиндустрии: Перспективы развития // Сб. трудов ХУП Международной студенческой конференции-школы-семинара. Судак, 2009.
147. *Трубочкина Н.К.* Переходная 3D наносхемотехника — новая концепция и новое качество в создании трехмерных интегральных схем // Качество. Инновации. Образование, 2009, № 48.

148. Трубочкина Н.К. Инновационный подход к разработке новой элементной базы для суперкомпьютеров на основе переходной схемотехники и нанотехнологий. Выставочный стенд в рамках «ИНФОРМИКИ» // Презентация. Rusnanotech'09. Nanotechnology International Forum/ October 6–8.
149. Трубочкина Н.К. Interactive 3D in science and art: From 'Visual analysis of 3-D intelligent nano-circuitry to 3D art galleries on the web.' // International Scientific Seminar "Visual Computing in Fundamental Science and Academic Research", 19–25.
150. Трубочкина Н.К., Панфилов П.Б. Visual analysis and synthesis of intelligent 3d nano-structures // 17-я международная конференция «Advanced Laser Technologies». Анталья, Турция, 26 сентября – 1 октября, 2009.
151. Трубочкина Н.К. Биполярный транзистор // Заявка о выдаче патента РФ на полезную модель № 2009144397, 02.12.2009.
152. Трубочкина Н.К., Попович И. П., Орлов П. В. Качественно новая слоистая наноструктура ячейки памяти для суперкомпьютеров // Качество. Инновации. Образование, 2010, № 10.
153. Орлов П.В., Попович И.П., Трубочкина Н.К. Ячейка памяти на базе тонкослойной наноструктуры. Заявка № 2010119999 от 19.05.2010 на изобретение. Федеральная служба по интеллектуальной собственности патентам и товарным знакам (РОСПАТЕНТ).
154. Игнатова Э., Сазонтьев В., Трубочкина Н.К. Полупроводниковая структура инвертора. Заявка № от 2010124000 15.06.2010 на изобретение. Федеральная служба по интеллектуальной собственности патентам и товарным знакам (РОСПАТЕНТ).
155. Трубочкина Н.К. Моделирование внутреннего и поверхностного p – n -переходов с минимальным топологическим размером 20 нм и электрическим воздействием на электроды // Качество. Инновации. Образование, 2010, № 61.
156. Трубочкина Н.К. Разработка и моделирование качественно новой 3D наноструктуры КМОП инвертора с проектной нормой 20 нм — основы новой элементной базы энергосберегающих СБИС // Качество. Инновации. Образование, 2011, № 73.
157. Ananiev S., Vyurkov V., Lukichev V. Surface scattering in SOI field-effect transistor. // Int. Conf. Micro- and Nanoelectronics-ICMNE'2005, Zvenigorod, Russia, Oct. 2005, pp 1–08.
158. Orlikovsky A.A., Vyurkov V.V., Lukichev V.F. Short channel SOI MOSFET as a quantum confinement device // Book of Abstracts, NATO Advanced Research Workshop Nanoscaled Semiconductor-on-Insulator Structures and Devices, 15–19 October 2006, Sudak, Crimea, Ukraine, pp. 43–44.
159. Tlustos L. et al. Charge sharing in pixel detectors for spectroscopic imaging. // Proc. 9th ICATPP Conference on Astroparticle, Particle, Space Physics, Detectors and Medical Physics Applications, 2005.

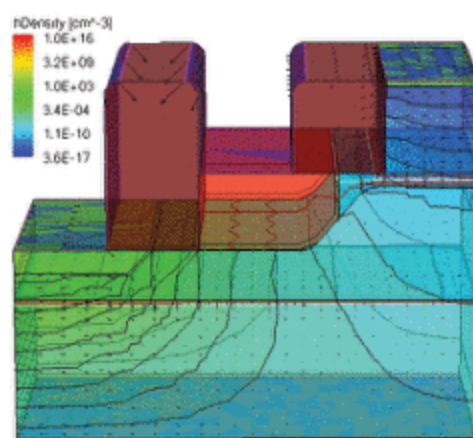
160. Ballabriga R. et al. The medipix3 prototype, a pixel readout chip working in single photon counting mode with improved spectrometric performance // IEEE Trans. Nucl. Sci., 2007, Vol. 54, № 5.
161. Norlin B., Frojdh C. Energy dependence in dental imaging with Medipix2 // Proceedings of the 6th International Workshop on Radiation Imaging Detectors, 2004.
162. Bethke K. et al. Applications and new developments in X-ray materials analysis with MEDIPIX2 // Nuclear Instr. and Methods in Physics Research, 2006.
163. Vallergera J.V. et al. Noiseless imaging detector for adaptive optics with kHz frame rates // Proc. SPIE Advancements in Adaptive Optics, 2004.
164. Bisogni M.G. et al. A medipix2-based imaging system for digital mammography with silicon pixel detectors // IEEE Trans.Nucl.Sci., 2003.
165. Pinsky L., Chancellor J., Minthaka D. Evolving the medipix2 technology for use as an active space radiation dosimeter // IEEE Aerospace Conference, 2008.
166. Fiederle M. et al. Energy calibration measurements of MediPix2 // Proceedings of the 9th International Workshop on Radiation Imaging Detectors, 2008.
167. TOTEM Collaboration "TOTEM Technical Design Report" CERN-LHCC-2004-002 TOTEM-TDR, 2004.
168. Aspell P. et al. VFAT2: A front-end system on chip providing fast trigger information, digitized data storage and formatting for charge readout of multi-channel silicon and gas particle detectors // Proceedings of the Topical Workshop on Electronics for Particle Physics TWEPP-07, p. 292, CERN-2007-007, ISBN 978-92-9083304-8.
169. Aspell P. VFAT2 Operating manual, internal note. (http://totem.web.cern.ch/Totem/work_dir/electronics/totelwork_files/PDFgeneral/VFAT2Manual.pdf).
170. Altera Corporation. Cyclone II device handbook, 2007, Vol. 1.
171. Christiansen J., Marchioro A., Moreira P., Sancho A. Receiver ASIC for timing, trigger and control distribution in lhc experiments // IEEE Trans. Nuclear Science, 1996, Vol. 43, pp.1773–1777.
172. FTDI Ltd. "FT245BL — USB FIFO (USB -Parallel) I.C.", 2005.
173. Трубочкина Н.К. Новая схемотехника с использованием нанопроводов — как возможная элементная база для персональных суперкомпьютеров // Качество. Инновации. Образование, 2011.
174. Отчет по НИР по теме № 5952, 2009.
175. Отчет по НИР по теме № 5952, 2010.
176. Cypress Semiconductor Corp. "EZ-USB SX2™ High-Speed USB Interface Device", 2005.
177. Barney D. et al. A flexible stand-alone testbench for facilitating system tests of the CMS Preshower // Proceedings of the 10th Workshop on electronics for LHC and future experiments, Boston (2004), CERN-LHCC-2004-030 (2004), 127.

178. *Drouhin F. et al.* The CERN CMS tracker control system // IEEE Nuclear Symposium, Roma, Italy, October 16–21 2004. CMS CR 2005/032. CERN, Geneva, August 2005.
179. FECV3D downloadBuild < CMS < TWiki. Web page. <https://twiki.cern.ch/twiki/bin/view/CMS/%20FECV3DdownloadBuild>. 13.8.2008.
180. Qt cross-platform application framework Trolltech (<http://www.trolltech.com/products/qt>. 13.8.2008).
181. *Kaspar J.*, TOTEM online monitor (https://totem.web.cern.ch/Totem/work_dir/software/doxygen/monitor/index.html)
182. <https://twiki.cern.ch/twiki/bin/view/TOTEM/CompMonitor>.
183. *Bank R.E., Rose D.J., Fichtner W.* Numerical methods for semiconductor device simulation // IEEE Transactions on Electron Devices, 1983, Vol. ED-30, № 9, pp. 1031–1041.
184. *Liegmann A.* The application of supernodal techniques on the solution of structurally symmetric systems // Technical Report 92/5, Integrated Systems Laboratory ETH, Zurich, Switzerland, 1992.
185. *Azoff E.M.* Semiclassical high-field transport equations for nonparabolic heterostructure degenerate semiconductors. Journal of Applied Physics, 1988, Vol. 64, № 5, pp. 2439–2446.
186. *Schenk A., Möller S.* Analytical model of the metal-semiconductor contact for device simulation // Simulation of Semiconductor Devices and Processes (SISDEP), 1993, Vol. 5, pp. 441–444.
187. *Vecchi M.C., Reyna L.G.* Generalized energy transport models for semiconductor device simulation // Solid-State Electronics, 1994, Vol. 37, № 10, pp. 1705–1716.
188. *Stettler M.A., Alam M.A., M.S. Lundstrom.* A critical examination of the assumptions underlying macroscopic transport equations for silicon devices // IEEE Transactions on Electron Devices, 1993, Vol. 40, № 4, pp. 733–740.
189. *McAndrew C.C., Singhal K., Heasell E.L.* A consistent nonisothermal extension of the scharfetter–gummel stable difference approximation // IEEE Electron Device Letters, 1985, Vol. EDL-6, № 9, pp. 446–447.
190. *Meinerzhagen B. et al.* A new highly efficient nonlinear relaxation scheme for hydrodynamic MOS simulations // Workshop on Numerical Modeling of Processes and Devices for Integrated Circuits (NUPAD IV), Seattle, WA, USA, pp. 91–96, May 1992.
191. *Apanovich Y. et al.* An investigation of coupled and decoupled iterative algorithms for energy balance calculations // Simulation of Semiconductor Devices and Processes (SISDEP), 1993, Vol. 5, pp. 233–236.
192. *Chen D. et al.* An improved energy transport model including nonparabolicity and non-maxwellian distribution effects // IEEE Transactions on Electron Devices, 1992, Vol. 39, № 1, pp. 26–28.
193. *Stratton R.* Diffusion of hot and cold electrons in semiconductor barriers // Physical Review, 1962, Vol. 126, № 6, pp. 2002–2014.

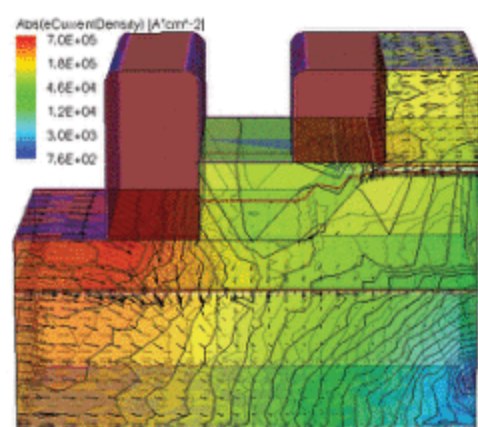
194. *BlrtekjFr K.* Transport equations for electrons in two-valley semiconductors // IEEE Transactions on Electron Devices, 1970, Vol. ED-17, № 1, pp. 38–47.
195. *Sweet J.N., Cooley W.T.* Thermal resistance measurements and finite element calculations for ceramic hermetic packages // Sixth Annual IEEE Semiconductor Thermal and Temperature Measurement Symposium (SEMI-THERM), Scottsdale, AZ, USA, pp. 10–16, February 1990.
196. *Kozarek R.L.* Effect of case temperature measurement errors on the junction-to-case thermal resistance of a ceramic PGA. // Seventh Annual IEEE Semiconductor Thermal Measurement and Management Symposium (SEMI-THERM), Phoenix, AZ, USA, pp. 44–51, February 1991.
197. *Curatelli F., Bisio G.M.* Characterization of the thermal behaviour in ICs // Solid-State Electronics, 1991, Vol. 34, № 7, pp. 751–760.
198. *Tatara R.A.* Thermal modeling previews electronic device performance // PCIM, 1991, pp. 9–21.
199. *Song S., Yovanovich M.M.* Relative contact pressure: dependence on surface roughness and Vickers microhardness // Journal of Thermophysics and Heat Transfer, 1988, Vol. 2, № 1, pp. 43–47.
200. *Klaassen D.B.M., Slotboom J.W., de Graaff H.C.* Unified apparent bandgap narrowing in *n*- and *p*-type silicon // Solid-State Electronics, 1992, Vol. 35, № 2, pp. 125–129.
201. *del Alamo J., Swirhun S., Swanson R.M.* Simultaneous measurement of hole lifetime, hole mobility and bandgap narrowing in heavily doped *n*-type silicon // IEDM Technical Digest, 1985, pp. 290–293.
202. *del Alamo J., Swirhun S., Swanson R.M.* Measuring and Modeling Minority Carrier Transport in Heavily Doped Silicon // Solid-State Electronics, 1985, Vol. 28, № 1–2, pp. 47–54.
203. *Swirhun S.E., Kwark Y.-H., Swanson R.M.* Measurement of electron lifetime, electron mobility and band-gap narrowing in heavily doped *p*-type silicon // IEDM Technical Digest, 1986, pp. 24–27.
204. *Swirhun S.E., del Alamo J.A., Swanson R.M.* Measurement of hole mobility in heavily doped *n*-type silicon // IEEE Electron Device Letters, 1986, Vol. EDL-7, № 3, pp. 168–171.
205. Химическое приложение топологии и теории графов: Пер. с англ./ Под ред. Р. Кинга. — М.: Мир, 1987.
206. Харари Ф. Теория графов. — М.: Мир, 1973.
207. Карасев В.А., Лучинин В.В. Введение в конструирование бионических наносистем. — М.: ФИЗМАТЛИТ, 2009.
208. Карасев В.А. Архитектура, принципы организации и функционирования биоорганических наноструктур // В кн. Нанотехнология. Физика, процессы, диагностика, приборы / Ред. В.В. Лучинин и Ю.М. Таиров. — М.: ФИЗМАТЛИТ, 2006.



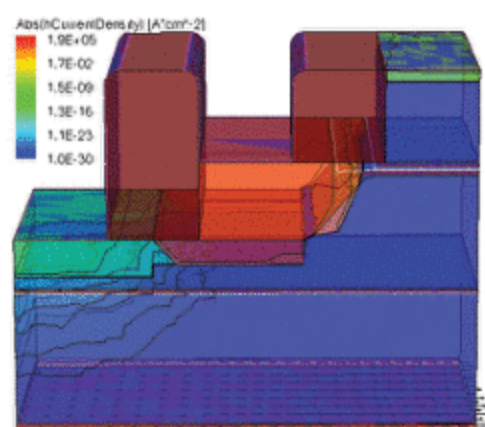
a



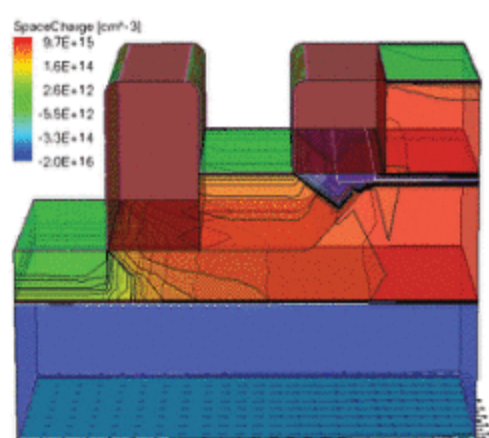
б



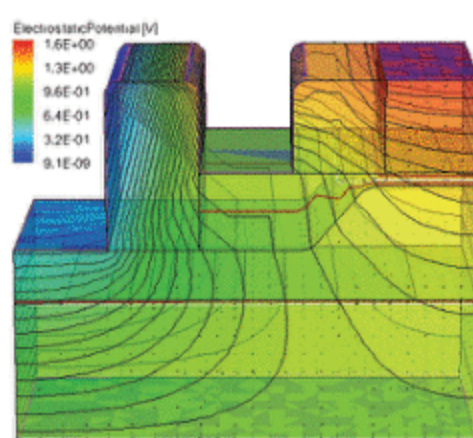
в



г



д



е

Рис. 7.14. Результаты 3D моделирования наноструктуры вертикального ИИ (продолжение) для следующих функций: *a*) плотность электронов, *б*) плотность дырок, *в*) плотность тока электронов, *г*) плотность тока дырок, *д*) пространственный заряд, *е*) электростатический потенциал

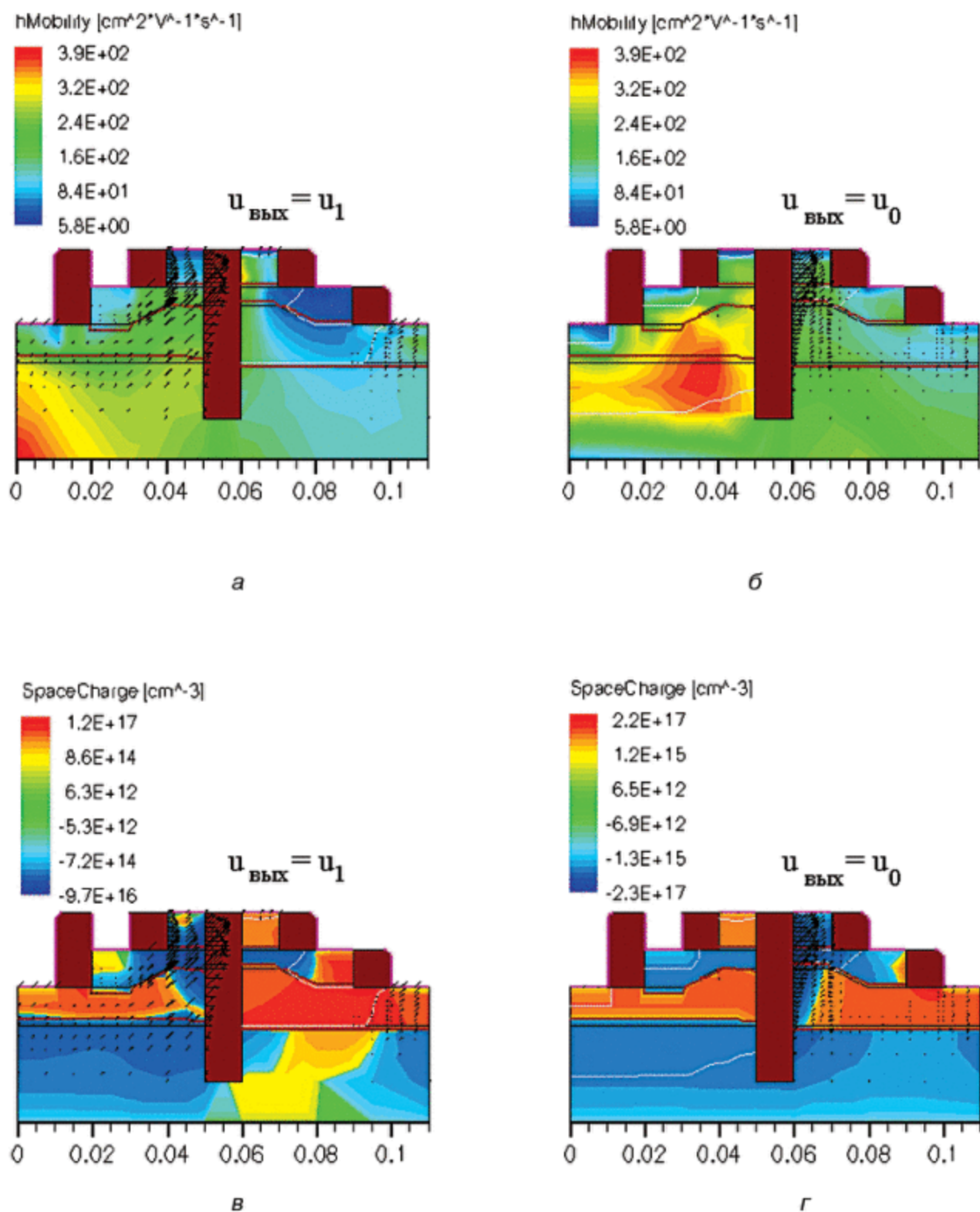


Рис. 8.47. Результаты 2D моделирования переходного элемента И–НЕ (ТТЛ): а) общая математическая модель на два входа, б) подвижность дырок (слева — режим, когда на выходе логическая единица, справа — логический ноль), в) пространственный заряд (слева — режим, когда на выходе логическая единица, справа — логический ноль)

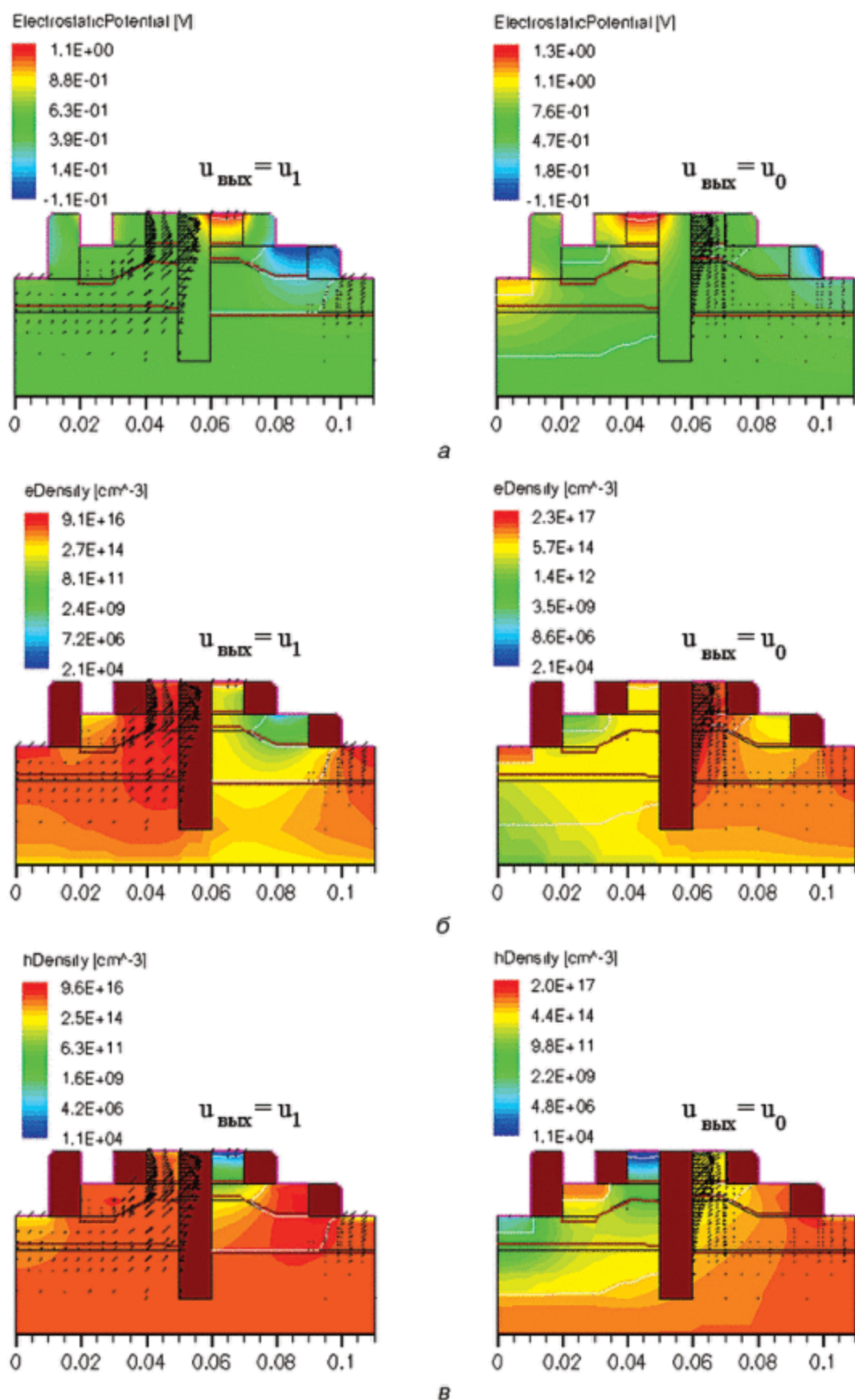


Рис. 8.48. Результаты 2D моделирования переходного элемента И–НЕ (слева — режим, когда на выходе логическая единица, справа — логический ноль): а) электростатический потенциал, б) плотность электронов, в) плотность дырок

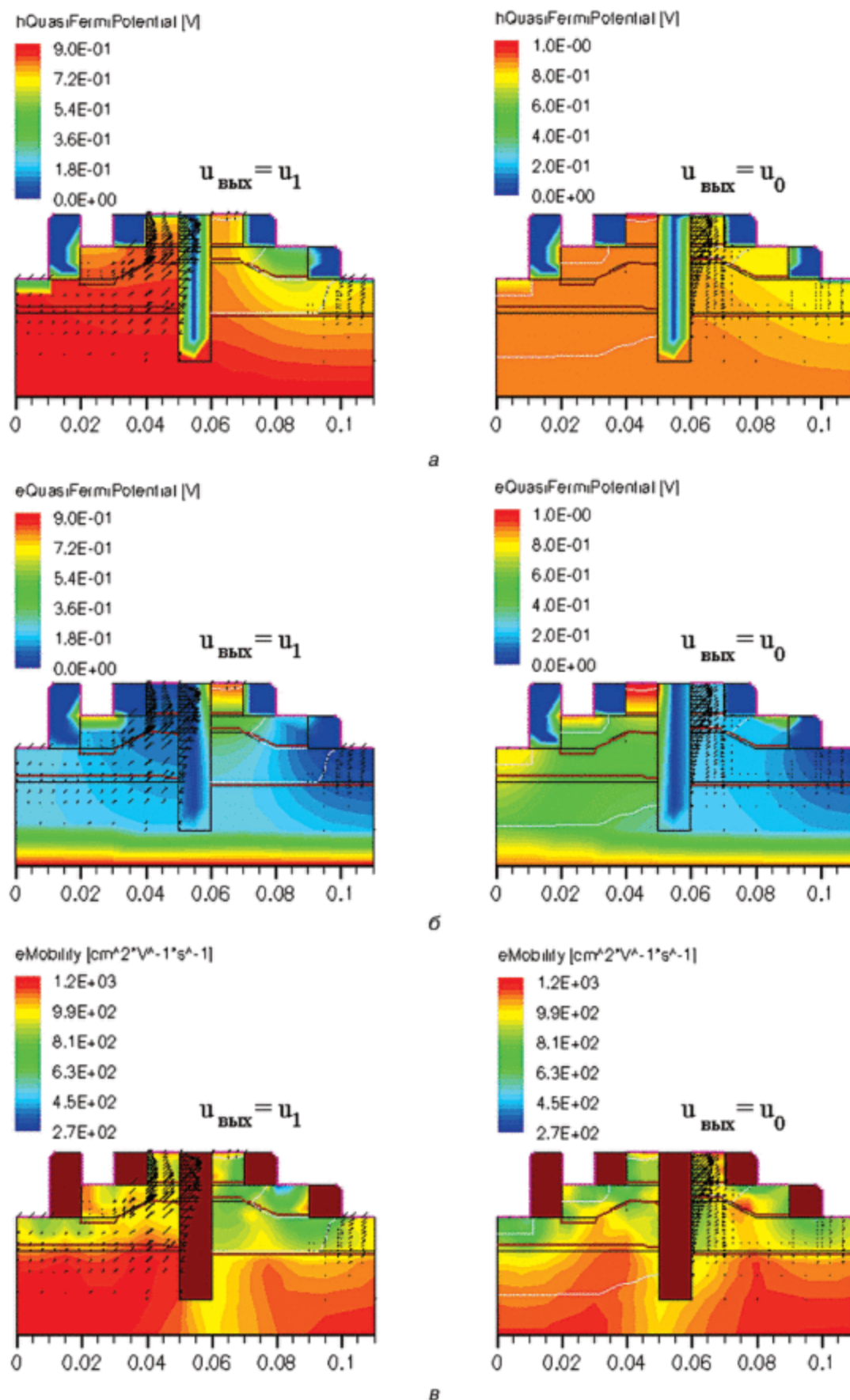
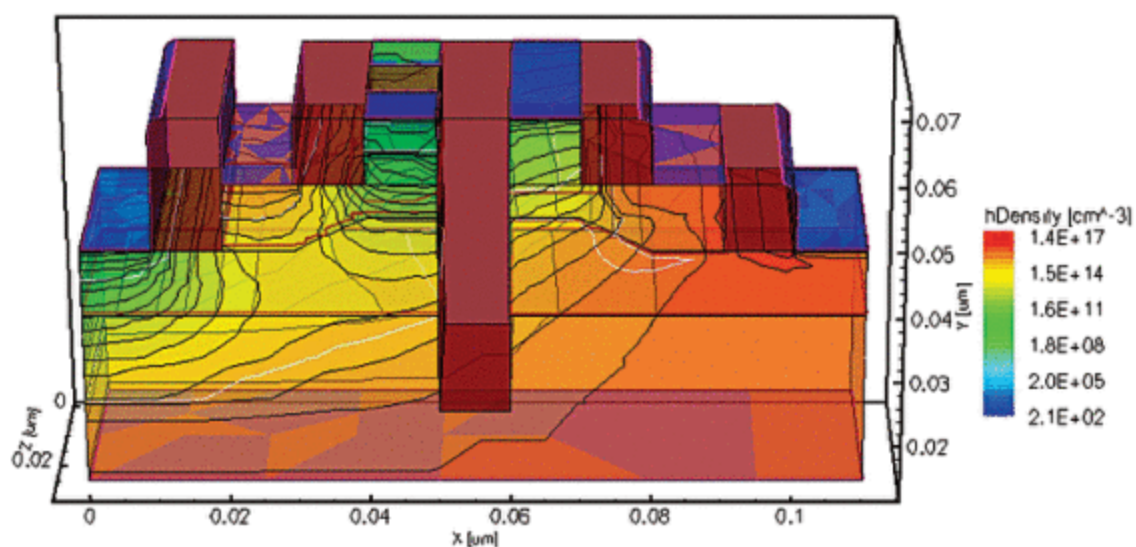
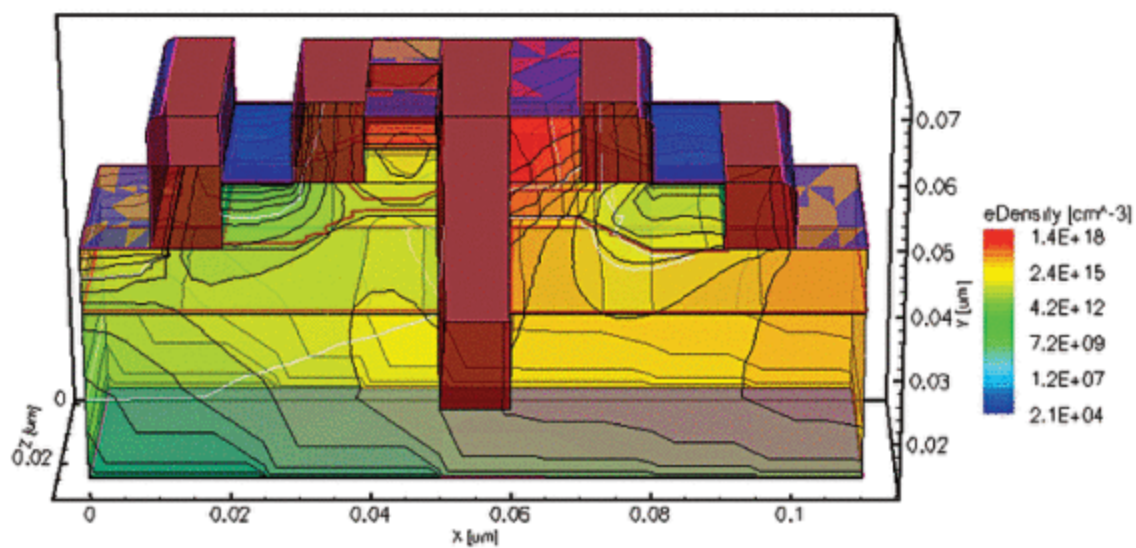


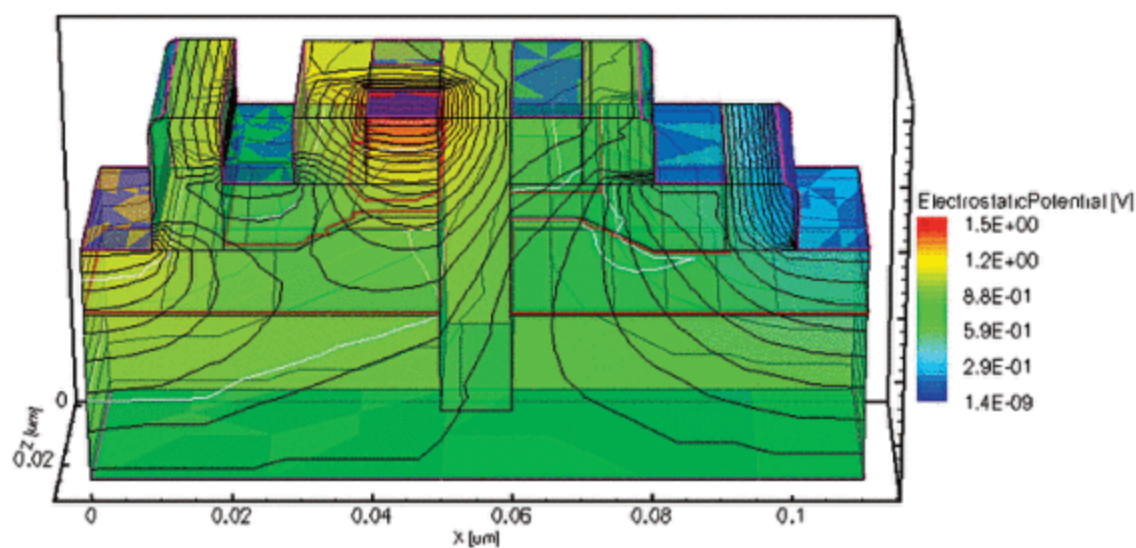
Рис. 8.49. Результаты 2D моделирования переходного элемента И–НЕ (слева — режим, когда на выходе логическая единица, справа — логический ноль): а) квазипотенциал для дырок, б) квазипотенциал для электронов, в) подвижность электронов



a

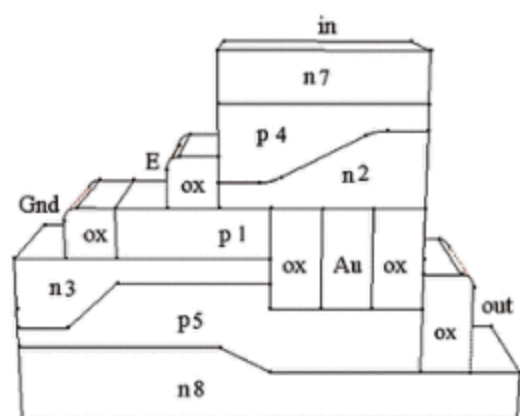


б

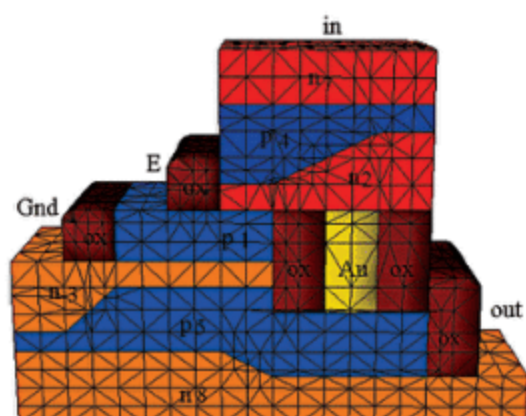


в

Рис. 8.50. Результаты 3D моделирования переходного элемента И–НЕ: а) плотность дырок, б) плотность электронов, в) электростатический потенциал



a



б

Рис. 8.52. Наноструктура переходного элемента И–НЕ с максимальной информационной плотностью: а) конструкция, б) расчетная сетка для моделирования

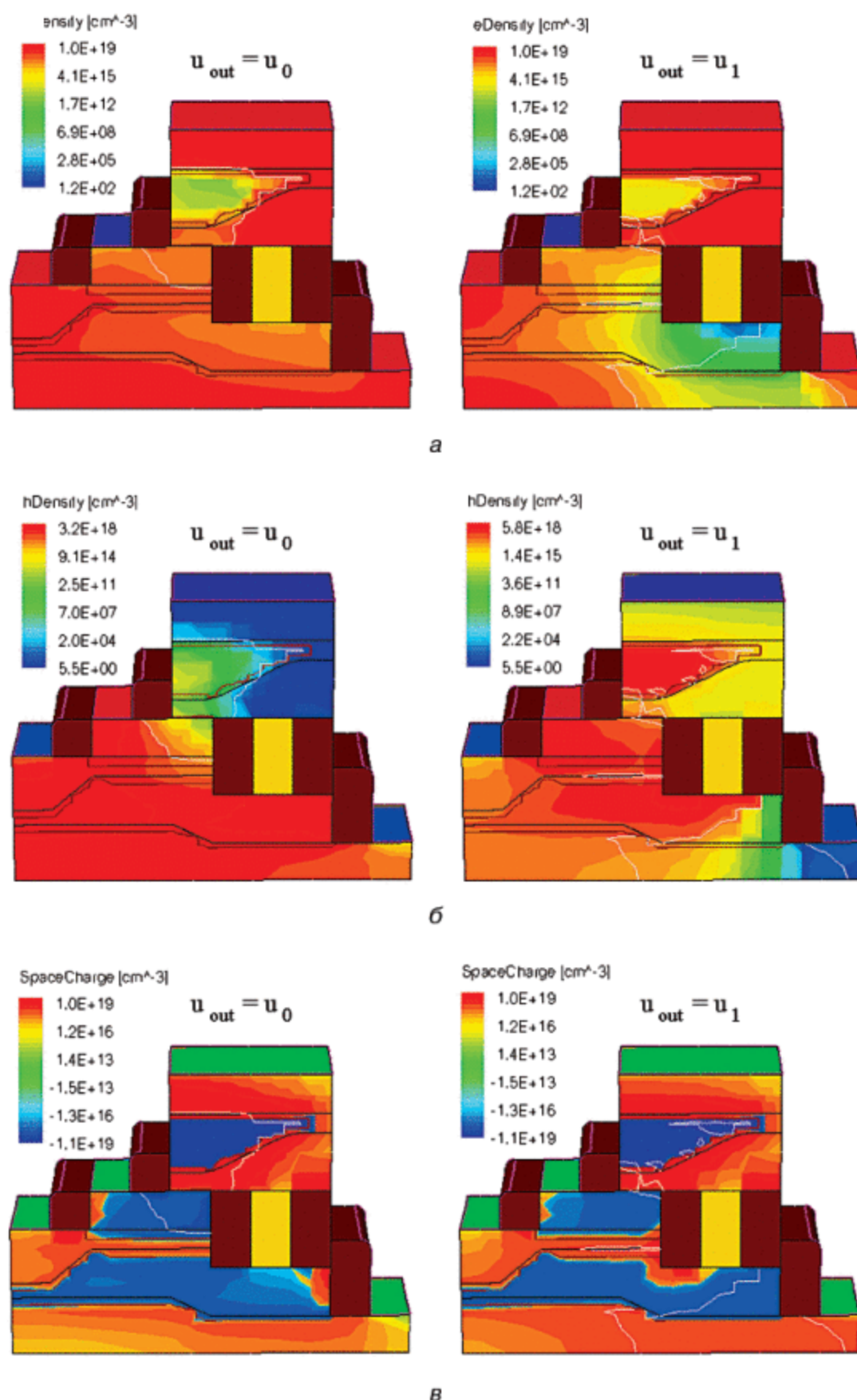


Рис. 8.54. Результаты 3D моделирования наноструктуры И–НЕ ($N = 7$) со структурной формулой, изображенной на рисунке 8.51 (слева — режим, когда на выходе напряжение логического нуля, справа — логической единицы): а) плотность электронов, б) плотность дырок, в) пространственный заряд

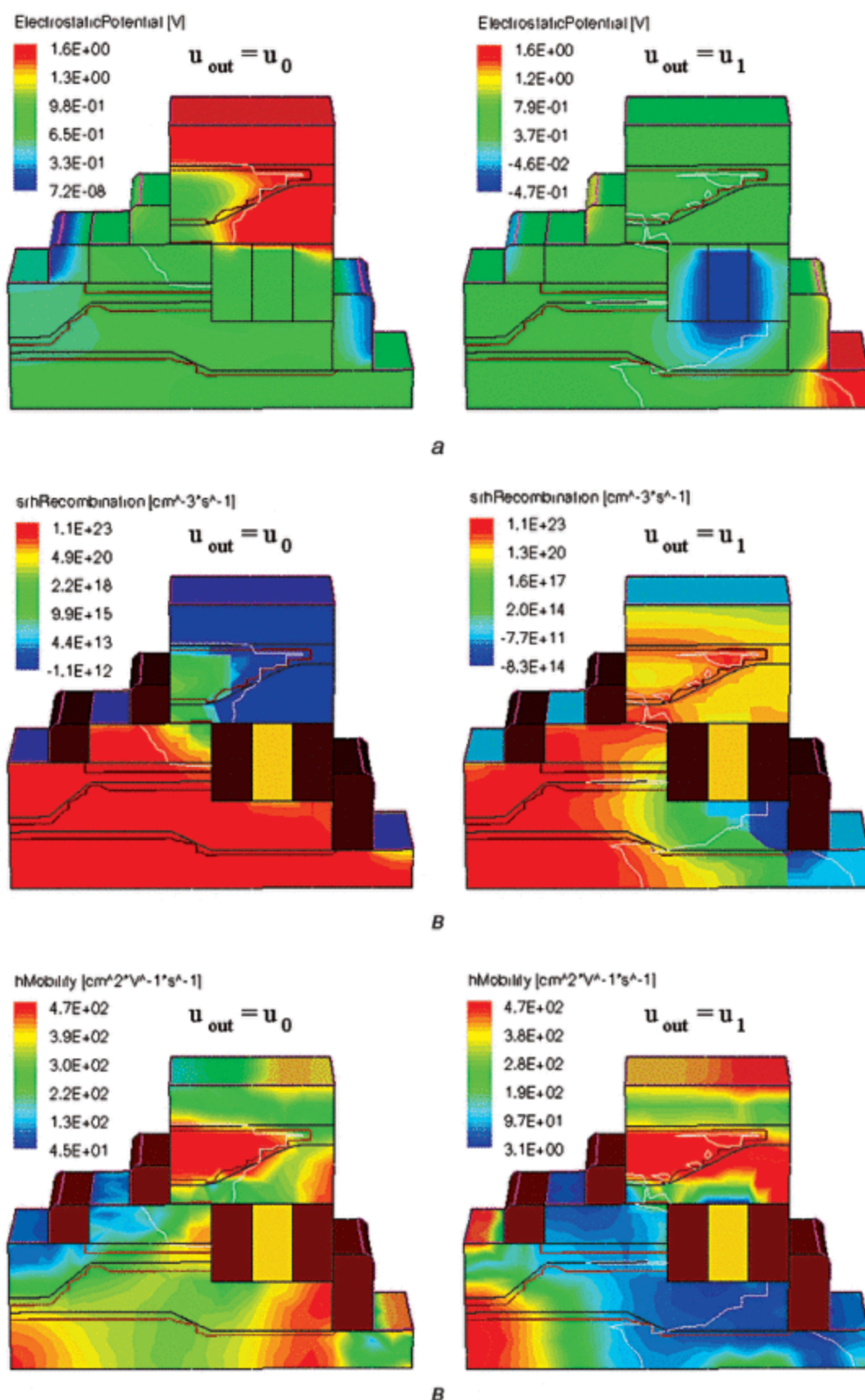


Рис. 8.55. Результаты 3D моделирования наноструктуры И-НЕ ($N = 7$) со структурной формулой, изображенной на рисунке 8.51 (слева — режим, когда на выходе напряжение логического нуля, справа — логической единицы): а) плотность электронов, б) плотность дырок, в) пространственный заряд

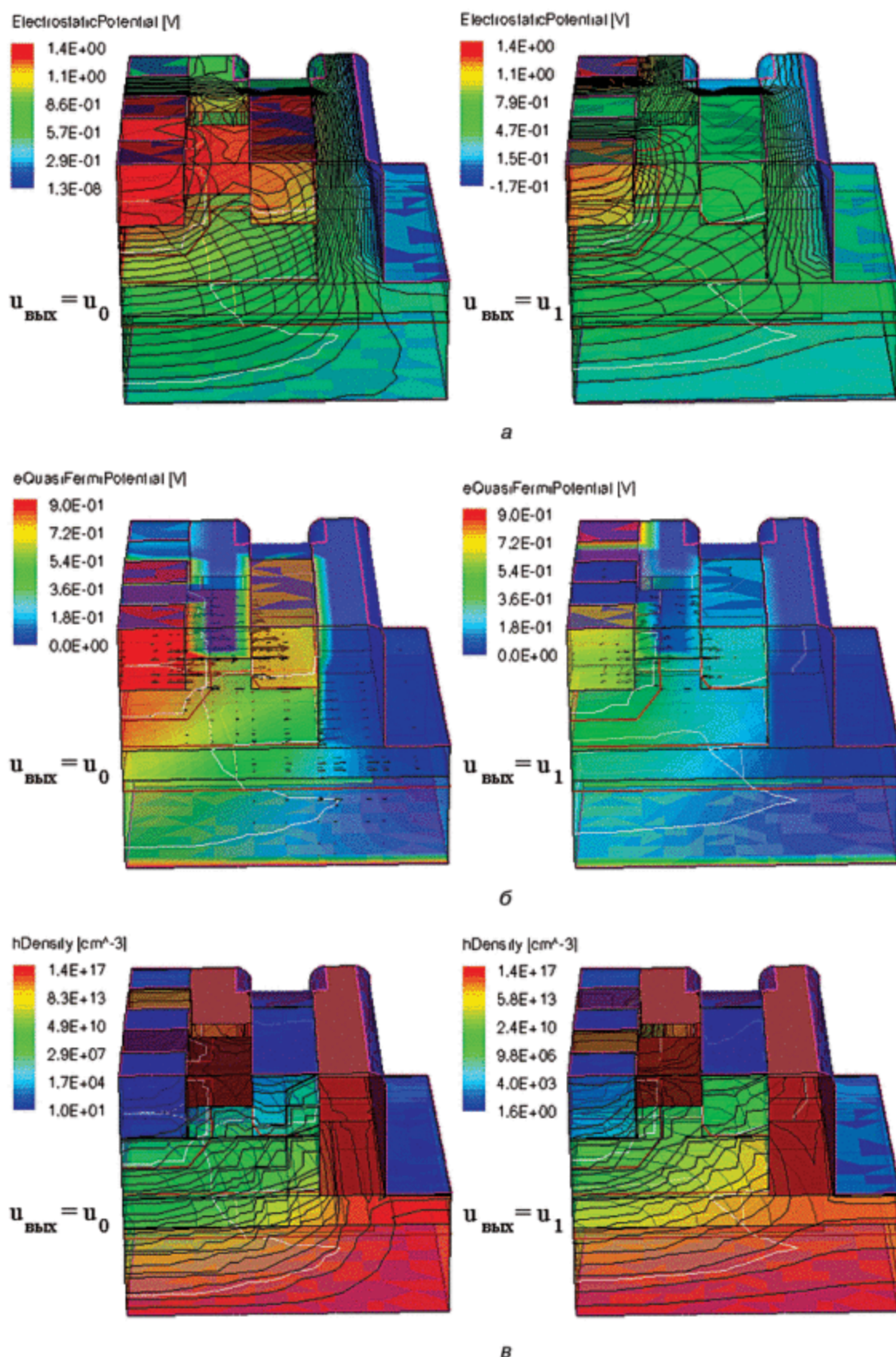


Рис. 8.61. Результаты 3D моделирования физических характеристик наноструктуры И-НЕ со структурной формулой, представленной на рисунке 8.56, б, со стороны части структуры И: а) электростатический потенциал, б) квазипотенциал Ферми для электронов, в) плотность дырок (слева представлен режим, когда на выходе напряжение логического нуля, справа — логической единицы)

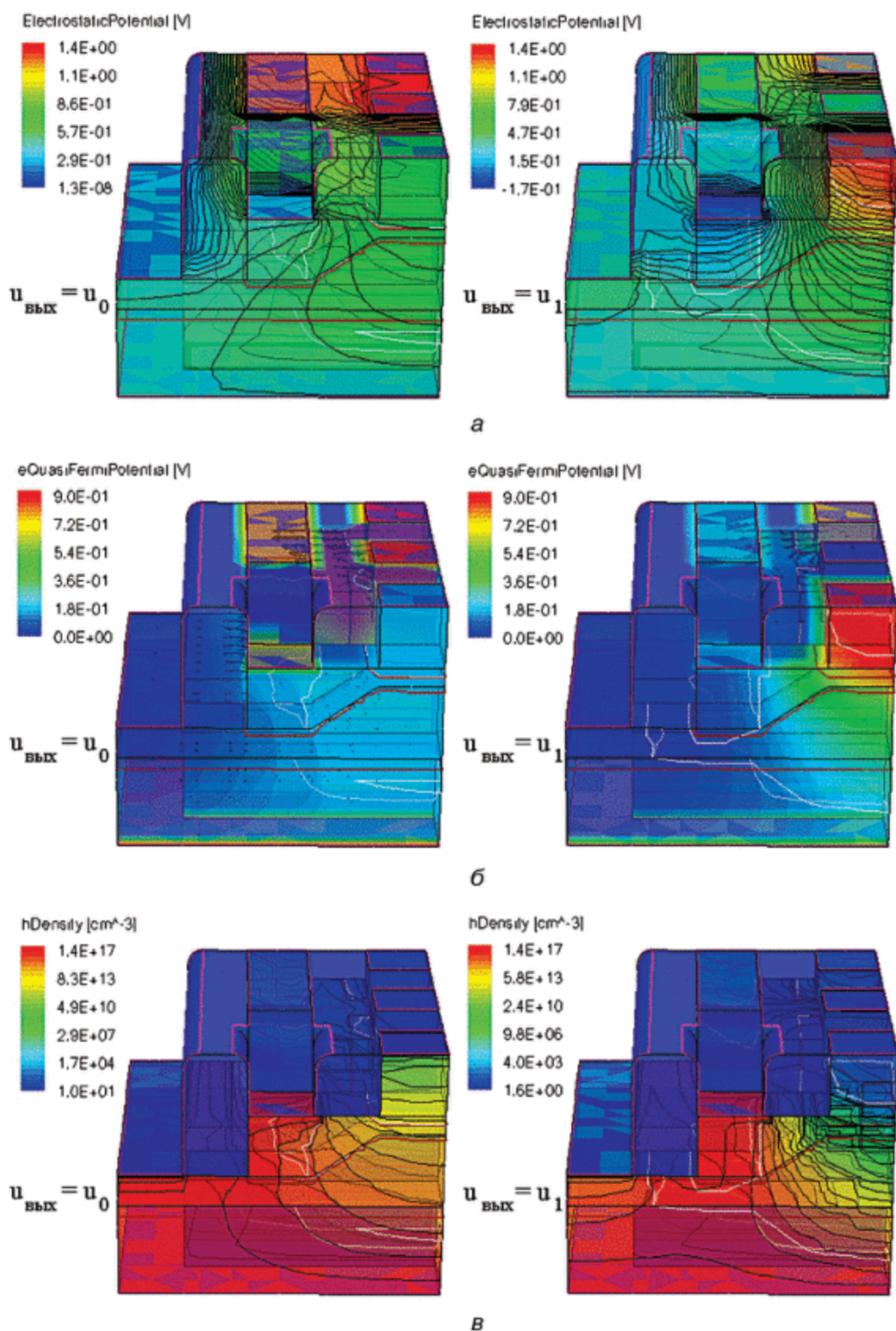
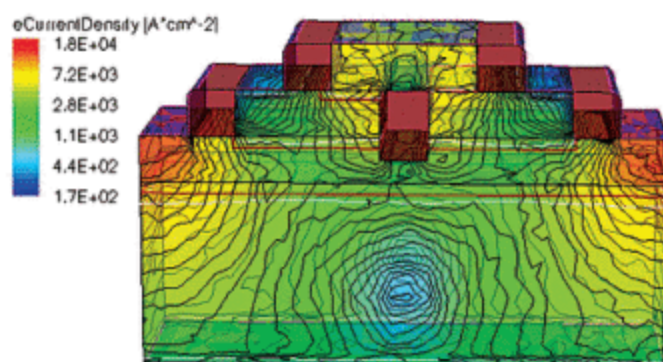
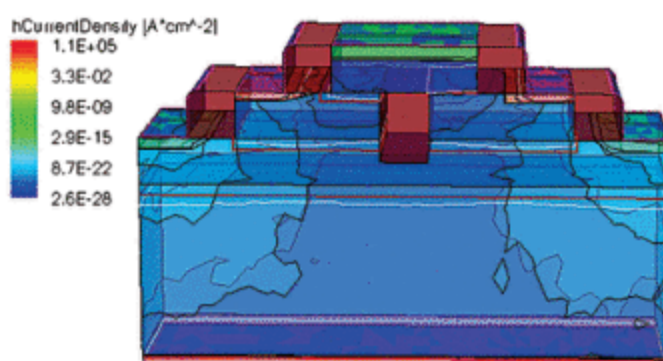


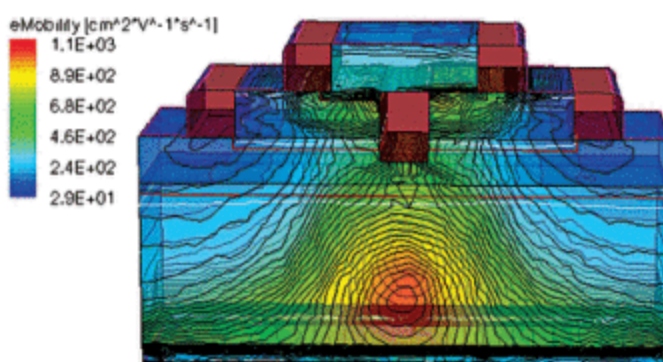
Рис. 8.62. Результаты 3D моделирования физических характеристик наноструктуры И–НЕ со структурной формулой, представленной на рисунке 8.56, б, со стороны структуры НЕ: а) электростатический потенциал, б) квазипотенциал Ферми для электронов, в) плотность дырок (слева представлен режим, когда на выходе напряжение логического нуля, справа — напряжение логической единицы)



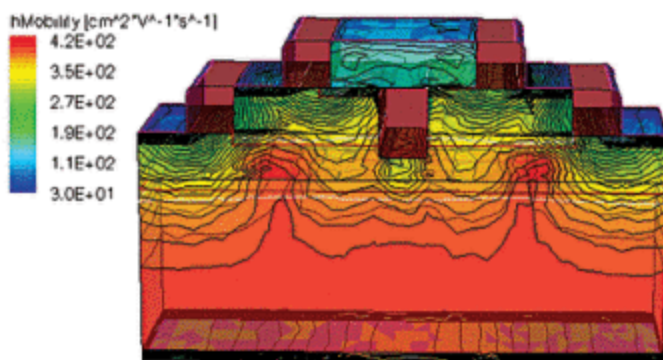
a



б



в



г

Рис. 9.15. Результаты 3D физического моделирования переходной наноструктуры ИЛИ–HE: а) плотность тока электронов, б) плотность тока дырок, в) подвижность электронов, г) подвижность дырок

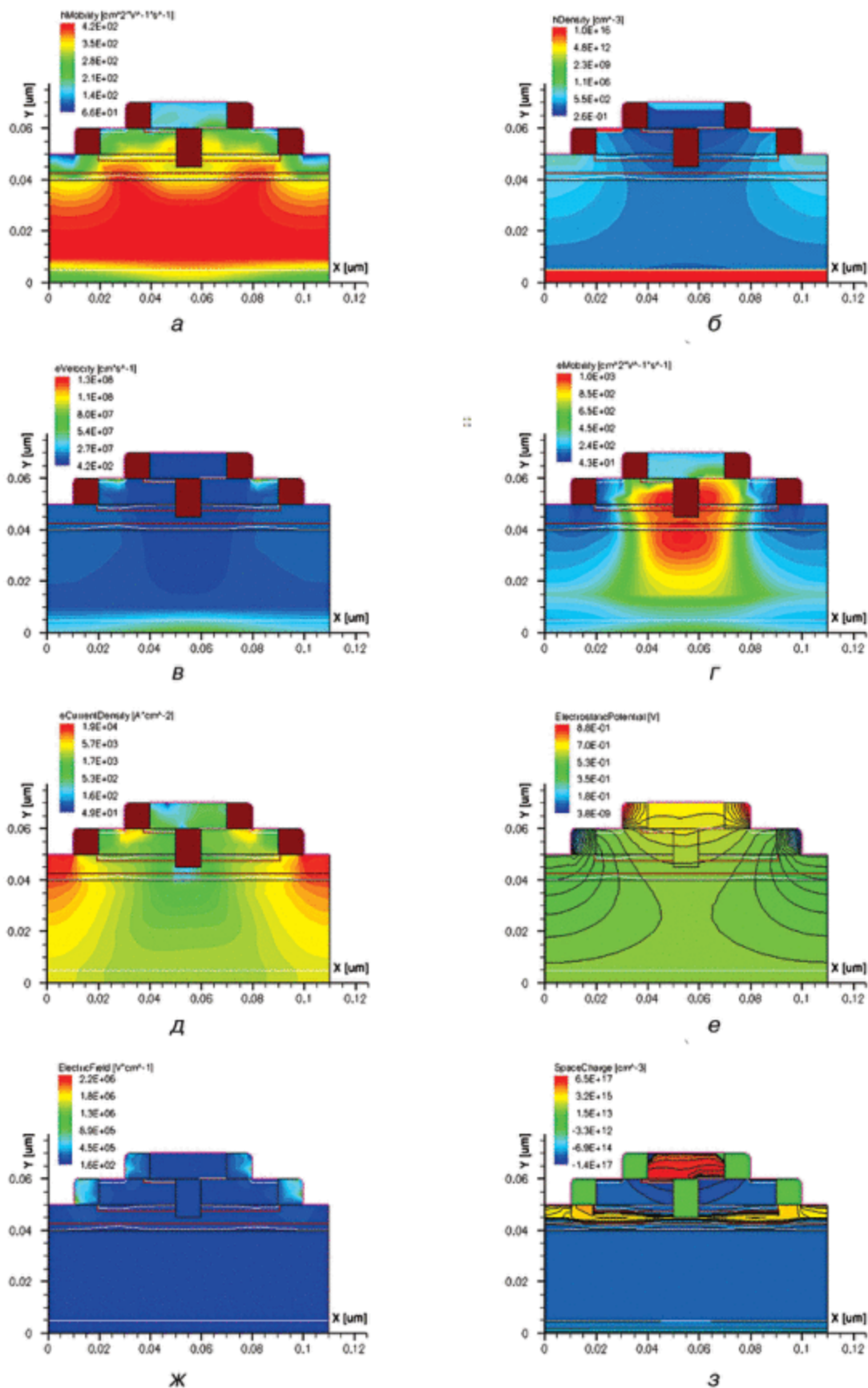


Рис. 9.16. Результаты 2D физического моделирования сечения переходной структуры ИЛИ–НЕ: а) подвижность дырок, б) плотность дырок, в) скорость электронов, г) подвижность электронов, д) плотность тока электронов, е) электростатический потенциал, ж) напряженность электрического поля, з) пространственный заряд

Рекомендуемая литература

Основная

1. *Миленина С. А.* Электротехника, электроника и схемотехника : учебник и практикум для СПО — М. : Юрайт, 2015.
2. *Новожилов О. П.* Электроника и схемотехника в 2-х т. : учебник для академического бакалавриата — М. : Юрайт, 2015.
3. *Воробьева А. И., Данилюк А. Л., Борисенко В. Е., Уткина Е. А.* Нанoeлектроника: теория и практика : учебник — М. : Бином, 2013. — Серия: Учебник для высшей школы.
4. *Игнатов А. Н.* Микросхемотехника и нанoeлектроника — СПб. : Лань, 2011.
5. *Трубочкина Н. К.* Моделирование 3D-наносхемотехники — М. : Бином. Лаборатория знаний, 2012.
6. *Mitin V. V., Viatcheslav A. Kochelap Michael A. Stroscio.* Introduction to Nanoelectronics/Science, Nanotechnology, Engineering, and Applications. Publisher: Cambridge University Press. Print Publication Year:2007/Online Publication Date: June 2012.
7. *Razali Ismail, Mohammad Taghi Ahmadi, Sohail Anwar.* Advanced Nanoelectronics. December 17, 2012 by CRC Press Reference.
8. *Santosh K. Kurinec, Krzysztof Iniewski.* Nanoscale Semiconductor Memories: Technology and Applications. December 12, 2013 by CRC Press Reference.
9. *Morris J. E., Iniewski K.* Nanoelectronic Device Applications Handbook. June 17, 2013 by CRC Press.
10. *Padiyar K. R.* Structure Preserving Energy Functions in Power Systems: Theory and Applications. March 15, 2013 by CRC Press Reference.
11. *Jose' L. Ayala.* Communication Architectures for Systems-on-Chip. March 14, 2011 by CRC Press Reference.

12. *Ming-Bo Lin*. Introduction to VLSI Systems: A Logic, Circuit, and System Perspective. November 28, 2011 by CRC Press Textbook.
13. *Cavanagh J.* Verilog HDL: Digital Design and Modeling. February 20, 2007 by CRC Press Textbook.
14. *Mohammad A. Karim, Xinghao Chen*. Digital Design: Basic Concepts and Principles. November 27, 2007 by CRC Press Textbook.
15. *Luciano Lavagno, Grant Martin, Louis Scheffer*. Electronic Design Automation for Integrated Circuits Handbook — 2 Volume Set. April 13, 2006 by CRC Press Reference.
16. *Joseph Cavanagh*. Digital Design and Verilog HDL Fundamentals. June 17, 2008 by CRC Press Textbook.
17. *Niklaus Wirth*. Digital Circuit Design for Computer Science Students: An Introductory Textbook Softcover reprint of the original 1st ed. Springer, 1995 Edition.

Дополнительная

1. Sentaurus Device. Synopsys. Version 2011. Tutorial. Registered Trademarks (®) Synopsys: www.synopsys.com/Tools/TCAD/Pages/default.aspx
3. *Алакоз Г. М., Котов А. В., Курак М. В., Попов А. А., Сериков А. П.* Вычислительные наноструктуры. Ч. 1. Задачи, модели, структуры — М. : Интуит.РУ, БИНОМ.ЛЗ, 2010.
4. *Алакоз Г. М., Котов А. В., Курак М. В., Попов А. А., Сериков А. П.* Вычислительные наноструктуры. Ч. 2 — Программно-аппаратные платформы. — М. : Интуит.РУ, БИНОМ.ЛЗ, 2010.
5. *Гусев А. И.* Наноматериалы, наноструктуры, нанотехнологии. — М. : Физматлит, 2009.
6. *Трубочкина Н. К.* Схемотехника ЭВМ: учебное пособие. — М. : МИЭМ, 2008.
7. Схемотехника ЭВМ: учебник для вузов / под ред. Г. Н. Соловьева — М. : Высшая школа, 1985.
8. Микропроцессоры. В 3 кн. Кн. 1 и 2. Средства сопряжения. Контролирующие и информационно-управляющие системы: учебник для вузов / под ред. Л. Н. Преснухина — М. : Высшая школа, 1986.
9. *Угрюмов Е. П.* Проектирование элементов и узлов ЭВМ—М. : Высшая школа, 1987.
10. *Угрюмов Е. П.* Цифровая схемотехника: учебное пособие для вузов — СПб.: БХВ-Санкт-Петербург, 2000.

11. *Новиков Ю. В.* Основы цифровой схемотехники — М. : Мир, 2001.
12. *Корнеев В. В., Киселев А. В.* Современные микропроцессоры — 2-е изд. — М. : Нолидж, 2000.
13. Электронные вычислительные машины. Лабораторный практикум: учебное пособие/ под ред. Г. Н. Соловьева — М. : Высшая школа, 1987.
14. *Пухальский Г. И., Новосельцева Т. Я.* Проектирование дискретных устройств на интегральных микросхемах: справочник — М. : Радио и связь, 1990.
15. *Каган Б. М.* Электронные вычислительные машины и системы — М. : Энергоатомиздат, 1985.
16. *Каган Б. М.* ЭВМ и системы: учебное пособие для вузов — М. : Энергоатомиздат, 1991.
17. *Потемкин И. С.* Функциональные узлы цифровой автоматики — М. : Энергоатомиздат, 1988.
18. *Мурога С.* Системное проектирование сверхбольших интегральных схем. В двух книгах / пер. с англ.: под редакцией В. М. Кисельникова — М. : Мир, 1985.

Наши книги можно приобрести:

Учебным заведениям и библиотекам:
в отделе по работе с вузами
тел.: (495) 744-00-12, e-mail: vuz@urait.ru

Частным лицам:
список магазинов смотрите на сайте urait.ru
в разделе «Частным лицам»

Магазинам и корпоративным клиентам:
в отделе продаж
тел.: (495) 744-00-12, e-mail: sales@urait.ru

Отзывы об издании присылайте в редакцию
e-mail: gred@urait.ru

Новые издания и дополнительные материалы доступны
в электронной библиотеке Biblio-online.ru,
а также в мобильном приложении «Юрайт.Библиотека»

Учебное издание

Трубочкина Надежда Константиновна

НАНОЭЛЕКТРОНИКА И СХЕМОТЕХНИКА

Часть 1

Учебник для академического бакалавриата

Формат 70×100¹/₁₆.
Гарнитура «Petersburg». Печать цифровая.
Усл. печ. л. 21,8.

ООО «Издательство Юрайт»
111123, г. Москва, ул. Плеханова, д. 4а.
Тел.: (495) 744-00-12. E-mail: izdat@urait.ru, www.urait.ru